

특허증

CERTIFICATE OF PATENT



특허

Patent Number

제 10-1747430 호

출원번호

Application Number

제 10-2010-0070437 호

출원일

Filing Date

2010년 07월 21일

등록일

Registration Date

2017년 06월 08일

발명의 명칭 Title of the Invention

고해상도 저잡음 디지털 제어 발전기

특허권자 Patentee

등록사항란에 기재

발명자 Inventor

등록사항란에 기재

위의 발명은 「특허법」에 따라 특허등록원부에 등록되었음을 증명합니다.
This is to certify that, in accordance with the Patent Act, a patent for the invention
has been registered at the Korean Intellectual Property Office.



특허청

Korean Intellectual
Property Office

2017년 06월 08일

특허청장

COMMISSIONER,

KOREAN INTELLECTUAL PROPERTY OFFICE



등 록 사 항

특 허

Patent Number

등록 제 10-1747430 호

특허권자 Patentees

한국전자통신연구원(160171-*****)
대전광역시 유성구 가정로 218 (가정동)

연세대학교 산학협력단(274171-*****)
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

발명자 Inventors

이승우

최광천

최우영

이범철



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년06월15일
(11) 등록번호 10-1747430
(24) 등록일자 2017년06월08일

(51) 국제특허분류(Int. Cl.)
H03B 5/12 (2014.01) H03K 3/03 (2006.01)
H03L 7/099 (2006.01) H03M 1/66 (2006.01)
(21) 출원번호 10-2010-0070437
(22) 출원일자 2010년07월21일
심사청구일자 2015년07월21일
(65) 공개번호 10-2012-0008965
(43) 공개일자 2012년02월01일
(56) 선행기술조사문헌
US05691669 A*
US06191660 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한국전자통신연구원
대전광역시 유성구 가정로 218 (가정동)
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
이승우

최광천

(뒷면에 계속)

(74) 대리인
특허법인 무한

전체 청구항 수 : 총 8 항

심사관 : 박정근

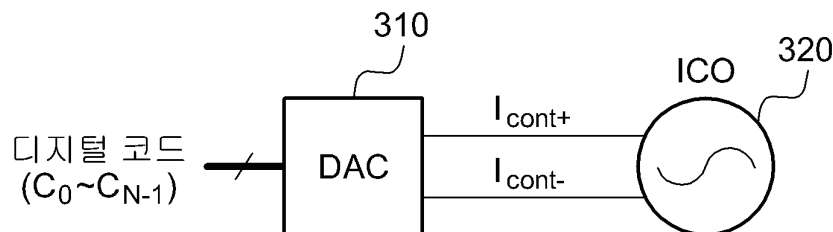
(54) 발명의 명칭 **고해상도 저잡음 디지털 제어 발진기**

(57) 요약

디지털 제어 발진기는 N 비트의 디지털 코드 신호를 입력으로 수신하고, 상기 디지털 코드 신호에 대응하는 제1 차동 전류 신호 및 제2 차동 전류 신호를 생성하는 차동 디지털-아날로그 변환기; 및 상기 제1 차동 전류 신호 및 상기 제2 차동 전류 신호 사의 차이에 따라 적응적으로 조절되는 발진 주파수를 생성하는 차동 전류 제어 발진기를 포함한다.

대표도 - 도3

300



(72) 발명자
최우영

이범철

명세서

청구범위

청구항 1

N 비트의 디지털 코드 신호를 입력으로 수신하고, 상기 디지털 코드 신호에 대응하는 제1 차동 전류 신호 및 제2 차동 전류 신호를 생성하는 차동 디지털-아날로그 변환기; 및

상기 제1 차동 전류 신호 및 상기 제2 차동 전류 신호 사의 차이에 따라 적응적으로 조절되는 발진 주파수를 생성하는 차동 전류 제어 발진기

를 포함하고,

상기 차동 디지털-아날로그 변환기는,

한 측면에 구성되어 병렬로 연결된 복수의 제1 트랜지스터들의 게이트에 상기 N 비트의 디지털 코드 신호가 입력되어 상기 복수의 제1 트랜지스터들 각각을 동작시킴으로써 상기 제1 차동 전류 신호를 생성하고,

상기 한 측면의 다른 측면에 구성되어 병렬로 연결된 복수의 제2 트랜지스터들의 게이트에 상기 N 비트의 디지털 코드 신호의 반전 신호가 입력되어 상기 복수의 제2 트랜지스터들 각각을 동작시킴으로써 상기 제2 차동 전류 신호를 생성하는 디지털 제어 발진기.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 복수의 제1 트랜지스터들 및 제2 트랜지스터들 중에서 디지털 코드가 게이트로 입력되는 트랜지스터들의 게이트 너비와 게이트가 그라운드에 접지된 트랜지스터의 게이트 너비는 서로 다른 디지털 제어 발진기.

청구항 4

제1항에 있어서,

상기 차동 디지털-아날로그 변환기의 이득은, 디지털 코드가 게이트로 입력되는 트랜지스터들의 게이트 너비와 게이트가 그라운드에 접지된 트랜지스터의 게이트 너비의 비율에 의해 결정되는 디지털 제어 발진기.

청구항 5

제1항에 있어서,

상기 차동 전류 제어 발진기는,

차동 보간기 회로 또는 래치 회로를 이용하여 발진 주파수를 생성하는 디지털 제어 발진기.

청구항 6

N 비트의 디지털 코드 신호를 입력으로 수신하고, 상기 디지털 코드 신호에 대응하는 제1 차동 전류 신호 및 제2 차동 전류 신호를 생성하는 단계; 및

상기 제1 차동 전류 신호 및 상기 제2 차동 전류 신호 사의 차이에 따라 적응적으로 조절되는 발진 주파수를 생성하는 단계

를 포함하고,

상기 제1 차동 전류 신호 및 제2 차동 전류 신호를 생성하는 단계는,

한 측면에 구성되어 병렬로 연결된 복수의 제1 트랜지스터들의 게이트에 상기 N 비트의 디지털 코드 신호가 입

력되어 상기 복수의 제1 트랜지스터들 각각을 동작시킴으로써 상기 제1 차동 전류 신호를 생성하고,

상기 한 측면의 다른 측면에 구성되어 병렬로 연결된 복수의 제2 트랜지스터들의 게이트에 상기 N 비트의 디지털 코드 신호의 반전 신호가 입력되어 상기 복수의 제2 트랜지스터들 각각을 동작시킴으로써 상기 제2 차동 전류 신호를 생성하는 디지털 제어 발진 방법.

청구항 7

삭제

청구항 8

제6항에 있어서,

상기 복수의 제1 트랜지스터들 및 제2 트랜지스터들 중에서 디지털 코드가 게이트로 입력되는 트랜지스터들의 게이트 너비와 게이트가 그라운드에 접지된 트랜지스터의 게이트 너비는 서로 다른 디지털 제어 발진 방법.

청구항 9

제8항에 있어서,

상기 디지털 코드가 게이트로 입력되는 트랜지스터들의 게이트 너비와 상기 게이트가 그라운드에 접지된 트랜지스터의 게이트 너비의 비율에 의해 차동 디지털-아날로그 변환의 이득이 결정되는 디지털 제어 발진 방법.

청구항 10

제6항에 있어서,

발진 주파수를 생성하는 단계는,

차동 보간기 회로 또는 래치 회로를 이용하여 발진 주파수를 생성하는 디지털 제어 발진 방법.

발명의 설명

기술 분야

[0001] 본 발명은 디지털 코드로 제어할 수 있는 주파수 발진기에 관한 것이다.

[0002] 본 발명은 지식경제부 및 정보통신연구진흥원의 IT성장동력기술개발사업의 일환으로 수행한 연구로부터 도출된 것이다[과제관리번호: 2009-S-043-01, 과제명: Scalable 마이크로 플로우 처리 기술 개발].

배경 기술

[0003] 디지털 제어 발진기(Digitally Controlled Oscillator)는 발진 주파수의 제어를 위한 신호로 아날로그 전압 혹은 전류를 사용하지 않고, 디지털코드를 사용하여 발진 주파수를 제어한다. 디지털 코드를 사용하는 디지털 제어 발진기는 잡음에 강하여 널리 사용된다.

[0004] 발진기의 주파수를 미세하게 조절할 수 있는 저 이득 디지털 제어 발진기의 구조는 크게 두 가지로 나눌 수 있다. 하나는 디지털-아날로그 변환기를 디지털 제어 발진기 내에 포함하고 있는 구조이고, 다른 하나는 외장 디지털-아날로그 변환기를 사용하는 구조이다.

[0005] 디지털-아날로그 변환기를 내제하는 구조를 사용하는 예들은 다양하게 존재한다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 적어도 한 쌍의 차동 전류 신호들을 이용하여 발진 주파수를 제어하는 디지털 제어 발진기 및 그 디지털 제어 발진기를 위한 차동 디지털 아날로그 변환기를 제공한다.

과제의 해결 수단

[0007] 본 발명의 일실시예에 따른 디지털 제어 발진기는 N 비트의 디지털 코드 신호를 입력으로 수신하고, 상기 디지털 코드 신호에 대응하는 제1 차동 전류 신호 및 제2 차동 전류 신호를 생성하는 차동 디지털-아날로그 변환기; 및 상기 제1 차동 전류 신호 및 상기 제2 차동 전류 신호 사의 차이에 따라 적응적으로 조절되는 발진 주파수를 생성하는 차동 전류 제어 발진기를 포함한다.

발명의 효과

[0008] 본 발명의 차동 전류 제어 발진기는 입력으로 들어오는 제1 차동 전류 신호 및 제2 차동 전류 신호의 크기의 차이에 따라 변화하는 발진 주파수를 생성함으로써, 선형성을 잘 유지할 수 있으며, 외부 잡음에 의한 영향을 덜 받을 수 있다.

[0009] 또한, 본 발명의 디지털-아날로그 변환기는 기준 전류원으로부터 전류를 복사한 후, 디지털 코드에 따라서 크기를 달리 하는 두 개의 차동 전류 신호들을 출력할 수 있다. 따라서, 하나의 전류원의 전류를 둘로 분배되므로, 두 개의 전류들의 크기의 합은 항상 일정하다.

[0010] 또한, 본 발명은 전류 분배기를 이루는 트랜지스터의 크기 조절만으로 간단히 디지털-아날로그 변환기의 해상도를 정확하게 조절할 수 있다.

도면의 간단한 설명

- [0011] 도 1은 전압 제어 발진기와 디지털-아날로그 변환기를 사용하는 디지털 제어 발진기의 예를 도시한 도면이다.
- 도 2는 도 1에 도시된 디지털 제어 발진기에서 아날로그 전압 신호에 따른 발진 주파수의 변화를 나타낸 그래프이다.
- 도 3은 본 발명의 디지털 제어 발진기의 예를 나타낸 도면이다.
- 도 4a는 도 3에 도시된 디지털-아날로그 변환기를 구체적으로 나타낸 도면이다.
- 도 4b는 도 4a에 도시된 회로의 등가 회로를 나타낸 도면이다.
- 도 5는 차동 전류 제어 발진기의 일예를 나타낸 도면이다.
- 도 6a 및 도 6b는 차동 전류 제어 발진기에 포함된 지연 셀들을 구체적으로 나타낸 도면이다.
- 도 7은 차동 전류 제어 발진기의 다른 예를 나타낸 도면이다.
- 도 8은 차동 전류 제어 발진기의 또 다른 예를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 본 발명에 대해 설명하기에 앞서, 디지털 제어 발진기 내부에 디지털-아날로그 변환기가 포함되는 구조에 대해 설명한다.
- [0013] 첫째, 스위치드 캐패시터 어레이를 사용해서 인덕터에 병렬 연결되는 캐패시턴스의 양을 조절하여 LC 탱크의 공진주파수를 변화시켜 발진주파수를 제어하는 방식이 있다.
- [0014] 둘째, 일반적인 ring 타입의 발진기에 병렬로 스위치드 캐패시터 어레이를 연결하여 RC 시정수(time constant)를 변화시켜 발진주파수를 제어하는 방식이 있다.
- [0015] 상술한 방식들을 사용하는 경우, 해상도를 높이기 위해서는 온-오프 시킬 수 있는 최소 단위 캐패시터의 크기가 매우 작아야 한다. 공정이 발달함에 따라 최소 단위 캐패시터의 크기가 점점 작아지고 있지만, 해상도를 높이기 위한 복잡한 추가 회로를 설계하지 않으면 수 ppm 이내의 고해상도를 내기는 어렵다. 반대로 해상도를 낮추기 위해서는 최소 단위 캐패시터의 크기가 커져야 하는데, 이에 비례하게 칩 면적을 많이 차지하게 된다는 단점

이 있다. 따라서 위 구조들을 사용할 경우 디지털 제어 발진기의 주파수 해상도(resolution), 즉 주파수 이득을 원하는 대로 설계하기가 어렵다는 단점이 있다.

- [0016] 셋째, 일반적인 ring 타입의 발진기에 병렬로 3-상태(tri-state) 버퍼를 연결하고, 버퍼의 상태를 디지털코드로 온-오프 시켜서 각 단의 출력 저항을 바꿔주어 RC 시정수를 변화시켜 발진주파수를 제어하는 방식이 있다.
- [0017] 세 번째 방식을 사용하는 경우, 주파수 해상도를 낮추는 설계는 쉽지만, 반대로 해상도를 높이기 위해서는 병렬 연결된 3-상태 버퍼의 크기가 매우 작아야 한다. 65nm 이하의 미세 공정을 사용해도 수십 ppm 이내의 고해상도를 내기가 매우 어렵다.
- [0018] 상기의 단점을 해결하기 위해서, 도1에 도시한 바와 같이, 외장 디지털-아날로그 변환기를 사용해서 디지털 신호를 아날로그 전압 신호로 바꾼 후 이를 아날로그 전압 제어 발진기에 인가하는 구조를 사용한다. 그 이유는 전압 제어 발진기의 주파수 이득(Hz/volt)을 낮추는 설계와 디지털-아날로그 변환기의 해상도를 높이는 설계는 비교적 어렵지 않고, 이 두 가지 방법을 통해 쉽게 디지털 제어 발진기의 해상도를 높일 수 있기 때문이다.
- [0019] 하지만, 일반적으로 널리 사용되고 있는 아날로그 전압 제어 발진기는 1 개의 전압 신호로 주파수를 제어하는데, 회로를 이루는 소자들의 비선형성으로 인해 도2와 같이 제어 전압에 따른 발진주파수 곡선이 매우 비선형적이다. 이 비선형성은 디지털 제어 발진기를 위상 동기 루프 등의 폐환(feed-back) 시스템에 사용할 때에 큰 문제가 될 수 있다.
- [0020] 상기 문제점을 해결하기 위해서 앞 단의 디지털-아날로그 변환기의 출력 전압 영역의 크기를 작게 설계하여 제어 전압의 영역을 좁게 가져가면, 예를 들어 디지털-아날로그 변환기의 출력이 도2의 $V_{cont.min}$ 와 $V_{cont.max}$ 사이의 값만을 가질 수 있도록 설계한다면 좁은 영역 안에서 선형성을 확보할 수 있다.
- [0021] 하지만 실제로 전압 제어 발진기를 칩으로 구현했을 때에는 공정과 전원전압, 그리고 온도에 따라서 회로의 주파수 특성이 큰 폭으로 변하게 되고, 도2에서 도시된 4가지 변수($V_{cont.min}$, $V_{cont.max}$, f_{min} , f_{max}) 값을 예측하기가 매우 어렵다. 설계상에서는 디지털-아날로그 변환기의 출력 전압 영역이 도2와 같이 $V_{cont.min}$ 와 $V_{cont.max}$ 사이, 즉 선형적인 영역에만 포함되도록 해서 선형성을 확보하도록 설계를 하더라도, 실제로 칩으로 구현되면 $V_{cont.min}$ 와 $V_{cont.max}$ 값이 바뀌어 선형 영역이 변하게 되고, 제어 전압 영역이 선형 영역을 벗어나게 되어 선형성이 깨지는 문제가 발생할 수 있다. 이런 특성 변화가 심한 경우 디지털-아날로그 변환기의 출력 전압 영역이 선형 영역을 완전히 벗어나게 되면, 가능한 발진주파수 범위($f_{min} \sim f_{max}$)가 너무 좁아져서 원하는 주파수에서 결코 발진하지 못할 수도 있다.
- [0022] 상기 문제가 발생하는 가장 큰 원인은 제어 전압이 너무 낮거나 높을 때에는 회로를 이루는 일부 트랜지스터들이 포화 영역(saturation region)을 벗어나게 되어, 제어 전압이 바뀌어도 더 이상 발진기를 이루는 지연 셀 회로에 흐르는 전류의 양이 바뀌지 않고 발진주파수가 변하지 않기 때문이다. 이를 해결하기 위해서 출력으로 전압 신호가 아닌 전류 신호를 출력하는 디지털-아날로그 변환기와 전류 제어 발진기를 사용할 수 있다. 전류 제어 발진기의 경우 지연 셀을 이루는 트랜지스터의 문턱 전압(threshold voltage)과 무관하게 지연 셀에 흐르는 전류의 양이 제어되므로, 트랜지스터가 포화 영역을 벗어날 일이 없고, 앞서 기술한 문제가 어느 정도 해결되어 선형성이 향상될 수 있다. 하지만 1개의 제어 신호만을 사용하기 때문에 전원전압 잡음 등에 취약하고, 제어 신호에 유입된 잡음으로 인해 발진기의 위상 잡음 성능이 좋지 않은 문제가 여전히 남아있다.
- [0023] 이러한 문제들은 아래에서 설명하는 본 발명의 실시예들에 의해 해결될 수 있다. 아래에서는 본 발명의 실시예들에 대하여 구체적으로 설명한다.
- [0024] 도 3은 본 발명의 디지털 제어 발진기의 예를 나타낸 도면이다.
- [0025] 도 3을 참조하면, 디지털 제어 발진기(300)는 디지털 코드를 수신하여 두 개의 차동 전류 신호들을 생성하는 차동 디지털-아날로그 변환기(310) 및 두 개의 차동 전류 신호들을 이용하여 발진 주파수를 생성하는 차동 전류 제어 발진기(320)를 포함한다. 여기서, N 비트의 디지털 코드는 온도계 코드라고 가정한다.
- [0026] 차동 디지털-아날로그 변환기(310)가 이상적으로 동작하는 경우, 차동 디지털-아날로그 변환기(310)로부터 출력되는 두 개의 차동 전류 신호들(제1 차동 전류 신호 및 제2 차동 전류 신호)은 하기 수학식 1과 같이 나타낼 수 있다.

[0027] [수학식 1]

$$I_{cont+} = I_0 + \frac{1}{2} \cdot code \cdot \Delta_I$$

$$I_{cont-} = I_0 - \frac{1}{2} \cdot code \cdot \Delta_I$$

[0028]

[0029] 상기 수학식 1에서, 'code'는 디지털 코드의 값을 나타내며, 디지털 코드는 $C_0 \sim C_{N-1}$ 의 N비트로 이루어진 온도계 코드이다. 따라서, 디지털 코드의 값은 $C_0 \sim C_{N-1}$ 의 N비트 중 1의 값을 가지는 비트의 개수와 같다. I_0 는 차동 전

류 신호들의 공통 모드 전류이며, Δ_I 는 디지털 코드가 1만큼 변할 때에 차동 전류 신호들의 크기가 변하는 양으로서, 변환기 이득이다.

[0030] 이상적인 차동 전류 제어 발진기(320)의 발진 주파수는 하기 수학식 2와 같이 나타낼 수 있다.

[0031] [수학식 2]

$$f_{osc} = f_0 + (I_{cont+} - I_{cont-}) \cdot \Delta_f$$

[0032]

[0033] 여기에서 f_0 는 발진기의 기본 발진주파수이며, Δ_f 는 전류 제어 발진기의 이득이고 단위는 Hz/A 이다. 두 전류 신호 크기의 차이에 따라서 주파수가 제어되기 때문에, 이상적으로는 차동 전류 신호들의 공통 모드 값이 발진기에 영향을 주지 않는다. 따라서, 두 개의 차동 전류 신호들에 공통으로 영향을 주는 외부 잡음(전원전압 잡음 등)이 발진기에 주는 영향이 줄어들고, 그에 따라 위상 잡음 성능이 좋아진다.

[0034] 수학식 1 및 수학식 2를 조합하면 디지털 제어 발진기의 발진 주파수는 수학식 3과 같이 나타낼 수 있다.

[0035] [수학식 3]

$$f_{osc} = f_0 + \Delta_I \cdot \Delta_f \cdot code$$

[0036]

[0037] 따라서, $\Delta_I \cdot \Delta_f$ 의 값이 디지털 제어 발진기의 이득이 되고, 이 값이 작을수록 디지털 제어발진기의

해상도가 높아질 수 있다.

[0038] 도 4a는 도 3에 도시된 디지털-아날로그 변환기를 구체적으로 나타낸 도면이며, 도 4b는 도 4a에 도시된 회로의 등가 회로를 나타낸 도면이다.

[0039] 도 3에 도시된 차동 디지털-아날로그 변환기는 도 4a에 도시된 회로로 구현될 수 있다. 상기 수학적 식 1을 통해 알 수 있는 바와 같이, 도 4a에 도시된 회로의 목적은 $C_0 \sim C_{N-1}$ 의 N비트로 이루어진 디지털 코드의 값에 비례하게 차동 전류 신호들을 출력하는 것이다.

[0040] 도 4a에 도시된 회로의 구조를 보면, 일정한 크기의 전류를 흘려주는 고정 전류원에서 나온 전류 I_T 는 두 개의 경로로 나뉘어서 흐르며, 각 경로에는 흐르는 전류의 양을 조절하기 위한 N+1개의 PMOS 트랜지스터가 병렬로 연결되어 있다. 또한, 왼쪽 경로에 있는 N개의 트랜지스터의 게이트의 너비(width)는 W_0 이다. 그리고, N 개의 디지털 코드($C_0 \sim C_{N-1}$)는 게이트로 입력됨으로써, 트랜지스터를 턴-온 또는 턴-오프 시킬 수 있다. 나머지 1개의 트랜지스터는 너비가 W_S 이고, 그 트랜지스터의 게이트는 그라운드에 접지되어 있어서 항상 턴-온 상태에서 동작한다. 그리고, 나머지 1개의 트랜지스터는 NMOS 트랜지스터로 전류 복사 회로를 만들어서 경로에 흐르는 전류 신호를 전압 신호로 바꾸어 출력한다. 반대쪽 경로는 동일하게 설계되고, 디지털 코드는 반전된 채로 입력된다. 따라서, 두 개의 경로 각각에서 턴-온 상태에 있는 트랜지스터들의 개수의 합은 일정하다.

[0041] 이 때, 턴-오프 상태에 있는 트랜지스터를 제외한 나머지 병렬로 연결된 모든 트랜지스터들은 동일한 소스 노드와 드레인 노드, 게이트 노드를 공유하며, 따라서 N+1개의 트랜지스터들은 도4b와 같이 합쳐서 하나의 트랜지스터로 모델링할 수 있다. 도4b에서, 왼쪽의 트랜지스터의 너비를 W_1 , 오른쪽 트랜지스터의 너비를 W_2 라고 하면, 수학적 식 4가 성립될 수 있다.

[0042] [수학적 식 4]

$$W_1 = W_S + \text{code} \cdot W_0$$

$$W_2 = W_S - \text{code} \cdot W_0$$

[0043]

[0044] 이 때 양 쪽에 흐르는 기본적인 전류의 양이 디지털코드에 따라서 전류의 양이 변하는 크기에 비해 상대적으로 많다면, 즉 $I_{\text{cont+}}$ 과 $I_{\text{cont-}}$ 의 차이가 크지 않다면, 양쪽 NMOS의 드레인 노드에 걸리는 전압(V_1, V_2)은 비슷하다고 할 수 있다. 따라서 하기 수학적 식 5가 성립할 수 있다.

[0045] [수학적 식 5]

$$I_{\text{cont+}} \propto W_1, \quad I_{\text{cont-}} \propto W_2$$

[0046]

[0047] $I_{\text{cont+}}$ 과 $I_{\text{cont-}}$ 각각은 하나의 고정 전류원으로부터 갈라져 나오는 전류이므로, 두 전류의 크기의 합은 I_T 로 항상 일정하다. 따라서 하기 수학적 식 6이 성립할 수 있다.

[0048] [수학식 6]

$$I_{cont+} + I_{cont-} = I_T$$

[0050] 상기 수학식 4 내지 상기 수학식 6을 조합하면, 하기 수학식 7이 성립할 수 있다.

[0051] [수학식 7]

$$I_{cont+} = \left(\frac{1}{2} + \frac{W_0}{2W_S} \cdot code\right) \cdot I_T = \frac{1}{2} \cdot I_T + \frac{W_0 \cdot I_T}{2W_S} \cdot code$$

$$I_{cont-} = \left(\frac{1}{2} - \frac{W_0}{2W_S} \cdot code\right) \cdot I_T = \frac{1}{2} \cdot I_T - \frac{W_0 \cdot I_T}{2W_S} \cdot code$$

[0053] 상기 수학식 1 내지 상기 수학식 7을 참조하면, 디지털-아날로그 변환기 이득인 Δ_I , 즉 해상도는 트랜지스터의 너비인 W_0 와 W_S 의 비율에 의해서 결정된다는 사실을 알 수 있다. 따라서 회로를 설계할 때에 트랜지스터의 너비를 바꾸어주는 것만으로 디지털-아날로그 변환기의 해상도를 간단히 설정할 수 있다. 또한, 상기 수학식 6에서 나타났듯이 출력되는 두 개의 차동 전류 신호들의 합은 일정하므로, 외부 잡음의 영향을 덜 받고, 디지털 제어 발진기의 위상 잡음 성능을 높일 수 있다.

[0054] 도3을 이루는 나머지 블록인 차동 전류 제어 발진기는 크게 두 가지 구조로 설계될 수 있는데, 하나는 차동 보간기 회로를 사용하는 것이고, 다른 하나는 래치 회로를 사용해서 음수 저항을 차동 증폭기의 출력 노드에 병렬로 연결하는 것이다.

[0055] 도 5는 차동 전류 제어 발진기의 일예를 나타낸 도면이다.

[0056] 도 5를 참조하면, 여러 단의 지연 셀을 직렬로 연결하여 링형 발진기를 설계하는데, 각 단의 지연 셀의 내부는 버퍼가 1개인 경로(빠른 경로)와 2개인 경로(느린 경로)로 나뉘어있다. 하나의 지연 셀에 입력으로 펄스가 들어오면 빠른 경로를 통해서 작은 지연을 가지고 펄스가 전달되고, 느린 경로를 통해서 큰 지연을 가지고 펄스가 전달된다. 그리고 두 경로의 가중치를 달리하여 덧셈기를 통해서 신호를 더하는데, 만약 빠른 경로의 가중치가 더 크다면 지연 셀의 지연 시간은 작을 것이고, 반대의 경우엔 지연 시간이 커질 것이다. 링형 발진기는 링을 이루는 지연 셀의 지연시간에 따라 발진주파수가 변하므로 각각의 지연 셀의 보간기를 조절하는 가중치 변수인 α 값에 따라서 발진 주파수가 변하게 된다.

[0057] 도 6a 및 도 6b는 차동 전류 제어 발진기에 포함된 지연 셀들을 구체적으로 나타낸 도면이다.

[0058] 도 6a 및 도 6b를 참조하면, 두 쌍의 차동 NMOS 쌍이 1쌍의 저항을 공유하는 보간기 회로는 2개의 지연버퍼 역할을 하면서 동시에 각각의 차동 NMOS 쌍에 흐르는 전류에 따라서 입력에 대한 가중치가 바뀌는 덧셈기 역할을 한다. 전류 신호로 보간기의 가중치를 조절하고, 또한 두 가중치의 합은 항상 일정하므로, 차동 전류 제어 발진기를 이루는 지연 셀로 유용하게 사용될 수 있다.

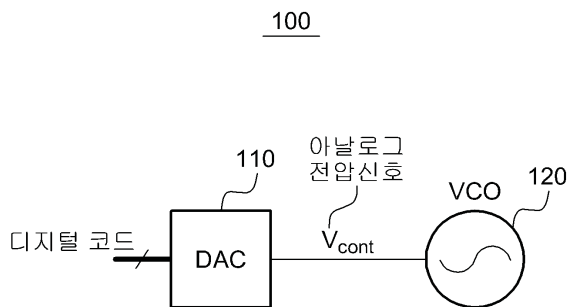
- [0059] 도 7은 차동 전류 제어 발진기의 다른 예를 나타낸 도면이다.
- [0060] 도7은 보간기를 이용하여 다른 방식으로 링형 발진기를 설계하는 실시 예를 보이고 있다. 앞서의 구조와 원리는 비슷하지만, 모든 지연 셀에서 보간기를 사용하지 않는다는 것이 다르다. 링형 발진기를 이루는 링의 중간에 하나의 보간기를 두어 N단의 지연 셀을 거친 신호와 추가로 M단의 지연 셀을 더 통과하여 N+M단을 거친 신호를 입력으로 받고, 가중치를 달리하여 두 신호를 더한다. N단을 거친 신호에 대한 가중치가 더 크다면 발진 주파수는 그에 따라 커진다.
- [0061] 도 8은 차동 전류 제어 발진기의 또 다른 예를 나타낸 도면이다.
- [0062] 도8은 보간기를 사용하지 않고 차동 전류 제어 발진기를 설계하는 또 다른 실시 예를 보이고 있다. 일반적인 차동 증폭기에 래치를 추가로 병렬 연결하면, 이 래치는 소신호 증가회로로 분석하면 저항 값이 음수인 저항이 병렬 연결된 것과 같은 역할을 한다. 이 때 증폭기 본체(도8의 좌측)에 흐르는 전류와 래치(도8의 우측)에 흐르는 전류의 비율에 따라서 전체 출력 저항 값이 바뀌게 되고, RC 시정수가 변하여 지연 시간이 바뀌게 된다. 이 지연 셀을 조합해서 링형 발진기를 설계하면, 발진주파수는 래치에 흐르는 전류와 증폭기 본체에 흐르는 전류의 비율에 따라 제어되므로, 차동 전류 제어 발진기로 동작한다.
- [0063] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [0064] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

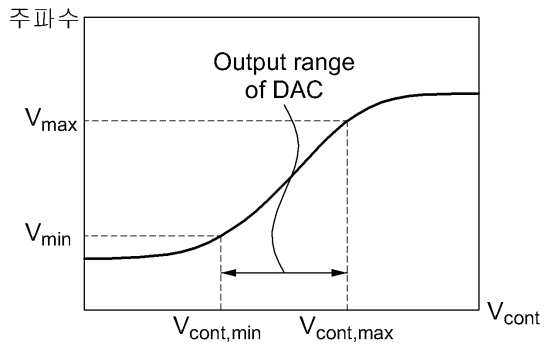
- [0065] 310: 차동 디지털-아날로그 변환기
- 320: 차동 전류 제어 발진기

도면

도면1

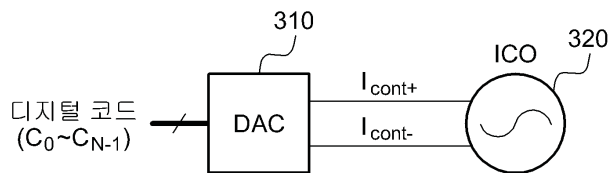


도면2

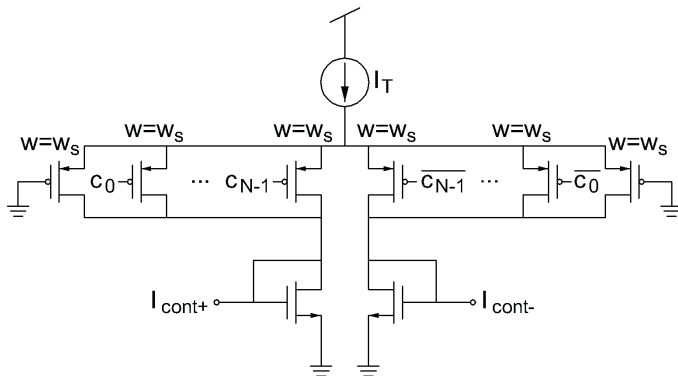


도면3

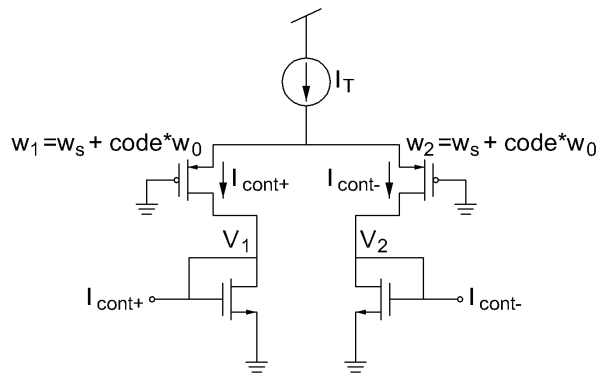
300



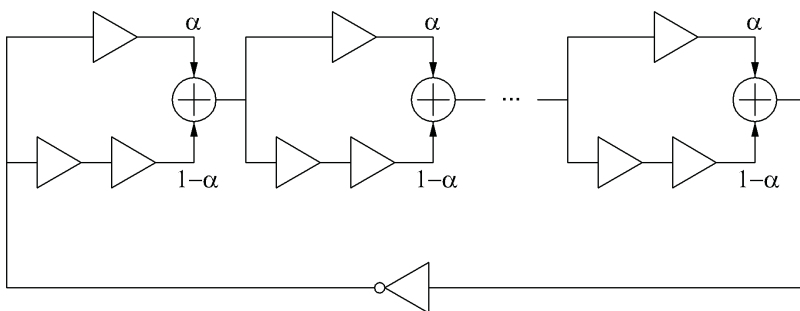
도면4a



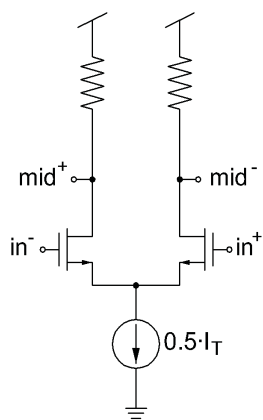
도면4b



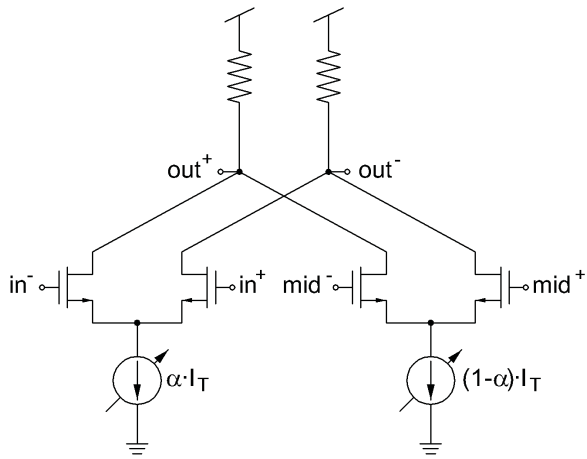
도면5



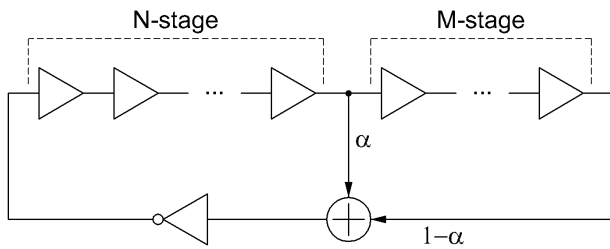
도면6a



도면6b



도면7



도면8

