

证书号第 3247374 号



# 发明专利证书

发明名称：串行化器及包括该串行化器的数据发送器

发明人：崔佑荣;金圣根

专利号：ZL 2015 1 0918943.7

专利申请日：2015 年 12 月 10 日

专利权人：延世大学校产学协力团

地址：韩国首尔

授权公告日：2019 年 02 月 12 日

授权公告号：CN 105703778 B

国家知识产权局依照中华人民共和国专利法进行审查，决定授予专利权，颁发发明专利证书并在专利登记簿上予以登记。专利权自授权公告之日起生效。专利权期限为二十年，自申请日起算。

专利证书记载专利权登记时的法律状况。专利权的转移、质押、无效、终止、恢复和专利权人的姓名或名称、国籍、地址变更等事项记载在专利登记簿上。



局长  
申长雨

申长雨





证书号第 3247374 号



专利权人应当依照专利法及其实施细则规定缴纳年费。本专利的年费应当在每年 12 月 10 日前缴纳。未按照规定缴纳年费的，专利权自应当缴纳年费期满之日起终止。

申请日时本专利记载的申请人、发明人信息如下：

申请人：

延世大学校产学协力团

发明人：

崔佑荣；金圣根



**Certificate No.: 3247374**

**Patent Certificate for Invention**

Title of the Invention: Serializer and Data Transmitter Comprising the Same

Inventor: Woo-Young CHOI; Sung-Geun KIM

Patent No.: ZL 2015109189437

Filing Date: December 10, 2015

Patentee: Industry-Academic Cooperation Foundation, Yonsei University

The date of the announcement: **February 12, 2019**

The Announcement No.: **CN 105703778 B**

The Office has examined this invention according to the Chinese Patent Law and decided to grant a patent right, and issues this patent certificate and records it in the Patent Register. The patent right shall take effect as of the date of the announcement.

The duration of the patent right shall be twenty years from the filing date. The patentee shall pay annuities according to the Chinese Patent Law and its Implementing Regulations. The time limit for payment is within one month before December 10 for each year. If the applicant fails to pay the annuity, the patent right shall cease from the expiration date of the time limit within which the annual fee shall be paid.

The Patent Certificate records the legal status when the patent right is registered. Assignment, inheritance, revocation, invalidation and ceasing of the patent right and the change in the name, nationality or address of the patentee will be recorded in the patent register.

The National Intellectual Property Administration of The People's Republic of China

Commissioner: **Changyu SHEN**

February 12, 2019



(12)发明专利

(10)授权公告号 CN 105703778 B

(45)授权公告日 2019.02.12

(21)申请号 201510918943.7

(22)申请日 2015.12.10

(65)同一申请的已公布的文献号  
申请公布号 CN 105703778 A

(43)申请公布日 2016.06.22

(30)优先权数据  
10-2014-0177594 2014.12.10 KR

(73)专利权人 延世大学校产学协力团  
地址 韩国首尔

(72)发明人 崔佑荣 金圣根

(74)专利代理机构 北京律智知识产权代理有限公司 11438  
代理人 姜怡 阚梓瑄

(51)Int.Cl.

H03M 9/00(2006.01)

(56)对比文件

US 5142408 A,1992.08.25,  
CN 1302477 A,2001.07.04,  
CN 1832552 A,2006.09.13,  
US 7457323 B2,2008.11.25,  
CN 101741393 A,2010.06.16,  
CN 1955873 A,2007.05.02,

审查员 郭涛

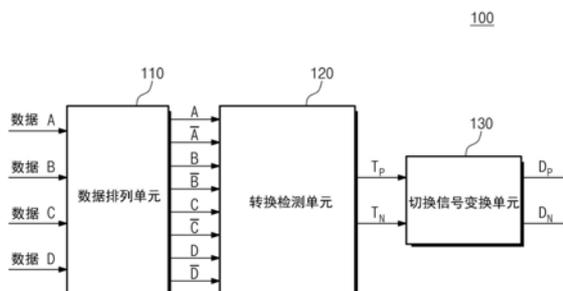
权利要求书5页 说明书13页 附图15页

(54)发明名称

串行化器及包括该串行化器的数据发送器

(57)摘要

公开了一种串行化器,其包括:数据信号排列单元,将多个数据信号以预定相位间隔排列;转换检测单元,检测排列的数据信号之中的逻辑电平的转换来在所述逻辑电平的转换处生成切换信号;以及切换信号变换单元,将所述切换信号变换成通过串行化所述数据信号获得的串行数据信号。



1. 一种串行化器,包括:

数据信号排列单元,将多个数据信号以预定相位间隔排列;

转换检测单元,检测排列的数据信号之中的逻辑电平的转换来在所述逻辑电平的转换处生成切换信号;以及

切换信号变换单元,将所述切换信号变换成通过串行化所述数据信号获得的串行数据信号,

其中,所述转换检测单元比较来自于所述排列的数据信号之中的相位连续的两个排列的数据信号在同一时间的逻辑电平,所述转换检测单元在所述两个排列的数据信号中的一个的第一逻辑电平为“0”且所述两个排列的数据信号中的另一个的第二逻辑电平为“1”时生成正切换信号,并且在所述第一逻辑电平为“1”且所述第二逻辑电平为“0”时生成负切换信号,

其中所述切换信号变换单元配置为通过使用所述正切换信号和所述负切换信号而不使用时钟信号来获得所述串行数据信号。

2. 根据权利要求1所述的串行化器,其中所述数据信号排列单元排列所述多个数据信号从而使其彼此间隔开一个相位差,所述相位差对应于将360度除以所述数据信号的数量而获得的值。

3. 根据权利要求1所述的串行化器,其中所述数据信号排列单元排列所述多个数据信号,从而使其具有相位差,同时以归零RZ方式变换所述多个数据信号。

4. 根据权利要求3所述的串行化器,其中所述转换检测单元在相位超前的所述排列的数据信号的逻辑电平为“0”且相位滞后的所述排列的数据信号的逻辑电平为“1”时生成所述正切换信号,并且在相位超前的所述排列的数据信号的逻辑电平为“1”且相位滞后的所述排列的数据信号的逻辑电平为“0”时生成所述负切换信号。

5. 根据权利要求4所述的串行化器,其中所述切换信号变换单元包括:

NOR门SR锁存器,其接收所述正切换信号和所述负切换信号,并输出所述串行数据信号和对应于所述串行数据信号的反相版本的反相串行数据信号。

6. 根据权利要求1所述的串行化器,其中所述数据信号排列单元排列所述多个数据信号,从而使其具有相位差同时以归一R0方式变换所述多个数据信号。

7. 根据权利要求6所述的串行化器,其中所述转换检测单元在相位超前的所述排列的数据信号的逻辑电平为“1”且相位滞后的所述排列的数据信号的逻辑电平为“0”时生成所述正切换信号,并且在相位超前的所述排列的数据信号的逻辑电平为“0”且相位滞后的所述排列的数据信号的逻辑电平为“1”时生成所述负切换信号。

8. 根据权利要求7所述的串行化器,其中所述切换信号变换单元包括:

NAND门SR锁存器,其接收所述正切换信号和所述负切换信号,并输出所述串行数据信号和对应于所述串行数据信号的反相版本的反相串行数据信号。

9. 一种串行化器,包括:

数据信号排列单元,将多个数据信号以预定相位间隔排列;

转换检测单元,检测排列的数据信号之中的逻辑电平的转换来在所述逻辑电平的转换处生成切换信号;以及

切换信号变换单元,将所述切换信号变换成通过串行化所述数据信号获得的串行数据

信号,

所述数据信号排列单元排列所述多个数据信号,从而使其具有相位差,同时以归零RZ方式变换所述多个数据信号,

其中所述数据信号排列单元包括多个触发器,每个触发器接收数据信号、时钟信号和复位信号,并且响应于所述复位信号和所述时钟信号的时序,输出通过以所述RZ方式变换所述数据信号得到的RZ数据信号以及对应于所述RZ数据信号的反相版本的反相RZ数据信号,

其中对应于所述相位间隔的相位差存在于分别施加到所述触发器的所述时钟信号之中,并且

其中对应于所述相位间隔的相位差存在于分别施加到所述触发器的所述复位信号之中。

10. 根据权利要求9所述的串行化器,其中所述转换检测单元包括:

多个第一NAND门,每个第一NAND门从所述排列的数据信号之中接收相位连续的两个数据信号,并且针对相位超前的数据信号的RZ数据信号和相位滞后的数据信号的反相RZ数据信号执行NAND运算;

多个第二NAND门,每个第二NAND门从所述排列的数据信号之中接收相位连续的两个数据信号,并且针对相位超前的数据信号的反相RZ数据信号和相位滞后的数据信号的RZ数据信号执行NAND运算;

第三NAND门,其针对第一NAND门的输出信号执行NAND运算;以及

第四NAND门,其针对所述第二NAND门的输出信号执行NAND运算。

11. 一种串行化器,包括:

数据信号排列单元,将多个数据信号以预定相位间隔排列;

转换检测单元,检测排列的数据信号之中的逻辑电平转换来在所述逻辑电平的转换处生成切换信号;以及

切换信号变换单元,将所述切换信号变换成通过串行化所述数据信号获得的串行数据信号,

其中所述数据信号排列单元排列所述多个数据信号,从而使其具有相位差同时以归一R0方式变换所述多个数据信号,

其中所述数据信号排列单元包括:

多个触发器,每个触发器接收数据信号、时钟信号和复位信号,并且响应于所述复位信号和所述时钟信号的时序,输出根据R0方式变换的R0数据信号以及对应于所述R0数据信号的反相版本的反相R0数据信号,

其中对应于所述相位间隔的相位差存在于分别施加到所述触发器的所述时钟信号之中,并且

其中对应于所述相位间隔的相位差存在于分别施加到所述触发器的所述复位信号之中。

12. 根据权利要求11所述的串行化器,其中所述转换检测单元包括:

多个第一NOR门,每个第一NOR门从所述排列的数据信号之中接收相位连续的两个数据信号,并且针对相位超前的数据信号的R0数据信号和相位滞后的数据信号的反相R0数据信

号执行NOR运算；

多个第二NOR门，每个第二NOR门从所述排列的数据信号之中接收相位连续的两个数据信号，并且针对相位超前的数据信号的反相RO数据信号和相位滞后的数据信号的RO数据信号执行NOR运算；

第三NOR门，其针对第一NOR门的输出信号执行NOR运算；以及

第四NOR门，其针对所述第二NOR门的输出信号执行NOR运算。

13. 一种数据发送器，包括：

串行化器，其包括：以预定的相位间隔排列多个数据信号的数据信号排列单元；转换检测单元，检测排列的数据信号之中的逻辑电平的转换来在所述逻辑电平的转换处生成切换信号；以及切换信号变换单元，将所述切换信号变换为通过串行化所述数据信号获得的串行数据信号；

输出驱动器，其补偿所述串行数据信号的信道损失；以及

预加重单元，其接收所述切换信号，以在所述切换信号的输入部分生成加重信号，并且使所述加重信号与来自所述输出驱动器的输出信号重叠，

其中，所述转换检测单元比较来自于所述排列的数据信号之中的相位连续的两个排列的数据信号在同一时间的逻辑电平，所述转换检测单元在所述两个排列的数据信号中的一个的第一逻辑电平为“0”且所述两个排列的数据信号中的另一个的第二逻辑电平为“1”时生成正切换信号，并且在所述第一逻辑电平为“1”且所述第二逻辑电平为“0”时生成负切换信号，

其中所述切换信号变换单元配置为通过使用所述正切换信号和所述负切换信号而不使用时钟信号来获得所述串行数据信号。

14. 根据权利要求13所述的数据发送器，其中所述数据信号排列单元排列所述多个数据信号，从而使其具有相位差同时以归零RZ方式变换所述多个数据信号。

15. 根据权利要求14所述的数据发送器，其中所述转换检测单元在相位超前的所述排列的数据信号的逻辑电平为“0”且相位滞后的所述排列的数据信号的逻辑电平为“1”时生成所述正切换信号，并且在相位超前的所述排列的数据信号的逻辑电平为“1”且相位滞后的所述排列的数据信号的逻辑电平为“0”时生成所述负切换信号。

16. 根据权利要求13所述的数据发送器，其中所述数据信号排列单元排列所述多个数据信号，从而使其具有相位差，同时以归一RO方式变换所述多个数据信号。

17. 根据权利要求16所述的数据发送器，其中所述转换检测单元在相位超前的所述排列的数据信号的逻辑电平为“1”且相位滞后的所述排列的数据信号的逻辑电平为“0”时生成所述正切换信号，并且在相位超前的所述排列的数据信号的逻辑电平为“0”且相位滞后的所述排列的数据信号的逻辑电平为“1”时生成所述负切换信号。

18. 一种数据发送器，包括：

串行化器，其包括：以预定的相位间隔排列多个数据信号的数据信号排列单元；转换检测单元，检测排列的数据信号之中的逻辑电平的转换来在所述逻辑电平的转换处生成切换信号；以及切换信号变换单元，将所述切换信号变换为通过串行化所述数据信号获得的串行数据信号；

输出驱动器，其补偿所述串行数据信号的信道损失；以及

预加重单元,其接收所述切换信号,以在所述切换信号的输入部分生成加重信号,并且使所述加重信号与来自所述输出驱动器的输出信号重叠,

其中所述数据信号排列单元排列所述多个数据信号,从而使其具有相位差同时以归零RZ方式变换所述多个数据信号,

其中所述转换检测单元比较来自于所述排列的数据信号之中的相位连续的两个所述排列的数据信号在同一时间的逻辑电平,并且其中所述转换检测单元在相位超前的数据信号的逻辑电平为“0”且相位滞后的数据信号的逻辑电平为“1”时生成正切换信号,并且在相位超前的数据信号的逻辑电平为“1”且相位滞后的数据信号的逻辑电平为“0”时生成负切换信号,

其中所述预加重单元包括:

串联连接在第一电源端和第二电源端之间的第一NMOS晶体管和第二NMOS晶体管,所述第一电源端具有对应于为“1”的逻辑电位的电位,所述第二电源端具有对应于为“0”逻辑电位的电位;以及

串联连接在所述第一电源端和所述第二电源端之间的第三NMOS晶体管和第四NMOS晶体管,并且

其中所述第一NMOS晶体管和所述第四NMOS晶体管根据所述正切换信号导通或关断,并且所述第二NMOS晶体管和所述第三NMOS晶体管根据所述负切换信号导通或关断。

19. 一种数据发送器,包括:

串行化器,其包括:以预定的相位间隔排列多个数据信号的数据信号排列单元;转换检测单元,检测排列的数据信号之中的逻辑电平的转换来在所述逻辑电平的转换处生成切换信号;以及切换信号变换单元,将所述切换信号变换为通过串行化所述数据信号获得的串行数据信号;

输出驱动器,其补偿所述串行数据信号的信道损失;以及

预加重单元,其接收所述切换信号,以在所述切换信号的输入部分生成加重信号,并且使所述加重信号与来自所述输出驱动器的输出信号重叠,

其中所述数据信号排列单元排列所述多个数据信号,从而使其具有相位差,同时以归一R0方式变换所述多个数据信号,

其中所述转换检测单元比较来自于所述排列的数据信号之中的相位连续的两个所述排列的数据信号在同一时间的逻辑电平,并且其中所述转换检测单元在相位超前的数据信号的逻辑电平为“1”且相位滞后的数据信号的逻辑电平为“0”时生成正切换信号,并且在相位超前的数据信号的逻辑电平为“0”且相位滞后的数据信号的逻辑电平为“1”时生成负切换信号,

其中所述预加重单元包括:

串联连接在第一电源端和第二电源端之间的第一PMOS晶体管和第二PMOS晶体管,所述第一电源端具有对应于为“1”的逻辑电位的电位,所述第二电源端具有对应于为“0”逻辑电位的电位;以及

串联连接在所述第一电源端和所述第二电源端之间的第三PMOS晶体管和第四PMOS晶体管,并且

其中所述第一PMOS晶体管和所述第四PMOS晶体管根据所述正切换信号导通或关断,并

且所述第二PMOS晶体管和所述第三PMOS晶体管根据所述负切换信号导通或关断。

## 串行化器及包括该串行化器的数据发送器

[0001] 相关申请的交叉引用

[0002] 本申请要求在2014年12月10日向韩国知识产权局递交的申请号为10-2014-0177594的韩国专利申请的优先权,其全部内容通过引用并入本文。

### 技术领域

[0003] 本文所描述的本发明构思的实施例涉及一种串行化器和一种包括该串行化器的数据发送器。

### 背景技术

[0004] 由于系统的数据吞吐量的增加,对于高速和低功率输入/输出的需求正在增加。因此,已经尝试在降低功耗的同时在发送器以高速发送数据。一般而言,发送数据的发送器包括串行化器,它将多个并行数据信号变换成串行数据流,并将串行数据流发送到接收器。

[0005] 通过施加时钟和脉冲信号到数据信号,传统的串行化器串行化并行输入的多个数据信号。例如,4:1的串行化器使用正交时钟生成脉冲信号,并同步脉冲信号与数据信号来将四个并行的数据信号串行化成一个数据流。

[0006] 因此,传统的串行化器必须需要用于生成脉冲信号的电路模块,用于调节脉冲信号的相位的电路模块,用于同步脉冲信号与数据信号的电路模块,等等。在使用时钟来进行串行化的电路模块的情形中,随着时钟的速度变高,功耗也变大。另外,随着在一个芯片中的电路模块的数量变大,功率消耗也变大。

### 发明内容

[0007] 本发明构思的实施例的目的在于提供一种串行化器,其通过不使用时钟而减小功耗,并提供一种包括该串行化器的数据发送器。

[0008] 本发明构思的实施例的目的在于提供一种串行化器,其通过使用标准元件的逻辑门实现用于数据串行化的电路模块来降低设计的复杂性,并提供一种包括该串行化器的数据发送器。

[0009] 本发明构思的实施例的目的在于提供一种串行化器,其能够通过使用在串行化期间生成的切换信号来预加重串行信号的简单电路模块进行预加重,并提供一种包括该串行化器的数据发送器。

[0010] 根据本公开一个实施例的一种串行化器可以包括:数据信号排列单元,将多个数据信号以预定相位间隔排列;转换检测单元,检测排列的数据信号之中的逻辑电平的转换来在所述逻辑电平的转换处生成切换信号;以及切换信号变换单元,将所述切换信号变换成通过串行化所述数据信号获得的串行数据信号。

[0011] 所述数据信号排列单元可以排列所述多个数据信号从而使其彼此间隔开一个相位差,所述相位差对应于将360度除以所述数据信号的数量而获得的值。

[0012] 所述数据信号排列单元可以排列所述多个数据信号,从而使其具有所述相位差,

同时以归零 (RZ) 方式变换所述多个数据信号。

[0013] 所述数据信号排列单元可以包括多个触发器,每个触发器接收数据信号、时钟信号和复位信号,并且响应于所述复位信号和所述时钟信号的时序,输出通过以所述RZ方式变换所述数据信号得到的RZ数据信号以及对应于所述RZ数据信号的反相版本的反相RZ数据信号。对应于所述相位间隔的相位差可以存在于分别施加到所述触发器的所述时钟信号之中,并且对应于所述相位间隔的相位差可以存在于分别施加到所述触发器的所述复位信号之中。

[0014] 所述转换检测单元可以比较来自于所述排列的数据信号之中的相位连续的两个数据信号在同一时间的逻辑电平。所述转换检测单元可以在相位超前的数据信号的逻辑电平为“0”且相位滞后的数据信号的逻辑电平为“1”时生成正切换信号,并且可以在相位超前的数据信号的逻辑电平为“1”且相位滞后的数据信号的逻辑电平为“0”时生成负切换信号。

[0015] 所述转换检测单元可以包括:多个第一NAND门,每个第一NAND门从所述排列的数据信号之中接收相位连续的两个数据信号,并且针对相位超前的数据信号的RZ数据信号和相位滞后的数据信号的反相RZ数据信号执行NAND运算;多个第二NAND门,每个第二NAND门从所述排列的数据信号之中接收相位连续的两个数据信号,并且针对相位超前的数据信号的反相RZ数据信号和相位滞后的数据信号的RZ数据信号执行NAND运算;第三NAND门,其针对第一NAND门的输出信号执行NAND运算;以及第四NAND门,其针对所述第二NAND门的输出信号执行NAND运算。

[0016] 所述切换信号变换单元可以包括NOR门SR锁存器,其接收所述正切换信号和所述负切换信号,并输出所述串行数据信号和对应于所述串行数据信号的反相版本的反相串行数据信号。

[0017] 所述数据信号排列单元可以排列所述多个数据信号,从而使其具有相位差同时以归一 (R0) 方式变换所述多个数据信号。

[0018] 所述数据信号排列单元可以包括多个触发器,每个触发器接收数据信号、时钟信号和复位信号,并且响应于所述复位信号和所述时钟信号的时序,输出根据R0方式变换的R0数据信号以及对应于所述R0数据信号的反相版本的反相R0数据信号。对应于所述相位间隔的相位差可以存在于分别施加到所述触发器的所述时钟信号之中,并且对应于所述相位间隔的相位差可以存在于分别施加到所述触发器的所述复位信号之中。

[0019] 所述转换检测单元可以比较来自于所述排列的数据信号之中的相位连续的两个数据信号在同一时间的逻辑电平。所述转换检测单元可以在相位超前的数据信号的逻辑电平为“1”且相位滞后的数据信号的逻辑电平为“0”时生成正切换信号,并且可以在相位超前的数据信号的逻辑电平为“0”且相位滞后的数据信号的逻辑电平为“1”时生成负切换信号。

[0020] 所述转换检测单元可以包括:多个第一NOR门,每个第一NOR门从所述排列的数据信号之中接收相位连续的两个数据信号,并且针对相位超前的数据信号的R0数据信号和相位滞后的数据信号的反相R0数据信号执行NOR运算;多个第二NOR门,每个第二NOR门从所述排列的数据信号之中接收相位连续的两个数据信号,并且针对相位超前的数据信号的反相R0数据信号和相位滞后的数据信号的R0数据信号执行NOR运算;第三NOR门,其针对第一NOR门的输出信号执行NOR运算;以及第四NOR门,其针对所述第二NOR门的输出信号执行NOR运算。

[0021] 所述切换信号变换单元可以包括NAND门SR锁存器,其接收所述正切换信号和所述负切换信号,并输出所述串行数据信号和对应于所述串行数据信号的反相版本的反相串行数据信号。

[0022] 根据本发明构思的一个实施例的一种串行化器可以包括:多个触发器,每个触发器接收数据信号、时钟信号和复位信号,并且响应于所述复位信号和所述时钟信号的时序,输出通过以所述RZ方式变换所述数据信号得到的RZ数据信号,以及对应于所述RZ数据信号的反相版本的反相RZ数据信号;多个第一NAND门,每个第一NAND门从所述排列的数据信号中接收相位连续的两个数据信号,并且针对相位超前的数据信号的RZ数据信号和相位滞后的数据信号的反相RZ数据信号执行NAND运算;多个第二NAND门,每个第二NAND门从所述排列的数据信号中接收相位连续的两个数据信号,并针对相位超前的数据信号的反相RZ数据信号和相位滞后的数据信号的RZ数据信号执行NAND运算;第三NAND门,针对所述第一非门的输出信号执行NAND运算;以及第四NAND门,针对所述第二NAND门的输出信号执行NAND运算;以及NOR门SR锁存器,其接收所述正切换信号和所述负切换信号,并输出所述串行数据信号和对应于所述串行数据信号的反相版本的反相串行数据信号。对应于所述相位间隔的相位差可以存在于分别施加到所述触发器的所述时钟信号之中,并且对应于所述相位间隔的所述相位差可以存在于分别施加到所述触发器的所述复位信号之中。

[0023] 根据本发明构思的一个实施例的一种串行化器可以包括:多个触发器,每个触发器接收数据信号、时钟信号和复位信号,并且响应于所述复位信号和所述时钟信号的时序,输出根据所述RO方式变换的RO数据信号以及对应于所述RO数据信号的反相版本的反相RO数据信号;多个第一NOR门,每个第一NOR门从所述排列的数据信号之中接收相位连续的两个数据信号,并且针对相位超前的数据信号的RO数据信号和相位滞后的数据信号的反相RO数据信号执行NOR运算;多个第二NOR门,每个第二NOR门从所述排列的数据信号之中接收相位连续的两个数据信号,并且针对相位超前的数据信号的反相RO数据信号和相位滞后的数据信号的RO数据信号执行NOR运算;第三NOR门,其针对第一NOR门的输出信号执行NOR运算;以及第四NOR门,其针对所述第二NOR门的输出信号执行NOR运算;以及NAND门SR锁存器,其接收所述正切换信号和所述负切换信号,并输出所述串行数据信号和对应于所述串行数据信号的反相版本的反相串行数据信号。对应于所述相位间隔的相位差可以存在于分别施加到所述触发器的所述时钟信号之中,并且对应于所述相位间隔的相位差可以存在于分别施加到所述触发器的所述复位信号之中。

[0024] 根据本公开一实施方式的一种数据发送器可以包括串行化器,其包括:以预定的相位间隔排列多个数据信号的数据信号排列单元;转换检测单元,检测排列的数据信号之中的逻辑电平的转换来在所述逻辑电平的转换处生成切换信号;以及切换信号变换单元,将所述切换信号变换为通过串行化所述数据信号获得的串行数据信号;输出驱动器,其补偿所述串行数据信号的信道损失;以及预加重单元,其接收所述切换信号,以在所述切换信号的输入部分生成加重信号,并且使所述加重信号与来自所述输出驱动器的输出信号重叠。

[0025] 所述数据信号排列单元可以排列所述多个数据信号,从而使其具有相位差同时以归零(RZ)方式变换所述多个数据信号。

[0026] 所述数据信号排列单元可以包括多个触发器,每个触发器接收数据信号、时钟信

号和复位信号,并且响应于所述复位信号和所述时钟信号的时序,输出通过以所述RZ方式变换所述数据信号得到的RZ数据信号以及对应于所述RZ数据信号的反相版本的反相RZ数据信号。对应于所述相位间隔的相位差可以存在于分别施加到所述触发器的所述时钟信号之中,并且对应于所述相位间隔的相位差可以存在于分别施加到所述触发器的所述复位信号之中。

[0027] 所述转换检测单元可以比较来自于所述排列的数据信号之中的相位连续的两个数据信号在同一时间的逻辑电平。所述转换检测单元可以在相位超前的数据信号的逻辑电平为“0”且相位滞后的数据信号的逻辑电平为“1”时生成正切换信号,并且可以在相位超前的数据信号的逻辑电平为“1”且相位滞后的数据信号的逻辑电平为“0”时生成负切换信号。

[0028] 所述转换检测单元可以包括:多个第一NAND门,每个第一NAND门从所述排列的数据信号之中接收相位连续的两个数据信号,并且针对相位超前的数据信号的RZ数据信号和相位滞后的数据信号的反相RZ数据信号执行NAND运算;多个第二NAND门,每个第二NAND门从所述排列的数据信号之中接收相位连续的两个数据信号,并且针对相位超前的数据信号的反相RZ数据信号和相位滞后的数据信号的RZ数据信号执行NAND运算;第三NAND门,其针对第一NAND门的输出信号执行NAND运算;以及第四NAND门,其针对所述第二NAND门的输出信号执行NAND运算。

[0029] 所述切换信号变换单元可以包括NOR门SR锁存器,其接收所述正切换信号和所述负切换信号,并输出所述串行数据信号和对应于所述串行数据信号的反相版本的反相串行数据信号。

[0030] 所述数据信号排列单元可以排列所述多个数据信号,从而使其具有相位差,同时以归一(RO)方式变换所述多个数据信号。

[0031] 所述数据信号排列单元可以包括多个触发器,每个触发器接收数据信号、时钟信号和复位信号,并且响应于所述复位信号和所述时钟信号的时序,输出根据RO方式变换的RO数据信号以及对应于所述RO数据信号的反相版本的反相RO数据信号。对应于所述相位间隔的相位差可以存在于分别施加到所述触发器的所述时钟信号之中,并且对应于所述相位间隔的相位差可以存在于分别施加到所述触发器的所述复位信号之中。

[0032] 所述转换检测单元可以比较来自于所述排列的数据信号之中的相位连续的两个数据信号在同一时间的逻辑电平。所述转换检测单元可以在相位超前的数据信号的逻辑电平为“1”且相位滞后的数据信号的逻辑电平为“0”时生成正切换信号,并且可以在相位超前的数据信号的逻辑电平为“0”且相位滞后的数据信号的逻辑电平为“1”时生成负切换信号。

[0033] 所述转换检测单元可以包括:多个第一NOR门,每个第一NOR门从所述排列的数据信号之中接收相位连续的两个数据信号,并且针对相位超前的数据信号的RO数据信号和相位滞后的数据信号的反相RO数据信号执行NOR运算;多个第二NOR门,每个第二NOR门从所述排列的数据信号之中接收相位连续的两个数据信号,并且针对相位超前的数据信号的反相RO数据信号和相位滞后的数据信号的RO数据信号执行NOR运算;第三NOR门,其针对第一NOR门的输出信号执行NOR运算;以及第四NOR门,其针对所述第二NOR门的输出信号执行NOR运算。

[0034] 所述切换信号变换单元可以包括NAND门SR锁存器,其接收所述正切换信号和所述负切换信号,并输出所述串行数据信号和对应于所述串行数据信号的反相版本的反相串行

数据信号。

[0035] 所述预加重单元可以包括串联连接在第一电源端和第二电源端之间的第一NMOS晶体管和第二NMOS晶体管,以及串联连接在所述第一电源端和所述第二电源端之间的第三NMOS晶体管和第四NMOS晶体管,所述第一电源端具有对应于为“1”的逻辑电平的电位,所述第二电源端具有对应于为“0”逻辑电平的电位。所述第一NMOS晶体管和所述第四NMOS晶体管可以根据所述正切换信号导通或关断,并且所述第二NMOS晶体管和所述第三NMOS晶体管可以根据所述负切换信号导通或关断。

[0036] 所述预加重单元可以包括串联连接在第一电源端和第二电源端之间的第一PMOS晶体管和第二PMOS晶体管,以及串联连接在所述第一电源端和所述第二电源端之间的第三PMOS晶体管和第四PMOS晶体管,所述第一电源端具有对应于为“1”的逻辑电平的电位,所述第二电源端具有对应于为“0”逻辑电平的电位。所述第一PMOS晶体管和所述第四PMOS晶体管可以根据所述正切换信号导通或关断,并且所述第二PMOS晶体管和所述第三PMOS晶体管可以根据所述负切换信号导通或关断。

## 附图说明

[0037] 从下面参照以下附图的描述中,上述和其它的目的和特征将变得显而易见,其中除非另有规定,在通篇的各个附图中,类似的附图标记指代类似的部分,并且其中

[0038] 图1是示出根据本发明构思的一个实施例的串行化器的框图;

[0039] 图2是用于描述其中根据本发明构思的一个实施例的数据排列单元排列数据信号,同时将数据信号以RZ方式变换的过程的示意图。

[0040] 图3是示出根据本发明构思的一个实施例的数据信号排列单元的结构示意图。

[0041] 图4是用于描述根据本发明构思的一个实施例的转换检测单元检测数据信号之中的逻辑电平的转换,并生成作为检测结果的切换信号的过程的示意图。

[0042] 图5是示出根据本发明构思的一个实施例的转换检测单元的结构电路图。

[0043] 图6是用于描述根据本发明构思的一个实施例的切换信号变换单元将切换信号变换成串行数据信号的过程的示意图。

[0044] 图7和8是示出根据本发明构思的一个实施例的切换信号变换单元的结构电路图。

[0045] 图9和图10是示出根据本发明构思另一个实施例的切换信号变换单元的结构电路图。

[0046] 图11是用于描述根据本发明构思的一个实施例的数据信号排列单元排列数据信号同时以R0方式变换数据信号的过程的示意图。

[0047] 图12是用于描述根据本发明构思的一个实施例的转换检测单元检测数据信号之中的逻辑电平的转换并生成作为检测结果的切换信号的过程的示意图。

[0048] 图13是示出根据本发明构思另一个实施例的转换检测单元的结构电路图。

[0049] 图14是用于描述根据本发明构思另一个实施例的切换信号变换单元将切换信号变换成串行数据信号的过程的示意图。

[0050] 图15和16是示出根据本发明构思另一个实施例的切换信号变换单元130的结构电路图;

[0051] 图17和18是示出根据本发明构思另一个实施例的切换信号变换单元的结构电路图。

[0052] 图19是示出根据本发明构思的一个实施例的发送器的框图；

[0053] 图20是示出根据本发明构思的一个实施例的预加重单元的电路图；并且

[0054] 图21是示出根据本发明构思另一个实施例的预加重单元的电路图。

### 具体实施方式

[0055] 从下面参照以下附图的描述中，本发明公开的优点和特征及其实现方法将变得显而易见，其中将参考附图对实施例进行详细描述。但是，本发明构思也可以以各种不同的形式实施，并且不应当被解释为仅限于所示实施例。相反，这些实施例作为例子提供，使得本公开将是彻底的和完整的，并且将充分地传达本发明的构思给本领域技术人员。本发明构思可以由权利要求的范围来限定。同时，本文用来描述本发明的实施例的术语并非意在限制本发明的范围。

[0056] 除非本文另有定义，否则所有本文中所述的术语，包括技术或科学术语，可以具有与通常由本领域技术人员所理解的相同的含义。还将理解的是，在词典中定义和常用的术语，也应被解释为具有与它们在相关领域中的含义一致的含义，并且不应被解释为理想化的或过于正式的意义，除非在本公开各个实施例中明确地如此限定。在某些情况下，即使术语是在说明书中定义的术语，它们也可能不被解释为排除本发明的实施例。

[0057] 在本说明书中使用的术语用于描述本公开的特定实施例，并且不意图限制本公开的范围。除非另有规定，单数形式的术语可能包括复数形式。在本文所公开的公开内容中，本文所使用的表述“具有”、“可以具有”、“包括”以及“包含”或者“可以包括”和“可以包含”表示相应特征（例如，诸如数值、功能、操作或组件的要素）的存在，但不排除存在另外的特征。如本文所使用的，术语“和/或”包括相关的所列项目的一个或多个任意组合的和所有的组合。

[0058] 不同于用于数据串行化的常规方式，根据本发明构思的一个实施例的串行化器可以仅在排列数据信号时使用时钟，并且可以在串行化数据信号中不需要使用时钟，因此可减小功耗。

[0059] 在一个实施例中，根据本发明构思的一个实施例的串行化器可能通过以下方式来串行化并行数据：排列多个并行的数据信号，生成作为检测排列的数据信号之中的逻辑电平转换的结果的切换信号(toggle signal)，并将所述切换信号变换成串行数据信号。

[0060] 根据本发明构思的一个实施例，用于数据串行化的电路可以以逻辑门实现，并且因此电路可以容易被设计。可以不需要用于脉冲和数据信号之间的同步和脉冲相位调整的电路模块，从而使得有可能以低功率串行化数据。

[0061] 根据本发明构思的一个实施例，另外，由于指示数据信号之间的逻辑电平的转换的切换信号在用于串行化数据的过程中生成，所以可以使用切换信号预加重串行数据信号。因此，可以通过简单的电路模块来提供预加重。

[0062] 下面，参考附图来对本发明构思的实施例进行更全面的描述。

[0063] 图1是示出根据本发明构思的一个实施例的串行化器100的框图。

[0064] 如图1所示，一种串行化器100可以包括数据信号排列单元110、转换检测单元120

以及切换信号变换单元130。

[0065] 数据信号排列单元110可以以预定相位间隔排列多个数据信号A至D。转换检测单元120可以检测排列的数据信号A至D之中的逻辑电平的转换,并且当逻辑电平转换时可以生成切换信号 $T_P$ 和 $T_N$ 。切换信号变换单元130可以将切换信号 $T_P$ 和 $T_N$ 变换成通过串行化这些数据信号获得的串行化数据信号 $D_P$ 。

[0066] 数据信号排列单元110可排列多个数据信号A至D,从而使它们隔开彼此间隔开预定相位间隔。根据一个实施例,数据信号排列单元110可以排列多个数据信号A至D,从而使它们彼此间隔开对应于360度除以数据信号的数量而获得的值。

[0067] 例如,如图1中所示。在四个数据信号A至D被串行化为一个数据流的情形下,数据信号排列单元110可以排列数据信号A至D,从而使它们彼此间隔开90度。

[0068] 在本说明书中,本发明构思的一个实施例将关注用于4:1串行化的电路配置及其操作。然而,本发明构思的范围和精神可以不局限于此。例如,本发明构思的范围和精神可以应用于各种类型的串行化,包括2:1的串行化。

[0069] 根据一个实施例,数据信号排列单元110可以排列多个数据信号A至D,从而使其具有相位差,同时将多个数据信号A至D以归零(RZ)方式变换。

[0070] RZ方式可以指代其中构成数据信号的每个脉冲返回到对应于为“0”的逻辑电平的电压脉冲的方式,并且可以是与其中不需要返回到对应于为“0”的逻辑电平的电压的非归零(NRZ)方式相反的信号实现方式。

[0071] 归一(R0)方式可以指代,其中构成数据信号的每个脉冲返回到对应于为“1”的逻辑电平的电压的方式。不同于基于对应于为“0”的逻辑电平的电压来表示数据的RZ或NRZ方式,R0方式可以基于对应于为“1”的逻辑电平的电压来表示数据。

[0072] 图2是用于描述其中根据本发明构思的一个实施例的数据排列单元110排列数据信号A至D,同时将数据信号A至D以RZ方式变换的过程的示意图。

[0073] 如图2中所示,数据信号排列单元110可以以预定相位差(即90度)顺序地排列多个数据信号A至D,并且可以以RZ方式变换以NRZ方式表达的数据信号A到D。

[0074] 以上述方式,数据信号A至D可以以90度相位差排列成以下顺序:第一数据信号A、第二数据信号B、第三数据信号C和第四数据信号D。

[0075] 图3是示出根据本发明构思的一个实施例的数据信号排列单元110的结构示意图。

[0076] 如图3所示,根据本发明构思的一个实施例,数据信号排列单元110可以包括多个触发器(flip-flop)111至114。每个触发器可以接收数据信号D、时钟信号CLK和复位信号RST,并且可以响应于时钟信号CLK和复位信号RST,输出通过以所述RZ方式变换所述数据信号得到的RZ数据信号Q,以及对应于所述RZ数据信号Q的反相版本的反相RZ数据信号 $\bar{Q}$ 。

[0077] 也就是说,在接收到数据信号D之后,当接收到时钟信号CLK时,每个触发器可输出该数据信号;如果接收到复位信号RST,每个触发器可以输出对应于为“0”的逻辑电平的信号,并且可以以RZ方式而不是NRZ方式变换数据信号。

[0078] 此外,为了以预定相位间隔排列数据信号A至D,对应于相位间隔的相位差(例如,在图3的情形中为90度)可以存在于分别施加到触发器111至114的时钟信号CLK之中,并且对应于相位间隔的相位差(例如,在图3的情形中为90度)可以存在于分别施加到触发器111

至114的复位信号RST之中。

[0079] 转换检测单元120可以检测数据信号A至D之中的逻辑电平的转换,并且可以当逻辑电平转换时生成切换信号 $T_P$ 和 $T_N$ 。

[0080] 根据本发明构思的一个实施例,转换检测单元120可以比较来自排列的数据信号A中至D之中相位连续的两个数据信号在同一时间的逻辑电平。可以在相位超前的数据信号的逻辑电平为“1”且相位滞后的数据信号的逻辑电平为“0”时生成正切换信号 $T_P$ ,并且可以在相位超前的数据信号的逻辑电平为“0”且相位滞后的数据信号的逻辑电平为“1”时生成负切换信号 $T_N$ 。

[0081] 图4是用于描述根据本发明构思的一个实施例的转换检测单元120检测数据信号A至D之中的逻辑电平的转换,并生成作为检测结果的切换信号 $T_P$ 和 $T_N$ 的过程的示意图。

[0082] 根据一个实施例,转换检测单元120可以按相位的顺序比较以RZ方式排列为具有预定相位间隔的数据信号A至D之中的两个数据信号在同一时间的逻辑电平。

[0083] 例如,参考图4,转换检测单元120可以按下列顺序比较数据信号A至D之中的两个数据信号在同一时间的逻辑电平:第一步骤比较第四数据信号D的逻辑电平与第一数据信号A的逻辑电平,第二步骤比较第一数据信号A的逻辑电平与第二数据信号B的逻辑电平,第三步骤比较第二数据信号B的逻辑电平与第三数据信号C的逻辑电平,并且第四步骤比较第三数据信号C的逻辑电平与第四数据信号D的逻辑电平。

[0084] 根据本发明构思一个实施方式,转换检测单元120可以在相位超前的数据信号的逻辑电平为“0”且相位滞后的数据信号的逻辑电平为“1”时生成正切换信号 $T_P$ ,并且可以在相位超前的数据信号的逻辑电平为“1”且相位滞后的数据信号的逻辑电平为“0”时生成负切换信号 $T_N$ 。

[0085] 例如,参考图4,在第一比较步骤中,由于第四数据信号D和第一数据信号A分别具有的为“0”的逻辑电平和为“1”的逻辑电平,因此转换检测单元120可以生成正切换信号 $T_P$ 。

[0086] 在第二比较步骤中,由于第一数据信号A和第二数据信号B中的每个均具有为“1”的逻辑电平,转换检测单元120可以不生成切换信号。在第三和第四比较步骤中,由于第二数据信号B,第三数据信号C,和第四数据信号D中的每个均具有为“1”的逻辑电平,所以转换检测单元120可以不生成切换信号。

[0087] 在第五比较步骤中,由于第四数据信号D和第一数据信号A分别具有为“1”的逻辑电平及为“0”的逻辑电平,所以转换检测单元120可以生成负切换信号 $T_N$ 。

[0088] 转换检测单元120可以以上述方式对排列的数据信号A至D执行比较,其中两个数据信号的逻辑电平按相位的顺序比较,并且可以生成指示逻辑电平转换的负切换信号 $T_N$ 或正切换信号 $T_P$ 。

[0089] 图5是示出根据本发明构思的一个实施例的转换检测单元120的结构电路图。

[0090] 根据本发明构思的一个实施例,转换检测单元120可以用NAND门的组合来实现。

[0091] 例如,如图5中所示,转换检测单元120可以包括多个第一NAND门121,其每一个从排列的数据信号A至D中接收相位连续的两个数据信号,并针对其中相位超前的数据信号的RZ数据信号和相位滞后的数据信号的反相RZ数据信号执行NAND运算;多个第二NAND门122,其每一个从排列的数据信号A至D中接收相位连续的两个数据信号,并针对相位超前的数据信号的反相RZ数据信号和相位滞的数据信号的RZ数据信号执行NAND运算;第三NAND门123,

其针对第一NAND门121的输出信号执行NAND运算；以及第四NAND门124，其针对第二NAND门122的输出信号执行NAND运算。

[0092] 这样，转换检测单元120可以从数据信号排列单元110接收RZ数据信号A、B、C和D和排列的数据信号A、B、C和D的反相RZ数据信号/A、/B和/C和/D，并且可以检测逻辑电平的转换，以生成切换信号 $T_P$ 或 $T_N$ 。

[0093] 切换信号变换单元130可以将切换信号 $T_P$ 和 $T_N$ 变换成通过串行化数据信号A至D得到的信号，即数据信号 $D_P$ 。

[0094] 图6是用于描述根据本发明构思的一个实施例的切换信号变换单元130将切换信号 $T_P$ 和 $T_N$ 变换成串行数据信号 $D_P$ 的过程的示意图。

[0095] 如图6所示，切换信号变换单元130可以从转换检测单元120接收切换信号 $T_P$ 和 $T_N$ ，并且可以将切换信号 $T_P$ 和 $T_N$ 变换成通过串行化多个并行数据信号A至D得到的信号数据信号 $D_P$ 。

[0096] 如上所述，正切换信号 $T_P$ 可以具有指示相位连续的两个数据信号之间的逻辑电平的相位从“0”转换到“1”的时间信息，并且负切换信号 $T_N$ 可以具有指示相位连续的两个数据信号之间的逻辑电平从“1”转换到“0”的时间信息。因此，切换信号变换单元130可以生成基于正切换信号 $T_P$ 和负切换信号 $T_N$ 的串行数据信号 $D_P$ 和对应于串行数据 $D_P$ 的反相版本信号的反相串行数据信号 $D_N$ 。

[0097] 根据本发明构思的一个实施例，切换信号变换单元130可以以置位复位(SR)锁存器实现，并且可以从正切换信号 $T_P$ 和负切换信号 $T_N$ 生成串行数据信号 $D_P$ 和反相串行数据信号 $D_N$ 。

[0098] 图7和8是示出根据本发明构思的一个实施例的切换信号变换单元130的结构电路图。

[0099] 切换信号变换单元130可以包括SR锁存器，其接收正切换信号 $T_P$ 和负切换信号 $T_N$ ，并且输出串行数据信号 $D_P$ 和反相串行数据信号 $D_N$ 。

[0100] 例如，如图7中所示，切换信号变换单元130可以包括以NOR门实现的SR锁存器，并且其中NOR门SR锁存器以PMOS和NMOS晶体管实现的例子在图8中示出。

[0101] 图9和图10是示出根据本发明构思另一个实施例的切换信号变换单元130的结构电路图。

[0102] 不同于在图7和8中所示的3叠结构NOR门SR锁存器，在图9和10中所示的切换信号变换单元130可以具有2叠结构。切换信号变换单元130可以仅通过NMOS晶体管接收切换信号 $T_P$ 和 $T_N$ 并且可以包括两个反相器。

[0103] 这样，切换信号变换单元130可以通过能以不同的电路结构来实现的SR锁存器来接收正切换信号 $T_P$ 和负切换信号 $T_N$ ，并可以生成基于关于并行数据信号A至D之中的逻辑电平的转换的信息的串行数据信号 $D_P$ 和反相串行数据信号 $D_N$ 。

[0104] 如上所述，根据本发明构思的一个实施例的串行化器100可以仅使用时钟排列并行数据信号A至D的相位，并且在串行化时可以通过由逻辑门组成的电路而不需要使用时钟，从而减小电路面积，电路复杂性和功耗。

[0105] 根据本发明构思的一个实施例的串行化器100可以针对并行数据信号A至D执行相位排列，同时以RZ方式变换多个并行数据信号A至D。串行化器100可以生成基于以RZ方式相

位排列的数据信号A至D的正切换信号 $T_P$ 和负切换信号 $T_N$ ,并且可以将正切换信号 $T_P$ 和负切换信号 $T_N$ 分别变换成串行数据信号 $D_P$ 和反相串行数据信号 $D_N$ 。

[0106] 根据将在后面描述的本发明构思另一个实施例,串行化器100可以针对并行数据信号A至D执行相位排列,同时不以RZ方式而以R0方式变换多个并行数据信号A至D。串行化器100可以生成基于R0方式的相位排列的数据信号A至D的正切换信号 $T_P$ 和负切换信号 $T_N$ ,并且可以分别将切换信号 $T_P$ 与切换信号 $T_N$ 变换成串行数据信号 $D_P$ 和反相串行数据信号 $D_N$ 。

[0107] 图11是用于描述根据本发明构思的一个实施例的数据信号排列单元110排列数据信号同时以R0方式变换数据信号的过程的示意图。

[0108] 根据本发明构思另一个实施例,与图2的实施例相似,数据信号排列单元110可以以预定相位间隔(即90度)顺序排列多个数据信号A至D,并且可以以R0方式变换以NRZ方式表达的数据信号A至D。

[0109] 因此,如图11中所示,数据信号A至D可以按第一数据信号A至第四数据信号D的顺序以90度排列,并且可以基于对应于为“1”的逻辑电平的电压的来实现脉冲。

[0110] 在一个实施例中,数据信号排列单元110可以包括多个触发器111至114。但是,触发器111到114可以基于对应于为“1”的逻辑电平的电压而不是对应于为“0”的逻辑电平的电压来设计。

[0111] 例如,数据信号排列单元110可以包括多个触发器111至114。每个触发器可以接收数据信号D、时钟信号CLK和复位信号RST,并且可以响应于时钟信号CLK和复位信号RST,输出根据R0方式变换的数据信号Q,以及对应于R0数据信号Q的反相版本的反相R0数据信号/ $\bar{Q}$ 。

[0112] 此外,对应于相位间隔(例如,在图11的情形中为90度)的相位差可以存在于分别施加到触发器111至114的时钟信号CLK之中,并且对应于相位间隔(例如,在图11的情形中为90度)的相位差可以存在于分别施加到存在触发器111至114的复位信号RST之中。

[0113] 在一个实施例中,转换检测单元120可以通过比较排列的数据信号A至D之中在同一时间相位连续数据信号的逻辑电平,来生成切换信号 $T_P$ 和 $T_N$ 。不同于根据本发明构思的一个实施例的转换检测单元120,转换检测单元120在相位超前的数据信号的逻辑电平是“1”并且相位滞后的数据信号的逻辑电平是“0”时可以生成正切换信号的 $T_P$ ,并且在相位超前的数据信号的逻辑电平是“0”且相位滞后的数据信号的逻辑电平是“1”时可以生成负切换信号 $T_N$ 。

[0114] 图12是用于描述根据本发明构思的一个实施例的转换检测单元120检测数据信号A至D之中的逻辑电平的转换并生成作为检测结果的切换信号 $T_P$ 和 $T_N$ 的过程的示意图。

[0115] 如图12中所示,根据本发明构思另一个实施例的转换检测单元120可以按相位顺序比较以预定相位间隔排列的R0方式的数据信号A至D之中的两个数据信号在同一时间的逻辑电平。

[0116] 转换检测单元120在相位超前的数据信号的逻辑电平是“1”且相位滞后的数据信号的逻辑电平是“0”时可以生成正切换信号 $T_P$ ,并且在相位超前的数据信号的逻辑电平是“0”且相位滞后的数据信号的逻辑电平是“1”时可以生成负切换信号 $T_N$ 。

[0117] 例如,参考图12,在第一比较步骤中,由于第四数据信号D和第一数据信号A分别具有为“1”的逻辑电平与为“0”的逻辑电平,因此转换检测单元120可以生成正切换信号 $T_P$ 。另

一方面,在第五比较步骤中,由于第四数据信号D和第一数据信号A分别具有为“0”的逻辑电平与为“1”的逻辑电平,转换检测单元120可以生成负切换信号 $T_N$ 。

[0118] 根据本发明构思的一个实施例,如图12中所示,正切换信号 $T_P$ 和负切换信号 $T_N$ 也可以由基于对应于为“1”的逻辑电平的电压的脉冲组成。

[0119] 图13是示出根据本发明构思另一个实施例的转换检测单元120的结构的电路图。

[0120] 根据本发明构思的一个实施例的转换检测单元120可以以NAND门的组合来实现,但根据本发明构思的另一个实施例的转换检测单元可以以NOR门的组合来实现。

[0121] 例如,如图13中所示,根据本发明构思另一个实施例,转换检测单元120可以包括多个第一NOR门125,其每一个从排列的数据信号A中至D中接收相位连续的两个数据信号,并针对相位超前的数据信号的R0数据信号和相位滞后的数据信号的反相R0数据信号执行NOR运算;多个第二NOR门126,其每一个从排列的数据信号A至D中接收相位连续的两个数据信号,并且针对相位超前的数据信号的反相R0数据信号和相位滞后的数据信号的R0数据信号执行NOR运算;第三NOR门127,针对第一NOR门125的输出信号执行NOR运算;以及第四NOR门128,其针对第二NOR门126的输出信号执行NOR运算。

[0122] 这样,根据本发明构思另一个实施例的转换检测单元120可以从数据信号排列单元110接收R0数据信号A、B、C和D以及排列的数据信号A、B、C和D的反相R0数据信号/A、/B和/C和/D,并且可以检测逻辑电平的转变以生成切换信号 $T_P$ 或 $T_N$ 。

[0123] 图14是用于描述根据本发明构思另一个实施例的切换信号变换单元将切换信号 $T_P$ 与 $T_N$ 变换成串行数据信号的过程的示意图。

[0124] 如图14所示,切换信号变换单元130可以基于正切换信号 $T_P$ 和负切换信号 $T_N$ (其中基于对应于为“1”的逻辑电平的电压的基础上来实现脉冲)来生成串行数据信号 $D_P$ (其中基于对应于为“0”的逻辑电平的电压来实现脉冲)以及反相串行数据信号 $D_N$ (其通过将串行数据信号 $D_P$ 反相得到)。

[0125] 图15和16是示出根据本发明构思另一个实施例的切换信号变换单元130的结构的电路图。

[0126] 根据上述的实施例,切换信号变换单元130可以以SR锁存器实现,并且可以使用SR锁存器从正切换信号 $T_P$ 和负切换信号 $T_N$ 生成串行数据信号 $D_P$ 和反相串行数据信号 $D_N$ 。

[0127] 不同于使用由NOR门组成的SR锁存器的实施例,本发明构思另一个实施例可以使用NAND门组成的SR锁存器。在其中NAND门SR锁存以PMOS和NMOS晶体管实现的实施例在图16中示出。

[0128] 图17和18是示出根据本发明构思另一个实施例的切换信号变换单元130的结构的电路图。

[0129] 不同于在图15和16中所示的3叠结构的NAND门SR锁存器,图17和18中所示的切换信号变换单元130可以具有2叠结构。切换信号变换单元130可以仅通过PMOS晶体管接收切换信号 $T_P$ 和 $T_N$ ,并且可以包括两个反相器。

[0130] 这样,切换信号变换单元130可以通过能以不同的电路结构实现的SR锁存器接收正切换信号 $T_P$ 和负切换信号 $T_N$ ,并且可以基于关于并行数据信号A至D之中的逻辑电平的转换的信息生成串行数据信号 $D_P$ 和反相串行数据信号 $D_N$ 。

[0131] 图19是示出根据本发明构思的一个实施例的发送器1000的框图。

[0132] 如图19所示,数据发送器1000可以包括串行化器100、输出驱动器200以及预加重单元300。

[0133] 数据发送器1000可以包括根据本发明构思的一个实施例的串行化器100。也就是说,串行化器100可以包括:数据信号排列单元110,其以预定相位间隔(例如,图19的情形中为90度)排列多个数据信号A至D;转换检测单元120,其检测排列的数据信号A到D之中的逻辑电平的转换并在逻辑电平转换时生成切换信号 $T_P$ 和 $T_N$ ;切换信号变换单元130,将切换信号 $T_P$ 和 $T_N$ 变换成通过串行化数据信号A至D获得的串行数据信号 $D_P$ ,并且可以将并行数据信号A至D变换成串行数据流 $D_P$ 。

[0134] 输出驱动器200可以补偿串行数据 $D_P$ 的信道损失。例如,输出驱动器200可以在数据发送器1000的输出级实现,并且可以通过增加电流量并保持的数据信号的电压电平来增大输出信号的功率。此外,输出驱动器200可以执行阻抗匹配,使得数据发送器1000的输出阻抗设定为50欧姆。

[0135] 预加重单元300可以升高输出驱动器200的输出信号的高频带,可以执行预加重功能。

[0136] 根据本发明构思的一个实施例,预加重单元300可以从串行化器100接收切换信号,以在其中接收所述切换信号的部分生成加重信号,并且可以使该加重信号与来自输出驱动器200的输出信号重叠。换言之,预加重单元300可以在预加重的输出信号 $D_P$ 和 $D_N$ 时使用串行化器100生成的切换信号 $T_P$ 和 $T_N$ 。

[0137] 图20是示出根据本发明构思的一个实施例的预加重单元300的电路图。

[0138] 图20所示的预加重单元300可以使用由串行化器100(即图2至10的基于RZ方式的数据信号执行串行化的串行化器)生成的正切换信号和负切换信号生成用于预加重的加重信号 $OUT_P$ 和 $OUT_N$ 。

[0139] 如图20所示,预加重单元300可以包括串联连接在第一电源端VDD与第二电源端GND之间的第一开关元件311和第二开关元件312以及串联连接在第一电源端VDD与第二电源端GND之间第三开关元件313和第四开关元件314,第一电源端VDD具有对应于为“1”的逻辑电位的电位,第二电源端GND具有对应于为“0”的逻辑电位的电位。

[0140] 第一开关元件311和第四开关元件314可以根据正切换信号 $T_P$ 导通或关断,并且第二开关元件312和第三开关元件313可以根据负切换信号 $T_N$ 导通或关断。

[0141] 根据一个实施例,第一开关元件311至第四开关元件314可以分别以NMOS晶体管实现。当切换信号 $T_P$ 和 $T_N$ 被施加到NMOS晶体管相应的栅极时,加重信号 $OUT_P$ 和 $OUT_N$ 可以从第一电源端VDD和第二电源端GND输出。

[0142] 图21是示出根据本发明构思另一个实施例的预加重单元300的电路图。

[0143] 图21所示的预加重单元300可以使用由串行化器100(即,图11至图18的基于R0方式的数据信号执行串行化的串行化器)生成的正切换信号 $T_P$ 和负切换信号 $T_N$ 生成用于预加重的加重信号 $OUT_P$ 和 $OUT_N$ 。

[0144] 如图21所示,预加重单元300可以包括串联连接在第一电源端VDD与第二电源端GND之间的第一开关元件321和第二开关元件322以及串联连接在第一电源端VDD与第二电源端GND之间第三开关元件323和第四开关元件324,第一电源端VDD具有对应于为“1”的逻辑电位的电位,第二电源端GND具有对应于为“0”的逻辑电位的电位。

[0145] 第一开关元件321和第四开关元件324可以根据正切换信号 $T_P$ 导通或关断,并且第二开关元件322和第三开关元件323可以根据负切换信号 $T_N$ 导通或关断。

[0146] 根据一个实施例,第一开关元件321至第四开关元件324可以分别以PMOS晶体管实现。当切换信号 $T_P$ 和 $T_N$ 被施加到相应的PMOS晶体管的栅极时,加重信号 $OUT_P$ 和 $OUT_N$ 可以从第一电源端VDD和第二电源端GND输出。

[0147] 由预加重单元300加重的加重信号 $OUT_P$ 和 $OUT_N$ 可以与从输出驱动器200输出的信号(即串行数据信号 $D_P$ 和反相串行数据信号 $D_N$ )重叠。即,可以执行预加重。

[0148] 这样,根据本发明构思的一个实施例的预加重单元300可以使用在数据串行化期间生成的切换信号 $T_P$ 和 $T_N$ 预加重输出信号,因此可以不需要用于检测输出信号的脉冲边缘的独立电路模块。这可能意味着由于用于预加重的电路模块被简单配置,所以数据发送器1000的功耗被额外减小。

[0149] 根据本发明构思的一个实施例,功耗可以通过在数据串行化期间不需要使用时钟而减小。

[0150] 根据本发明构思的一个实施例,通过以使用标准单元的逻辑门实现用于数据串行化所需的电路模块,设计的复杂性可以降低。

[0151] 根据本发明构思的一个实施例,通过使用在数据串行化期间生成的切换信号预加重串行数据信号,可以以简单电路模块提供预加重。

[0152] 尽管已经参照示例性实施例对本发明构思进行了描述,但将对本领域技术人员显而易见的是,可以做出各种变化和修改而不脱离本发明构思的精神和范围。因此,应当理解,上述实施例不是限制性的,而是说明性的。

100

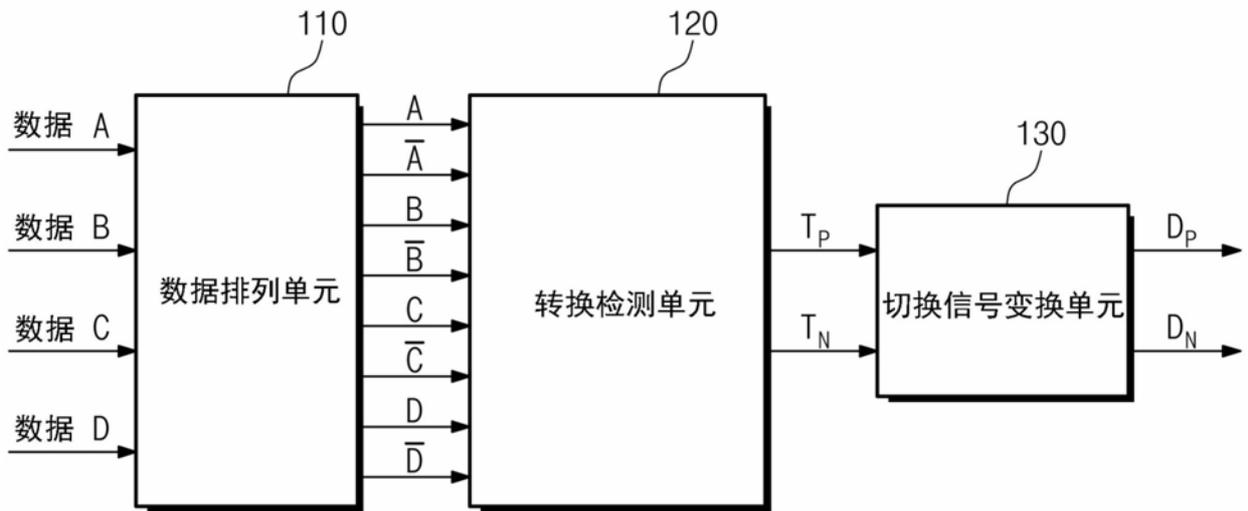
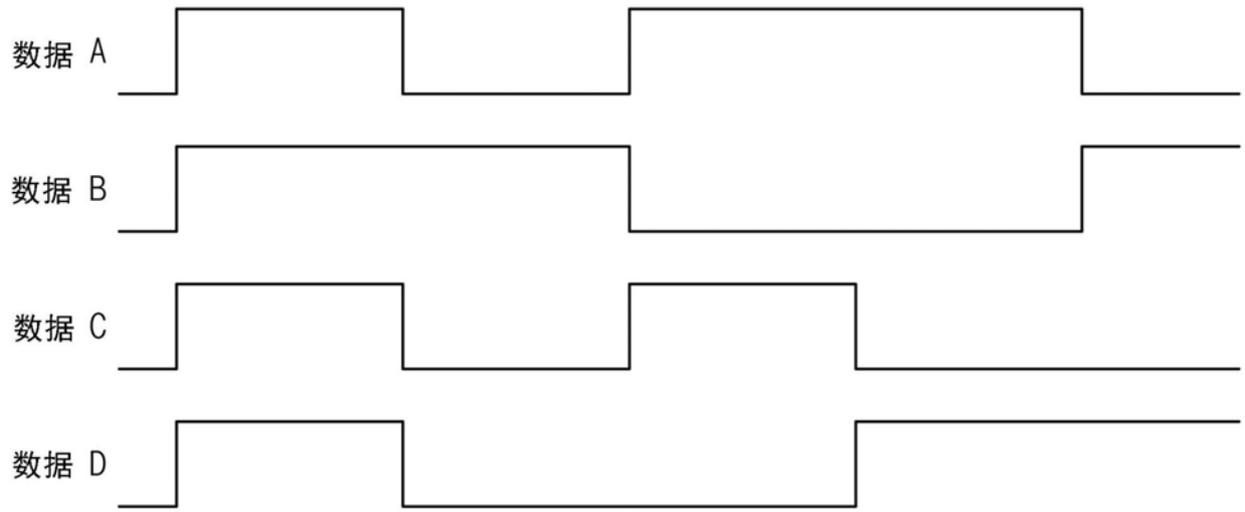


图1



↓ RZ变换和排列

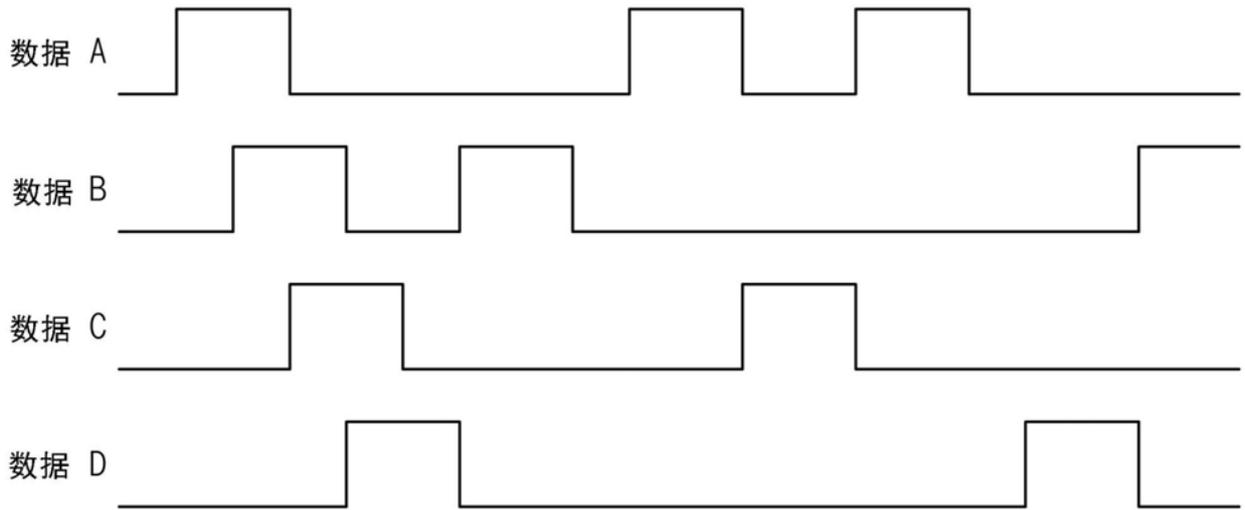


图2

110

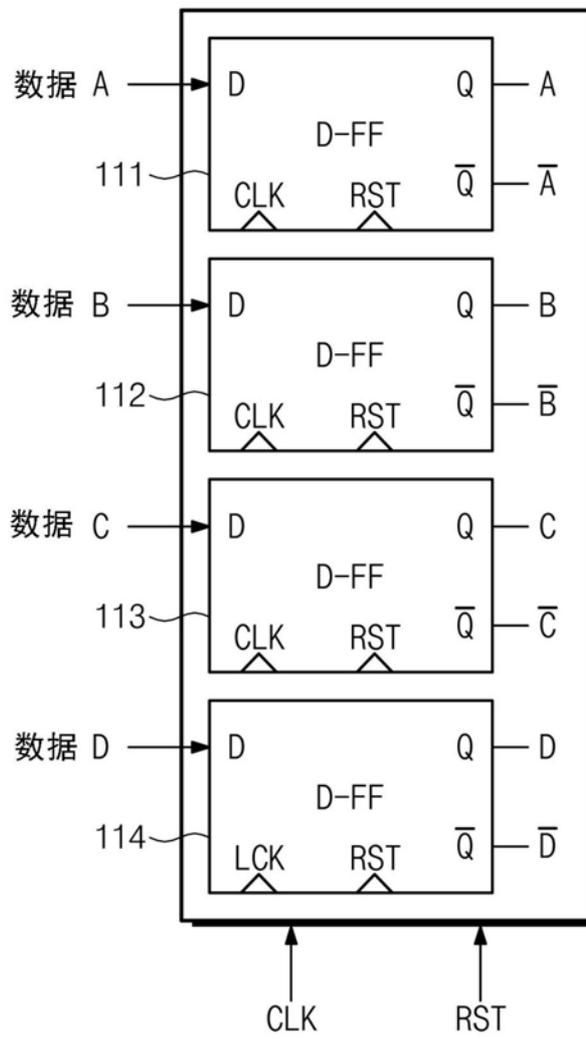


图3

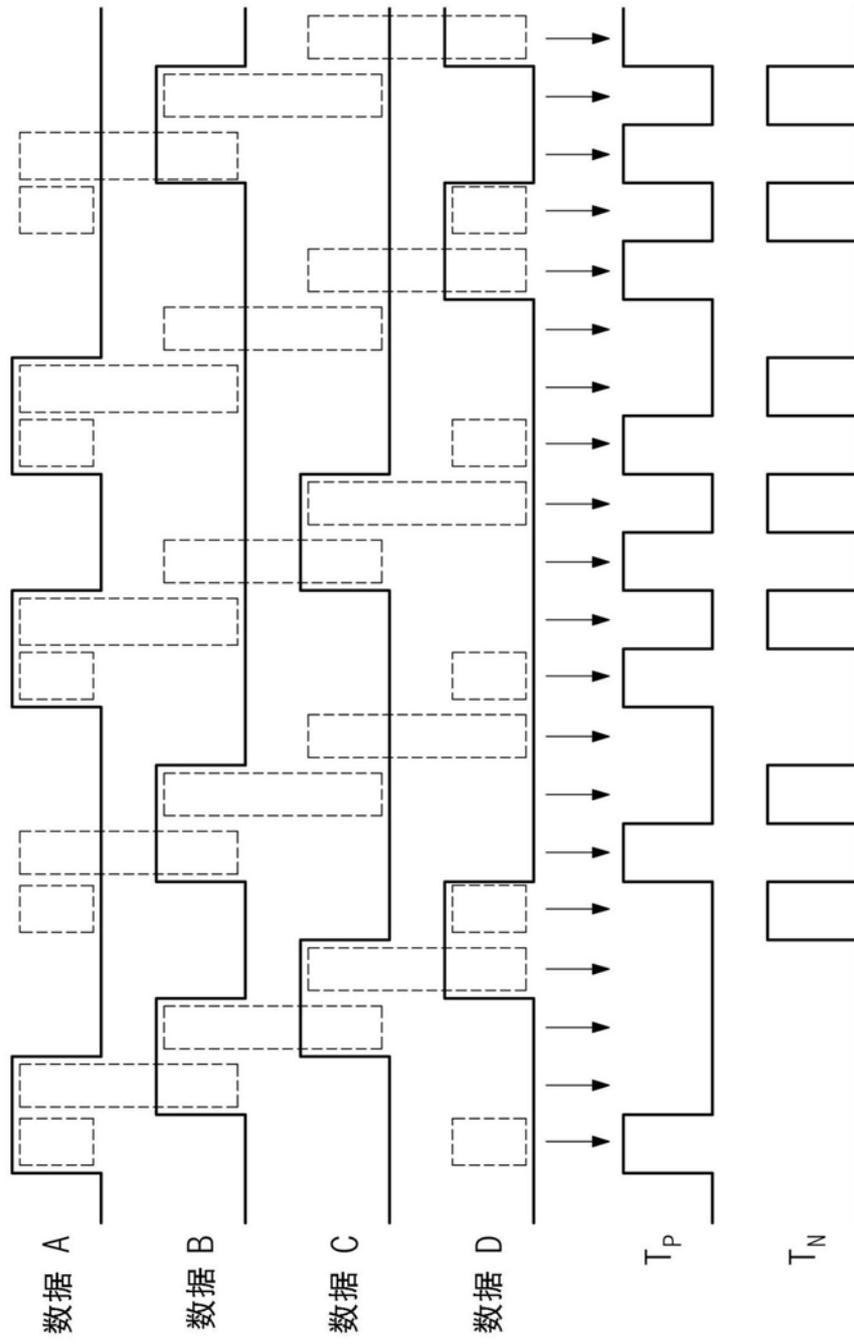


图4

120

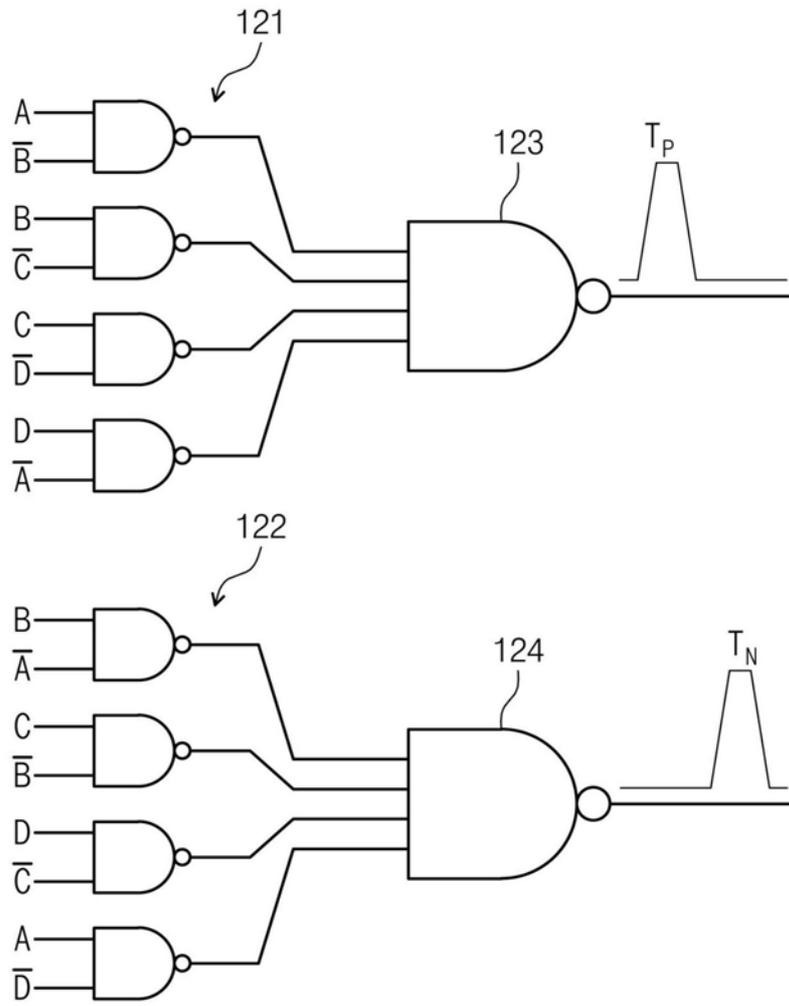


图5

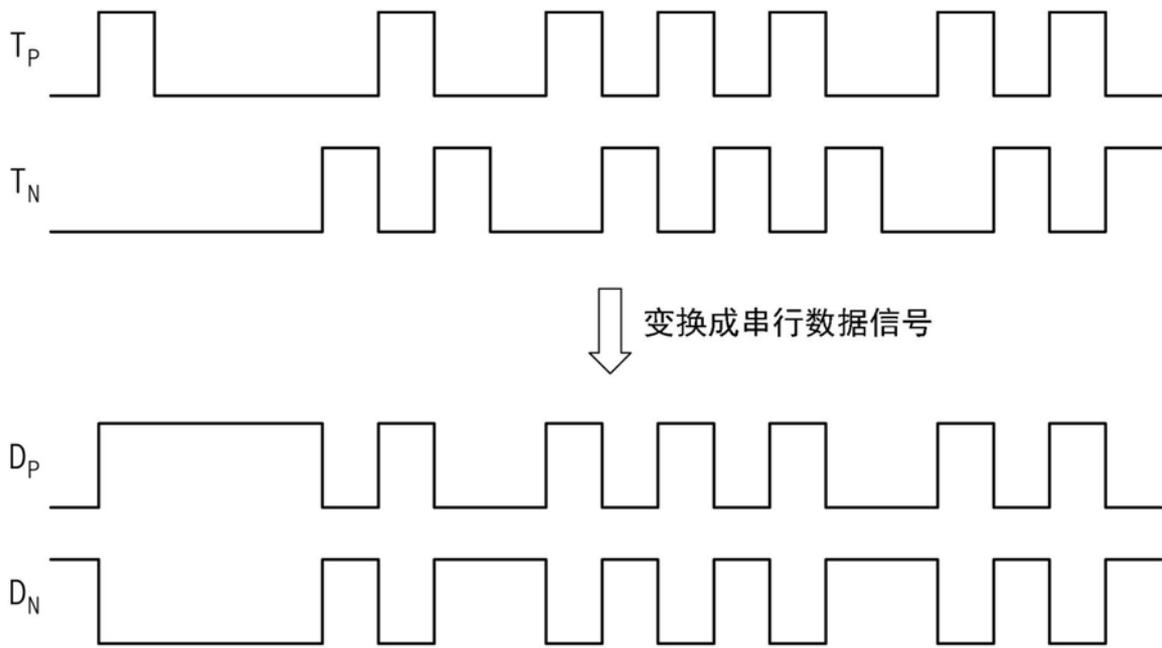


图6

130

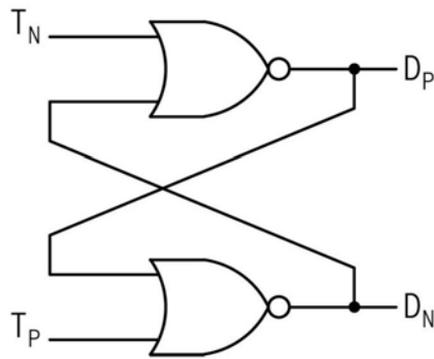


图7

130

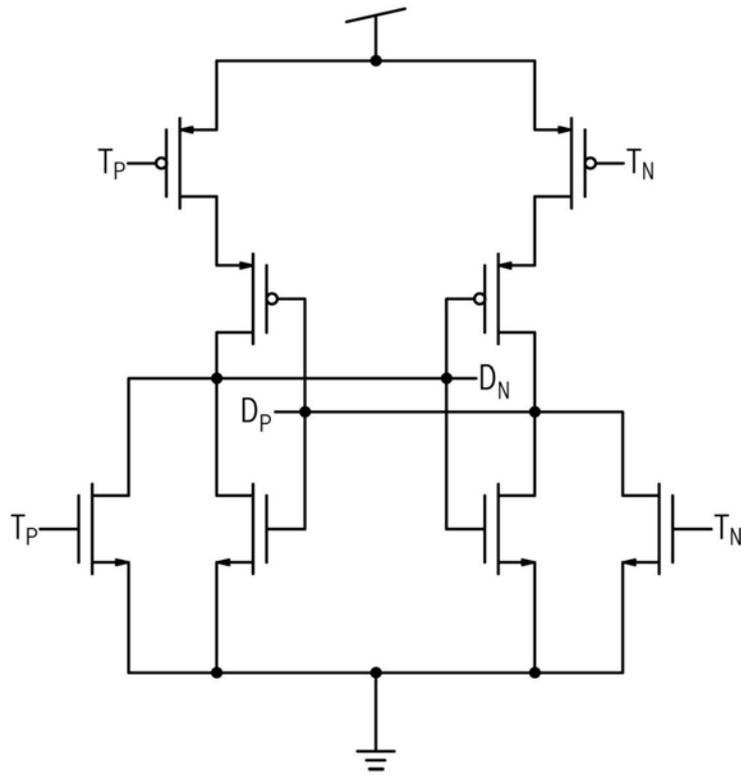


图8

130

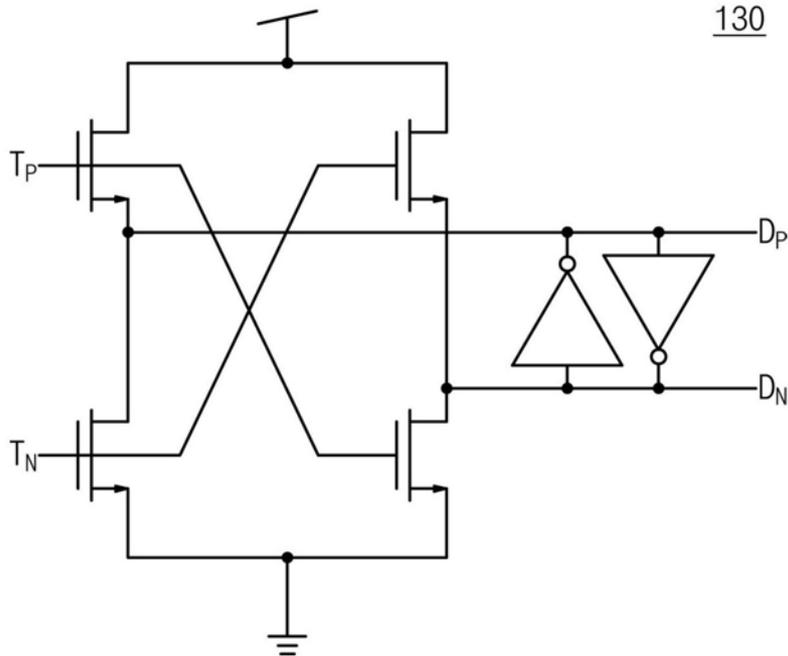


图9

130

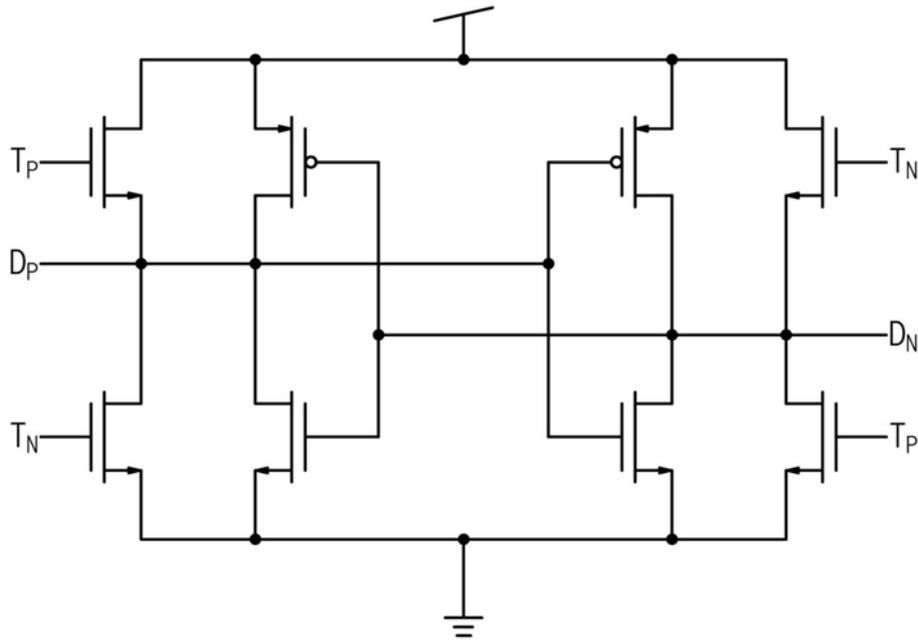


图10

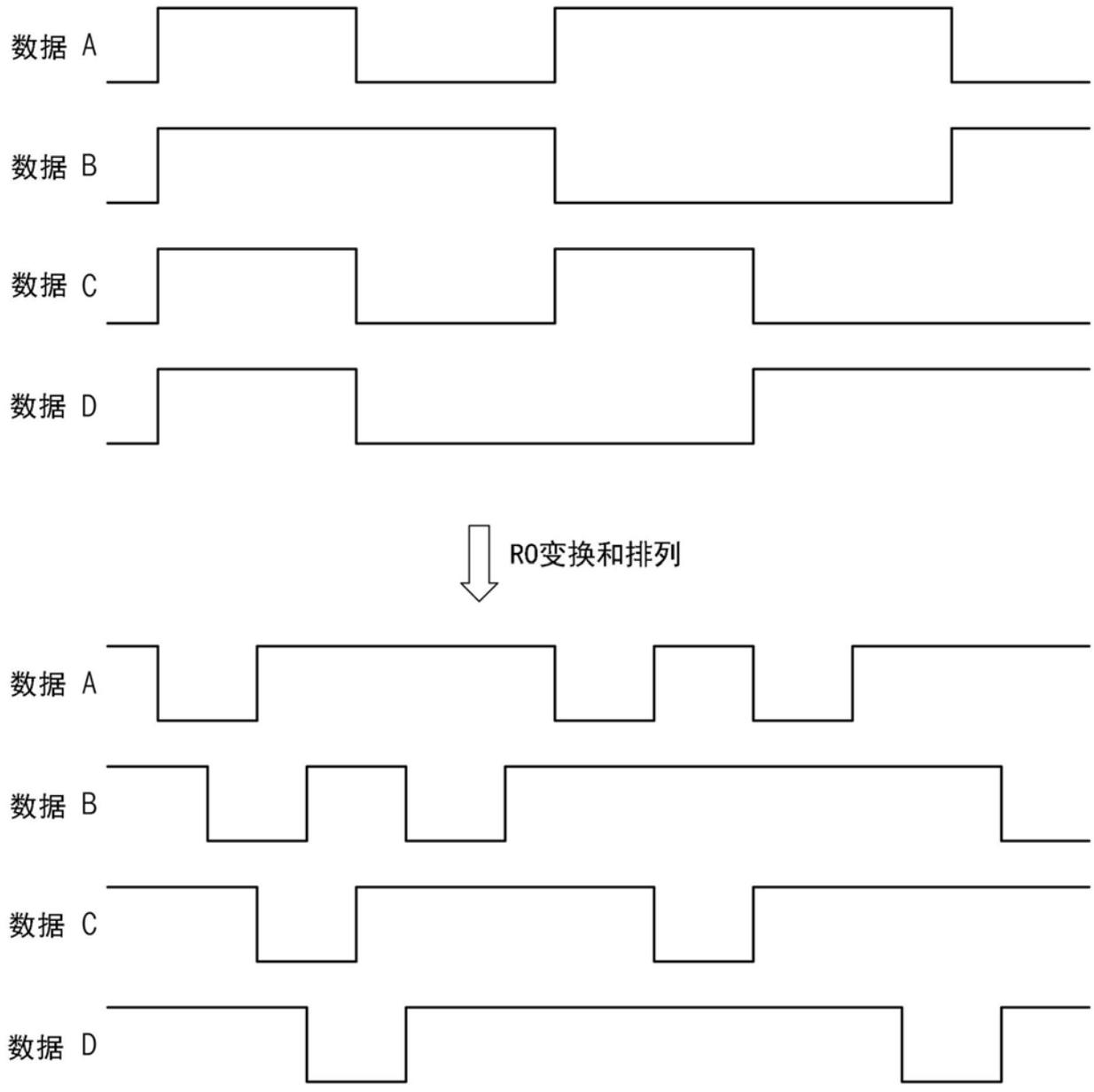


图11

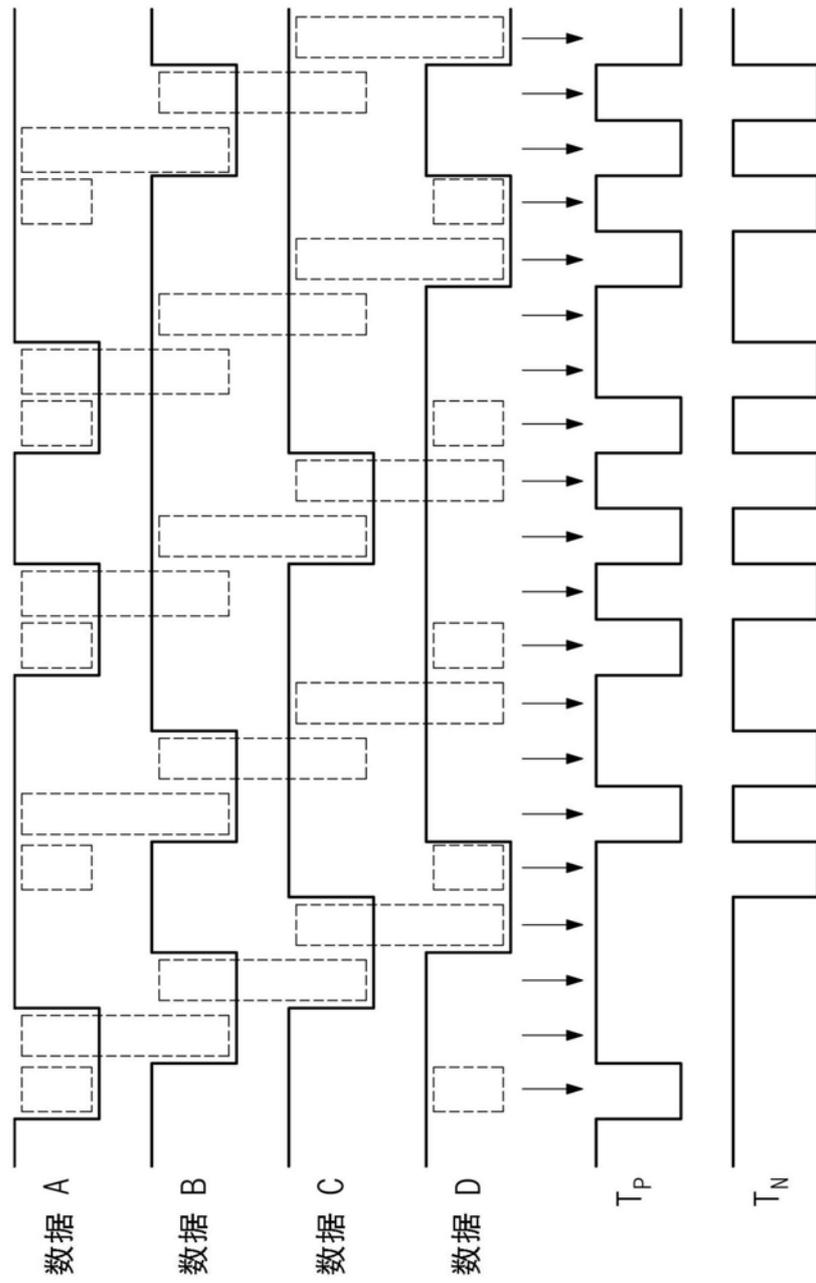


图12

120

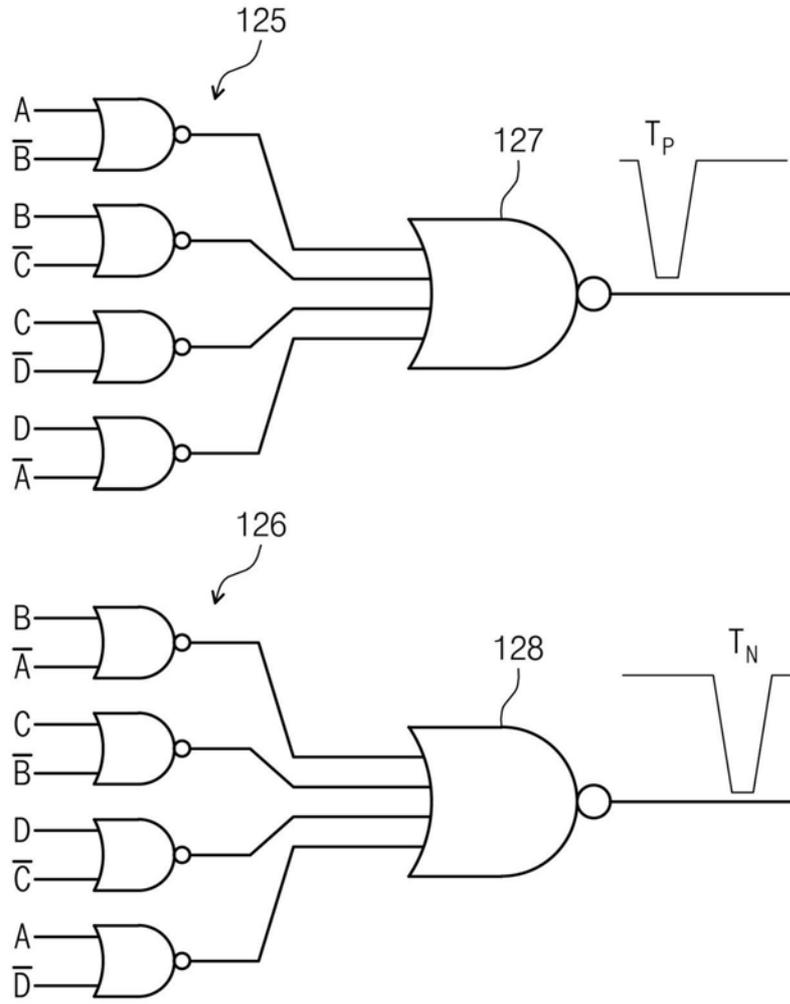


图13

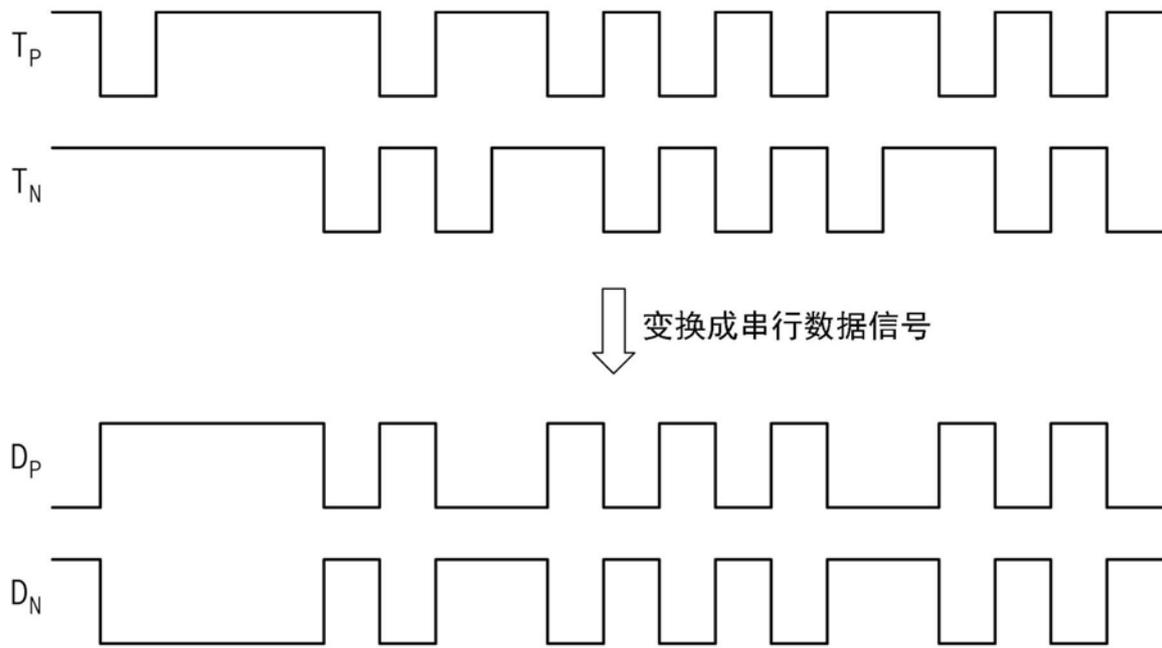


图14

130

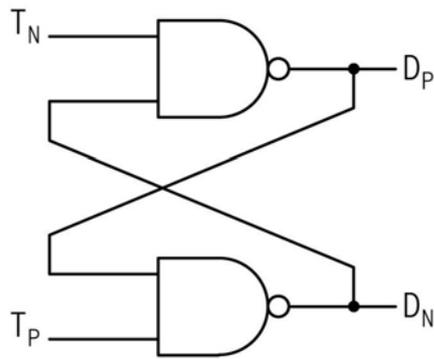


图15



130

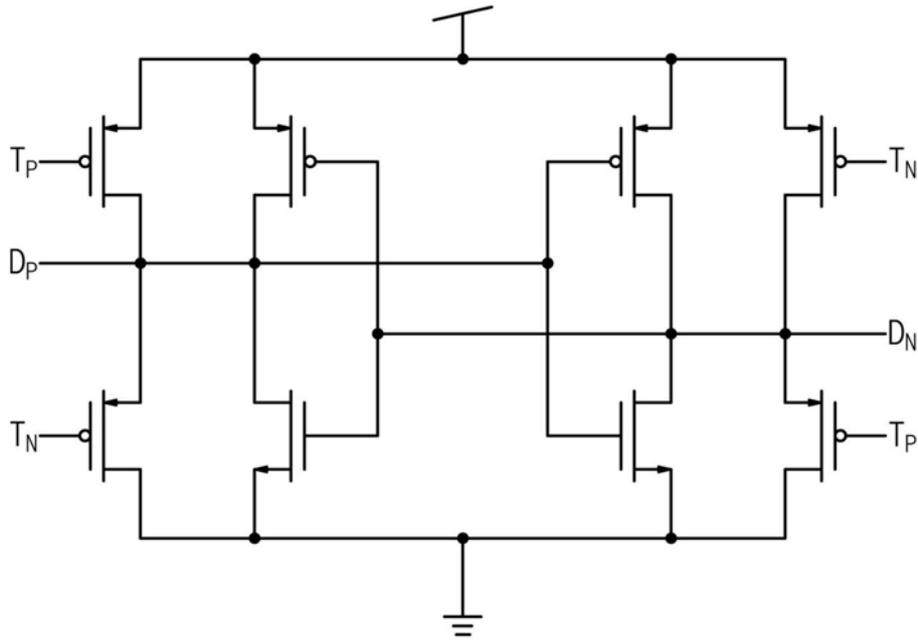


图18

1000

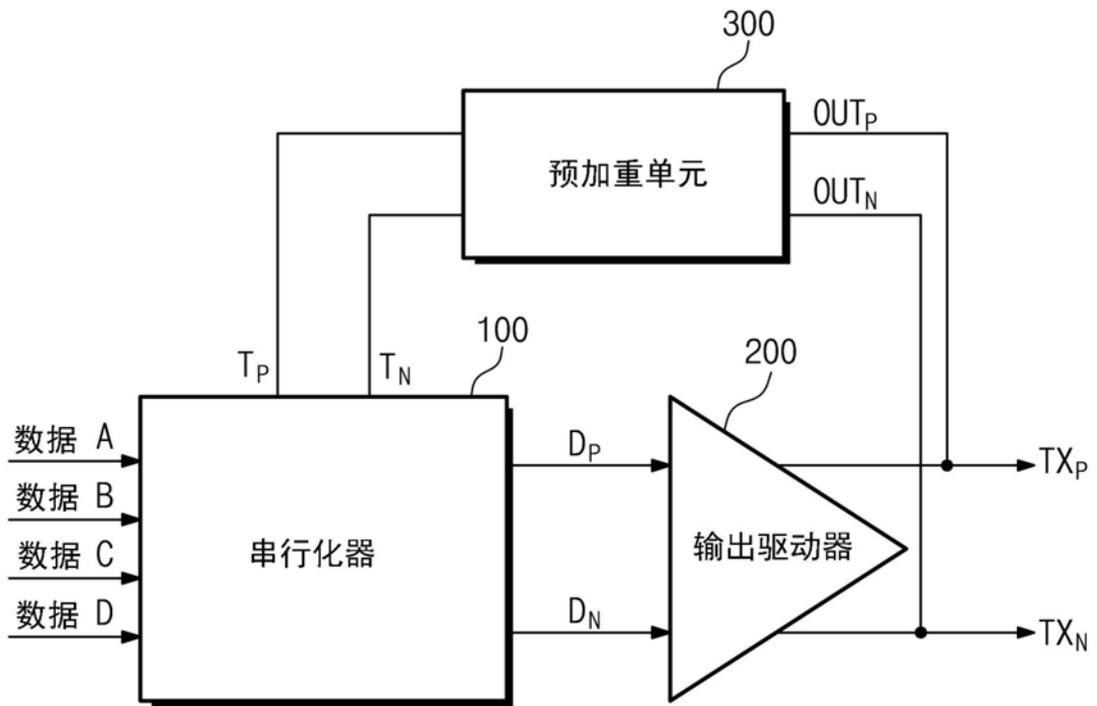


图19

300

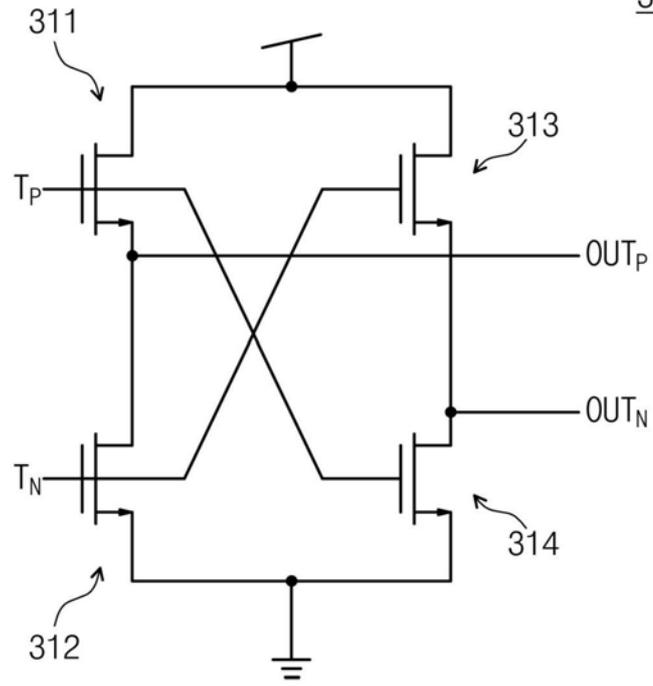


图20

300

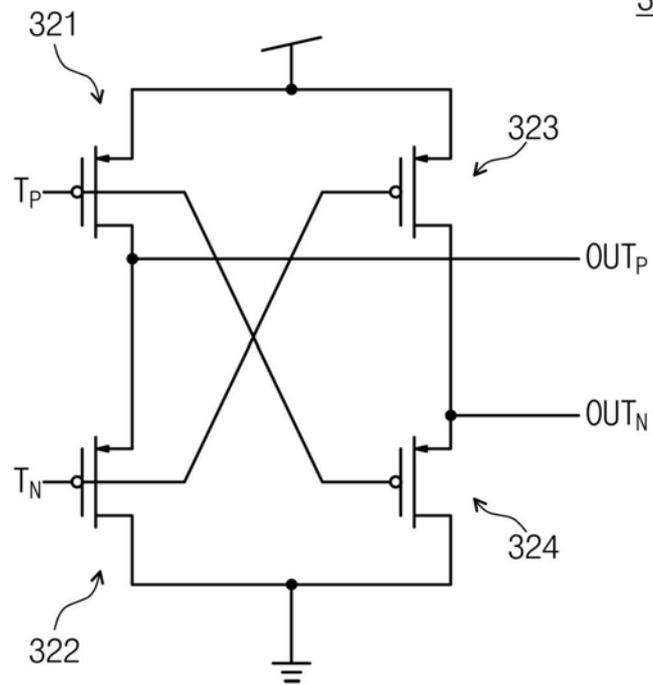


图21