

2025년도 반도체공학회

하계종합학술대회

일시 2025년 7월 13(일)-16일(수) 장소 소노캄 여수



주최

반도체공학회
ISE The Institute of Semiconductor Engineers

공동
주관

차세대지능형반도체사업단

IITP 정보통신기획평가원

PIM 인공지능반도체사업단

AISF AI Semiconductor Forum

창원대학교

대구대학교

ISRC

성균관대학교

성균관대학교 AI-Digital Health Care 연구센터

인하대학교 한국전자통신연구원

반도체특성화대학사업단 INHA UNIVERSITY

IEEE Seoul Chapter

후원

SK 아이닉스

SAMSUNG

LX세미콘

ETRI 한국전자통신연구원

OTS Technology

KETI 한국전자기술연구원

나인플러스 IT (주)

Telechips

4lynx

NEMESIS

LEtwin 에듀

Libertron

I.V SOLUTION

SOFTWAYS

(주)제이스

HIDEEP

(주)유인스

프로그램 1일차

2025년 7월 13일 (일)

시간	내용	장소
15:00~18:00	한국 반도체 산업 발전 전략 포럼	그랜드볼룸 1, 2(1F)

프로그램 2일차

2025년 7월 14일 (월)

1층				2층							
장소	시간	로비	그랜드볼룸 1	그랜드볼룸 2	장소	시간	로비	사파이어1	사파이어2	사파이어3	
등록 및 전시	09:50~10:00			차세대지능형반도체 사업기술교류회 (1)	전시	10:00~12:00			K-클라우드 선행 사업 기술교류회		
	10:00~12:00										
	12:00~13:00			점심식사(1층 웨프스 키친)							
	13:00~14:00	포스터 발표 (1)	Tutorial	차세대지능형반도체 사업기술교류회 (2)							
	14:00~15:00										
	15:00~15:10		Break	Break				특별세션 서강대 반도체 특성화사업단		특별세션 나노중기원 나노멤 공정 스마트 서비스 사업 워크숍	
	15:10~16:00			특별세션 PIM반도체설계센터					특별세션 IEEE CASS		
	16:00~16:20										
	16:20~16:30									Break	
	16:30~17:30		특별세션 홍익대 반도체 부트캠프사업단					EDA전문연구회 워크숍		특별세션 IEEE SSCS	특별세션 숭실대 혁신융합대학 차세대반도체 사업단 (1)
	17:30~18:30										
	18:30~20:30				전야제		17:30~18:30				

프로그램 3일차

2025년 7월 15일 (화)

시간	포이어	그랜드볼룸 1	그랜드볼룸 2	시간	포이어	사파이어1	사파이어2	사파이어3			
09:00~09:30	등록 및 전시	Rising Researchers Session (1)	PIM인공지능반도체 과제협의체 PIM-Hub SK하이닉스/삼성전자 PIM 활용방안 논의	09:00~09:30	전시	구두 발표 (1) 반도체 소개, 소자, 공정 외	구두 발표 (2) 디지털 회로, 시스템 외	특별세션 이화여대 지능형 반도체공학과 소자 및 설계			
09:30~10:00											
10:00~10:20											
10:20~10:40											
10:40~10:50											
10:50~12:00		포스터 발표 (2)	Break	점심식사		10:20~10:30	Break				
10:40~10:50											
10:50~12:00		Rising Researchers Session (2)	점심식사			10:30~10:40					
12:00~12:20						점심식사(장소:1층 웨프스 키친, 웰니스센터 5층 밀리)	10:40~10:50	반도체 Live demo 경진대회 11:00~12:20	구두 발표 (3) (아날로그, 센서 외)	구두 발표 (4) (아날로그, 센서 외)	
12:20~13:20		10:50~12:00									
13:20~13:30	포스터 발표 (3)	개회식			12:00~14:20						
13:30~14:20					14:20~15:00						
14:20~15:00					15:00~15:10						
15:00~15:10					기조강연	15:10~16:00	특별세션 KAIST 인공지능 반도체 대학원	특별세션 대구대 차세대반도체 혁신공유대학사업단	AI 반도체 SW플랫폼연구회 워크숍		
15:10~16:00						반도체기술로드맵 2025				16:00~16:20	
16:00~16:20				16:20~17:00							
16:20~17:00				Break	만찬 (축사, 시상식, 경품)	17:00~18:00	특별세션 숭실대 혁신융합대학 차세대반도체 사업단 (2)				
17:00~18:00											
18:00~20:00				17:00~18:00							

프로그램 4일차

2025년 7월 16일 (수)

시간	내용	장소	시간	내용	장소
09:00~12:00	반도체 산학연 상생 협력 포럼	그랜드볼룸 1, 2(1F)	09:30~12:00	인공지능반도체 미래기술 컨퍼런스 회의	사파이어3(2F)

구두 발표

3

아날로그, 센서, 전력, 무선 통신 회로 및 시스템 등

좌장: 이영주 교수 (KAIST)

7/15(화) 10:40-11:35, 2층 사파이어 2

시간	번호	논문 제목	저자	소속
10:40-10:55	OS-11	MPPT 기반 PFM-DCM 제어를 위한 에너지 하베스팅 부스트 컨버터용 적응형 on-time generator	서영준 ¹ , 오주원 ^{1,2} , 이강윤 ^{1,2,*}	성균관대학교 ¹ , 스카이칩스 ²
10:55-11:05	OS-12	RF 바디 컨투어링 송신기를 위한 루프필터를 내장한 2.4GHz CMOS PLL 주파수 합성기 설계 및 제작	정화영, 정건우, 장시진, 김시찬, 이민재, 나정훈, 장재은, 신현철*	광운대학교
11:05-11:20	OS-13	BMR 기반 바이어싱과 Start-up 강화를 통한 고신뢰성 Bandgap Reference 회로 설계	이제규, 김영훈, 이강윤*	성균관대학교
11:20-11:35	OS-14	Mismatch 최소화를 위한 Differential Feedback 기반 Charge Pump 설계	서민준, 김호원, 이강윤*	성균관대학교

구두 발표

4

아날로그, 센서, 전력, 무선 통신 회로 및 시스템 등

좌장: 전재훈 교수 (인하대)

7/15(화) 10:40-11:50, 2층 사파이어 3

시간	번호	논문 제목	저자	소속
10:40-10:55	OS-15	A 128Gb/s/pin Single-Ended PAM-4 Transmitter for Memory Interface	<u>박재구, 김동현, 최우영*</u>	연세대학교
10:55-11:05	OS-16	2.4GHz 저전력 무선 통신용 자동 보정 Clock Recovery 시스템	박홍근, 원지은, 김호원, 이강윤*	성균관대학교
11:05-11:20	OS-17	자체-보정 기능을 가지는 저비용 온도-디지털 변환기	이정, 김종선*	홍익대학교
11:20-11:35	OS-18	A 12-Bit 22-MS/s Two-step TDC- Assisted SAR ADC with Analog & Digital Background Calibration	김종민, 정우석, 범진욱*	서강대학교
11:35-11:50	OS-19	2차 Noise-Coupling기법을 통해 2차 수준 향상된 4차 노이즈-쉐이핑 연속-시간 델타-시그마 모듈레이터	이지섭, 김연홍, 최지훈, 노정진*	한양대학교

A 128Gb/s/pin Single-Ended PAM-4 Transmitter for Memory Interface

박재구, 김동현, 최우영
연세대학교 전기전자공학과
pjaekoo@yonsei.ac.kr

최근 인공지능(AI)의 급속한 발전으로 인해 GPU의 연산 성능뿐만 아니라 고속 데이터 처리를 위한 메모리 대역폭의 수요도 비약적으로 증가하고 있다. 이러한 요구를 충족하기 위해 고대역폭 메모리(High Bandwidth Memory, HBM)가 널리 사용되고 있으나, 고집적 인터포저 기반의 패키징 구조와 복잡한 제조 공정으로 인해 높은 비용 부담이 발생한다는 단점이 존재한다 [1]. 이에 따라 GDDR7은 상대적으로 저렴한 비용으로도 우수한 성능을 제공할 수 있는 차세대 메모리 규격으로 각광받고 있다. GDDR7은 HBM에 비해 적은 수의 I/O 핀을 사용하면서도 3레벨 진폭 변조 방식(PAM-3)을 채택하여 42.5Gbps 이상의 고속 데이터 전송 속도를 지원함으로써 충분한 대역폭을 확보할 수 있으며, 이는 메모리 인터페이스 설계에서 고속 송수신기(SerDes)의 중요성을 더욱 부각시키고 있다 [2].

본 연구에서는 고속 메모리 인터페이스에 적용 가능한 단일 종단(single-ended) PAM-4 송신기를 28nm CMOS 공정으로 구현함으로써 고속 메모리 인터페이스의 향후 가능성을 살펴보고자 하였으며, 편당 128Gb/s의 데이터 전송 속도를 달성하였다.

송신기의 전체 블록 구성은 그림 1에 도시하였다. 클럭 경로는 고속 직렬화를 위해 quarter-rate 클럭 아키텍처를 채택하였으며, 외부로부터 인가된 16GHz 차동 클럭을 active PPF를 통해 4-phase quadrature 클럭으로 변환한다. 생성된 클럭은 duty cycle 및 quadrature phase 오차를 보정하기 위해 duty cycle correction (DCC) 및 quadrature error correction (QEC) 기능이 포함된 digital control delay line (DCDL)을 거쳐 serializer로 전달된다.

데이터 경로는 octal-rate 클럭으로 동작하는 pseudo-random binary sequence (PRBS)-31 발생기를 통해 16-bit 병렬 테스트 패턴을 생성하고, 이를 2bit-to-3bit binary-to-thermometer encoder를 통해 각각 24-bit DATA_A/B/C 신호로 변환한다. 변환된 데이터는

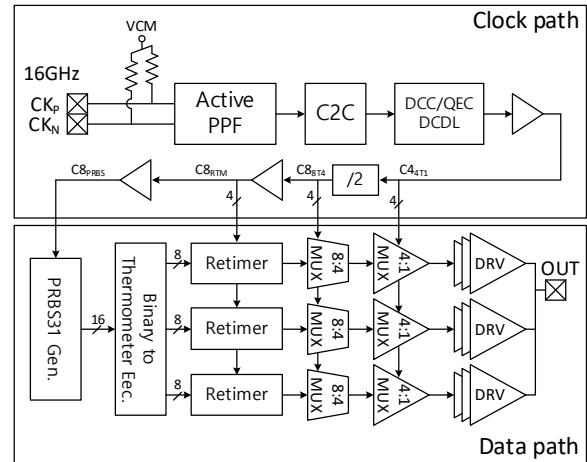


그림 1. PAM-4 송신기 블록 다이어그램.

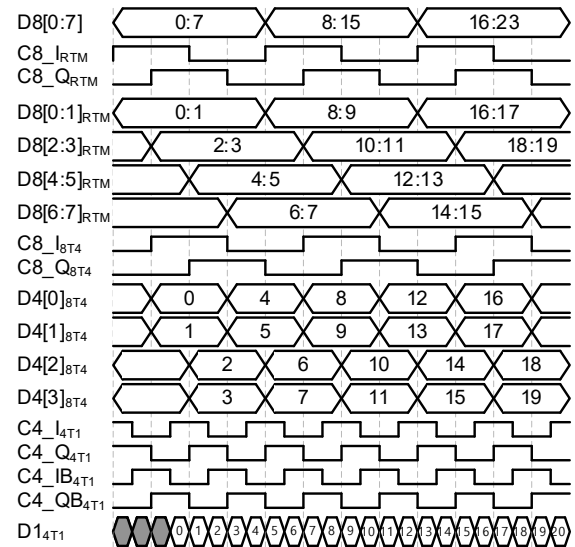


그림 2. Retimer와 8:4 MUX, 4:1 MUX에서의 타이밍 다이어그램.

retimer를 통해 타이밍 마진을 확보한 후 serializer로 전달되며, 이후 8:4 MUX와 4:1 MUX를 통해 최종적으로 64Gbps의 속도로 직렬화된다. 그림 2는 retimer 및 MUX 단계에서의 데이터와 클럭 간 타이밍 다이어그램을 나타낸다.

그림 3은 4:1 MUX와 출력 드라이버의 회로 구성을

보여준다. 4:1 MUX는 NAND 게이트 기반으로 설계되었으며, 내부 등화기(EQ)를 삽입하여 MUX의 대역폭을 향상시켰다. 출력 드라이버는 pseudo-open drain (POD) termination 논리를 구동하기 위한 P-N 구조의 SST 드라이버를 사용하였으며, ZQ_PU[0:3] 및 ZQ_DN[0:3] 제어 신호를 통해 드라이버의 구동 강도를 조절할 수 있도록 설계하였다.

채널 손실 보상을 위한 전치 왜곡기(feed-forward equalizer, FFE)는 일반적으로 post-tap을 segment driver 기반으로 구현하여 추가적인 serializer를 사용하거나 full-rate로 동작하는 데이터를 고속 flip-flop으로 tap delay를 구현해야 한다 [3]. 본 설계에서는 전력 효율과 안정적인 고속 동작을 구현하고자 delay 기반의 2-tap FFE 구조를 채택하였다.

그림 4는 측정된 128Gb/s PAM-4 아이 다이어그램이다. 해당 파형은 RF 프로브를 통해 측정하였으며, 1.4V 전원 전압에서 비트당 2.4pJ/b의 에너지 효율을 달성하였다.

이번 연구를 통해 PAM-4 단일 종단 신호 기반의 고속 송신기가 28nm CMOS 공정으로 POD termination 메모리 인터페이스 환경에서 동작 가능성을 실험적으로 검증하였다. 출력 드라이버의 구조를 최적화함으로써 기생 커패시턴스의 영향을 최소화하고, 128Gb/s의 높은 데이터 전송률을 달성할 수 있었다. 이러한 결과가 GDDR7 및 차세대 메모리 시스템에서 요구되는 고속·고효율 송신기 설계에 있어 유효한 설계 방법론이 될 수 있길 기대한다.

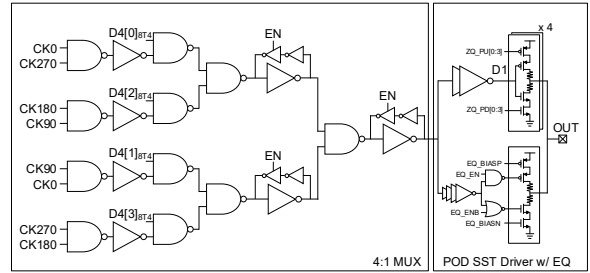


그림 3. 4:1 MUX와 Driver의 회로도.

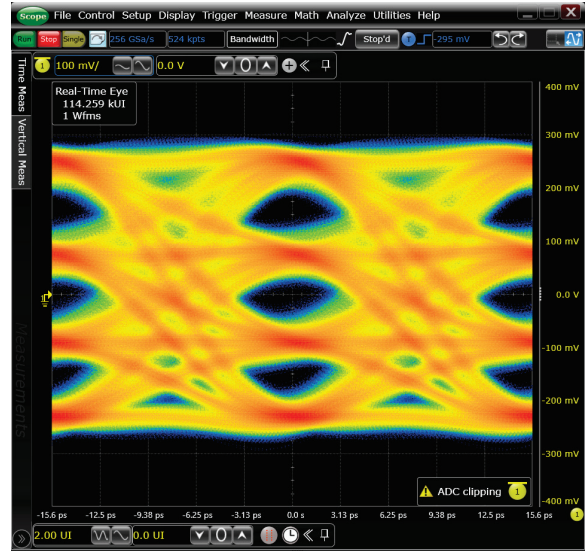


그림 4. 128Gb/s PAM-4 아이 다이어그램 측정 결과.

참고문헌

- [1] J. Lee et al., ISSCC, Feb. 2024
- [2] S.-H. Kim et al., ISSCC, Feb. 2025
- [3] J.-K. Park et al., IEEE JSSC, Feb. 2025