

# 2011

# SoC Conference

## 2011년도 SoC 학술대회

### | 일시 |

- 2011년 4월 29일(금) 18:30-20:30  
(Reception 및 SoC 설계 연구회 포럼)
- 2011년 4월 30일(토) 9:00-18:00 (학술발표)

### | 장소 |

- 청주라마다호텔 2층 레스토랑 카페라마다  
(Reception 및 SoC 설계 연구회 포럼)
- 충북대학교 인문사회관 (학술발표)

| 주최 | 대한전자공학회 SoC 설계 연구회

| 주관 | 충북대학교, ETRI 시스템반도체진흥센터

| 후원 | 실리콘웍스, 휴인스, 누비콤텍트로닉스, 엠텍비전,  
삼성전자, 맹성재특허사무소, 충북테크노파크, IDEC,  
IEEE CAS Seoul Chapter, IEEE SSCS Seoul Chapter

Session II. B5: RFIC's

세션 번호	발표 시간	발표 장소	좌장
B5	13:00-14:00	103호	김영석

B5.1 0.13 $\mu$ m CMOS 공정을 이용한 K-대역 4-bit 능동형 위상 가변기 설계

-----  
김승연, 이종욱(경희대학교)

B5.2 광대역 PLL을 위한 다중밴드 VCO의 연구

-----  
김낙윤, 문 용(숭실대학교)

B5.3 MASH 델타 시그마 모듈레이터의 스퍼지제거에 관한 기술 연구

-----  
김성근, 최우영(연세대학교)

B5.4 13-ps LSB의 해상도와 106-ns의 범위를 갖는 시간-디지털 변환기의 설계

-----  
최광천(연세대학교), 이승우, 이범철(한국전자), 최우영(연세대학교)

# 13-ps/LSB의 해상도와 106-ns의 범위를 갖는 시간-디지털 변환기의 설계

최광천<sup>1</sup>, 이승우<sup>2</sup>, 이범철<sup>2</sup>, 최우영<sup>1</sup>

<sup>1</sup>연세대학교 전기전자공학과, <sup>2</sup>한국전자통신연구원

전화: (02)2123-7709, E-mail: [c3kc@tera.yonsei.ac.kr](mailto:c3kc@tera.yonsei.ac.kr)

## A Time-to-Digital Converter having 13-ps/LSB Resolution, 106-ns range

Kwang-Chun Choi<sup>1</sup>, Seung-Woo Lee<sup>2</sup>, Bhum Cheol Lee<sup>2</sup>, Woo-Young Choi<sup>1</sup>

<sup>1</sup>School of Electrical and Electronics Engineering, Yonsei University

<sup>2</sup>Electronics and Telecommunications Research Institute

### 요약

링 형태를 이루는 지연 셀과 계수기를 같이 사용하여 높은 해상도와 넓은 최대 측정 가능 시간을 가지면서 전원 잡음 생성이 적어 고성능 올-디지털 위상 고정 루프에 활용될 수 있는 시간-디지털 변환기를 제안하였다. 제안한 회로는 90nm CMOS 로직 공정을 사용하여 시제품 칩으로 제작되었고, 13-ps/LSB의 해상도와 106-ns의 범위를 가지는 것을 실험을 통해서 검증하였다. 제작된 칩은 1.2V의 전원에서 18.2mW의 전력을 소모하며, 칩 면적은 210X130 $\mu\text{m}^2$ 를 소모한다.

### Abstract

A high-resolution, wide-range and small-supply-noise-generation time-to-digital converter for high-performance all-digital PLL using ring-connected delay-line and digital counter is proposed. Proposed circuit is fabricated using 90-nm CMOS logic process and verified that time resolution is 13ps/LSB and maximum time range is 106ns. It consumes 18.2mW power at 1.2V supply voltage and 210X130- $\mu\text{m}^2$  chip area.

**Keywords** : ADPLL, TDC, Time-to-Digital Converter

## I. 서론

위상 고정 루프(Phase-Locked Loop, PLL) 회로는 일정한 주기를 가지는 기준 클럭을 생성해 내는 회로로, 대부분의 전자 회로 시스템에 매우 널리 사용되는 회로이다.

전통적인 PLL 회로는 주로 아날로그 회로 기법으로 설계되어 왔는데, CMOS 공정이 발달함에 따라서 아날로그 PLL 회로는 구조적인 한계에 부딪히게 되었다. 공정이 고성능이 될수록 디지털

로직의 크기는 작아지는 반면 PLL의 루프 필터에서 필요로 하는 캐패시터는 작아질 수 없기 때문에 상대적으로 매우 큰 칩 면적을 차지하게 되고, 90nm 이하의 고성능 CMOS 공정일수록 칩 내부 캐패시터의 누설전류가 커지는데, 이는 PLL의 지터 성능 저하를 야기한다.

이런 단점을 해소하기 위해서 디지털 루프 필터를 활용해서 PLL을 설계하는 올-디지털 PLL(All-Digital PLL, ADPLL) 기법이 연구되고 있다. 저항 및 캐패시터를 사용하지 않기 때문에

아날로그 PLL의 단점을 해소할 수 있는 구조로, 필요 칩 크기가 작고 성능이 뛰어나기 때문에 최근 몇 년간 활발히 연구되고 있는 분야이다. 하지만 기존 아날로그 신호가 디지털 신호로 바뀌면서 양자화 오류가 발생하고 이로 인해 ADPLL의 잡음 성능이 열화 되는데, 이를 효과적으로 최소화하는 것이 여전히 연구 과제로 남아있다. 특히 ADPLL에서 기준 클럭과 생성된 클럭 사이의 위상 차이를 검출하는 시간-디지털 변환기(Time-to-Digital Converter, TDC)의 해상도 성능은 출력 클럭의 지터에 직접적인 영향을 주는 성능이기 때문에, 다양한 구조의 고해상도 TDC 회로가 제안되었다.

기존에 널리 사용되어 온 TDC 회로는 직렬로 연결한 여러 개의 지연 셀을 이용하는 구조로<sup>[1][2]</sup>, 수 ps 이하의 고해상도를 가질 수 있다는 장점이 있다. 하지만 이 구조는 단시간에 수십~수백 개의 디지털 로직이 한꺼번에 동작하기 때문에 순간적으로 전원 전류가 매우 커졌다가 작아져서 전체 시스템 내부의 전원 잡음을 키우게 된다. 또한 수십~수백 개의 온도계 코드로 출력이 나오는데 이를 2진 코드로 바꿔주는 회로의 복잡도 문제가 있다. 이 문제들을 해결하기 위해 코드 수를 줄이게 되면 TDC로 측정할 수 있는 최대 측정 가능 시간의 범위가 좁아지는 문제가 발생한다.

본 논문에서는 소수의 지연단과 계수기를 혼합해서 사용하는 TDC 회로를 제안하였다. 제안한 구조는 비교적 높은 해상도와 넓은 최대 측정 가능 시간 범위를 가지며, 복잡도가 적고 순간적인 전력 소모가 적은 구조이다.

## II. 제안한 회로

그림 1은 기존에 발표된 TDC 회로 구조로, 계수기와 지연 셀을 혼합해서 사용하는 구조이다<sup>[3]</sup>. 직렬로 연결된 지연 셀의 출력 노드들( $P_1 \sim P_{2^N}$ )을 클럭 신호로 샘플링해서 위상 값을 검출하고 이를 2진 코드로 바꿔준다. 다음 번 클럭 신호에서도 같은 작업을 반복하고, 이전 클럭 신호에서 얻은 위상 값과의 차이를 계산하여 클럭의 주기를 측정한다. 여기에 TDC의 측정 가능 범위가 좁은 문제를 해결하기 위해서 직렬로 연결된 지연 셀의 앞과 뒤를 연결해서 링형 발진기 형태를 이루고, 발

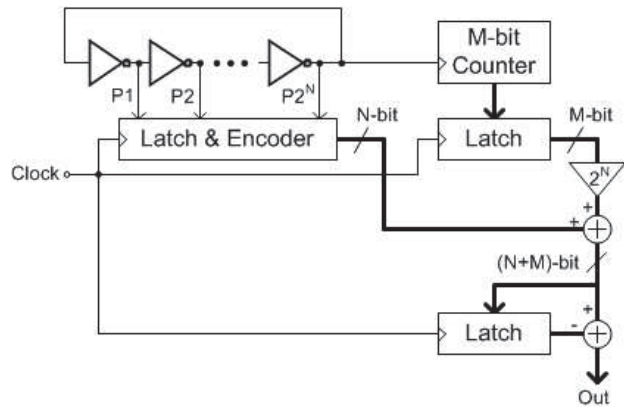


그림 1. 계수기와 지연 셀을 혼합한 TDC 회로의 블록-다이아그램<sup>[3]</sup>

Fig. 1. Block-diagram of delay line and counter-based TDC circuit<sup>[3]</sup>

진기에서 발생하는 클럭으로 계수기(Counter)를 구동한다. 지연 셀로 측정된 위상 차이 값에 계수기에 누적된 값을 더해주면, 계수기의 한계 값만

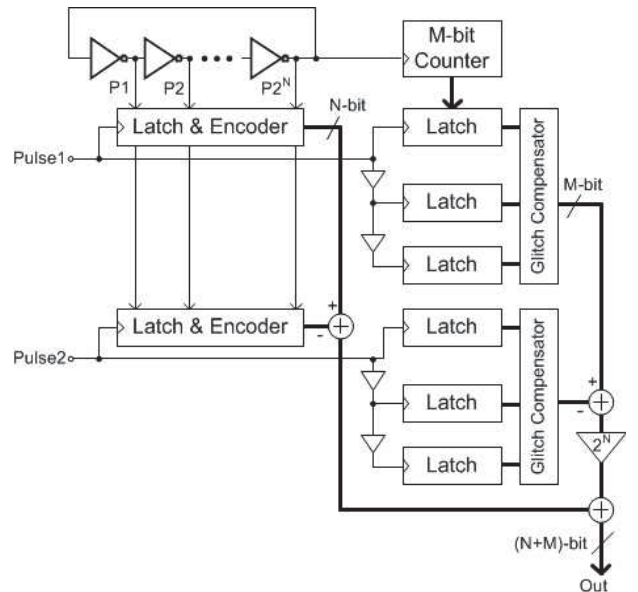


그림 2. 제안한 TDC 회로의 블록-다이아그램

Fig. 2. Block-diagram of proposed TDC circuit

큰 TDC의 측정 범위를 증폭시킬 수 있다. 예를 들어 8비트 계수기를 사용하면 지연 셀만 사용했을 때에 비해서 선형성과 해상도를 그대로 유지하면서 256배 넓은 범위의 시간 차이를 측정할 수 있고, 따라서 지연 셀의 수를 크게 줄일 수 있어

서 구조적으로 간단하다. 또한 많은 수의 지연 셀을 단시간 내에 한꺼번에 가동하는 기존 구조에 비해서 적은 수의 지연 셀을 발진기 형태로 항상 가동하는 형태이므로 순간적으로 전원 전류가 커지는 문제도 해결될 수 있다.

하지만 지연 셀과 계수기를 샘플링하는 클럭 신호와 계수기를 구동하는 링형 발진기는 서로 동기되어 있지 않기 때문에, 계수기의 값이 바뀌고 있는 과정 중에 샘플링을 하여 글리치(Glitch) 문제로 잘못된 샘플 값을 얻을 확률이 있다. 특히 TDC의 해상도를 높이기 위해서 링형 발진기의 발진 주파수를 높이고 고속 계수기를 사용하게 되면 잘못된 값을 얻을 확률이 매우 커지기 때문에, 고성능의 ADPLL에 사용되기는 어렵다.

이 문제를 해결하기 위해서 그림 2와 같은 새로운 구조의 TDC를 제안하였다. 기존 구조는 클럭의 주기만을 측정할 수 있는 TDC이지만, 새로 제안한 구조는 두 개의 펄스를 입력으로 받아서 두 펄스의 시간 차이를 측정하는 구조를 채택하여 범용성을 높였다. 그리고 계수기를 샘플링할 때 생기는 글리치 문제를 해결하기 위해서 일정 시간 간격으로 계수기를 세 번 샘플링을 한 후, 이를 토대로 오류를 보상할 수 있는 글리치 오류 보상기(Glitch Compensator)를 포함하였다. 충분한 간격으로 세 번 연속으로 샘플링을 하면, 세 개의 샘플 값 중 적어도 두 개는 오류를 가지지 않게 되고, 다음 표 1에 따라 오류를 보상할 수 있다.

표 1. 글리치 오류 보상기의 동작 원리  
Table 1. Glitch compensation method

1 <sup>st</sup> sample	2 <sup>nd</sup> sample	3 <sup>rd</sup> sample	output
N	N	N	N
N	N	N+1	N+1
N	N+1	N+1	N+1
error	N	N	N
N	error	N+1	N+1
N	N	error	N

링형 발진기는 TDC 해상도를 높이기 위해서 지연 시간이 적은 CML 타입의 지연 셀 16단을 직렬로 연결하였고, 약 3GHz의 주파수로 발진하도록 설계하였다. 차동 신호를 사용하므로 짝수

단수로 발진이 가능하다. 계수기는 8비트로 설계했는데, 3GHz의 고속 동작을 요하므로 캐리 예측 덧셈기로 설계하였다. 지연 셀의 샘플링에 사용되는 래치는 고속의 차동 신호를 입력으로 받기 때문에 센스-앰프 기반의 D flip-flop<sup>[4]</sup>을 사용하였다. 계수기의 샘플링에 사용되는 래치는 전력 소모가 적고 구조가 간단한 TSPC D

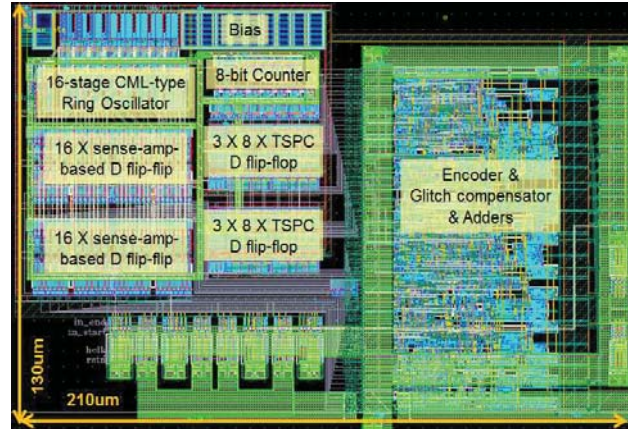


그림 3. 설계한 TDC 회로의 레이아웃  
Fig. 3. Layout of designed TDC circuit

flip-flop을 사용하였다. 글리치 오류 보상기와 지

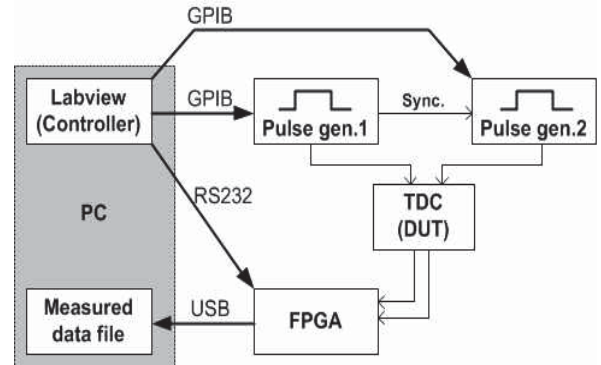


그림 4. 측정 셋업  
Fig. 4. Measurement setup

연 셀의 샘플링 결과의 Encoder 및 기타 덧셈기는 디지털 로직으로 합성하였다.

그림 3은 설계한 회로의 레이아웃을 보여주고 있다. 90nm CMOS 로직 공정을 사용해서 설계하였고, 칩 면적은 210X130um<sup>2</sup>를 차지한다.

### III. 측정 결과

그림 4는 설계한 TDC 회로의 시제품 칩을 측정하기 위한 측정 셋업을 보여주고 있다. LabView를 이용해서 두 펄스 생성기를 조절하여 펄스 생성 시간을 바꿔가면서 두 개의 펄스를 생성해서 TDC에 입력으로 넣고, TDC의 출력 코드를 FPGA로 받아서 해석한 후 PC로 전송해서 데이터를 저장한다.

그림 5는 두 펄스 사이의 시간차에 대한 TDC의 출력 코드를 측정한 결과를 보여주고 있다. 약 13-ps /LSB의 높은 해상도를 가지면서 약 106-ns의 긴 시간까지도 측정할 수 있음을 알 수 있다.

그림 6은 측정 결과를 토대로 설계한 TDC 회

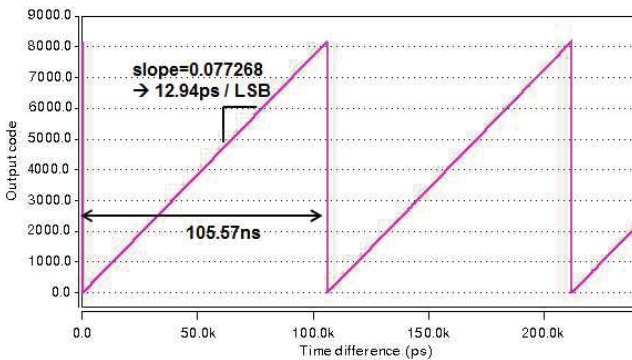


그림 5. 측정 결과 (시간 차이 대 출력 코드)  
Fig. 5. Measurement results (time-difference vs. output code)

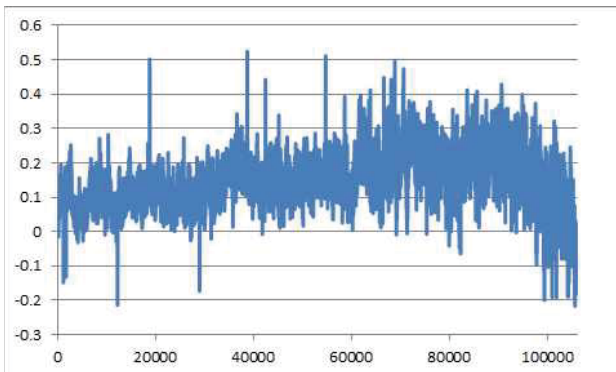


그림 6. 선형성(INL) 결과  
Fig. 6. Linearity(INL) results

로의 선형성(INL)을 계산한 결과이다.

표 2는 설계한 TDC 회로의 성능을 정리한 것이다.

표 2. 성능 정리

Table 2. Summary of performances

해상도	13 ps/LSB
최대 측정 가능 시간	106 ns
전력 소모 (전원 전압)	18.2 mW (1.2V VDD)
칩 면적	210 X 130 $\mu\text{m}^2$
공정	90nm CMOS Logic

### IV. 결론

90nm CMOS 공정을 사용하여 올-디지털 위상 고정 루프에 활용될 수 있는 고성능 시간-디지털 변환기를 설계하였고, 실험으로 이를 검증하였다. 설계된 회로는 지연 셀과 계수기를 같이 사용하여 해상도 성능이 높으면서도 최대 측정 가능 시간이 길고, 순간적인 전원 잡음이 적다는 장점과 구조적으로 간단하다는 장점을 가지고 있다. 설계된 TDC 회로는 13-ps/LSB의 해상도와 106-ns의 최대 측정 가능 시간 성능을 가지는 것을 확인하였다. 설계된 TDC 회로는 18.2-mW의 전력과 210X130 $\mu\text{m}^2$ 의 칩 면적을 소모한다.

### Acknowledgement

본 연구는 한국 전자통신연구원(ETRI)의 지원과 반도체설계교육센터(IDEC)의 CAD TOOL 지원을 받아 수행되었습니다.

### 참고 문헌

- [1] R. B. Staszewski, et al, "1.3V 20ps time-to-digital converter for frequency synthesis in 90-nm CMOS", *IEEE Trans. on Circuits and Systems II*, vol. 53, issue. 3, pp. 220-224, Mar. 2006
- [2] V. Ramakrishnan, et al, "A wide-range, high-resolution, compact, CMOS time to digital converter", *IEEE International*

*Conference on VLSI Design*, pp. 197,  
Hyderabad, India, Jan. 2006

- [3] T. Watanabe, et al, "An All-Digital PLL for Frequency Multiplication by 4 to 1022 With Seven-Cycle Lock Time", *IEEE Journal of Solid-State Circuits*, vol. 38, no. 2, pp. 198-204, Feb. 2003
- [4] B. N. Nikolic, et al, "Improved sense-amplifier-based flip-flop: design and measurement", *IEEE Journal of Solid-State Circuits*, vol. 35, no. 6, pp. 876-884, Jun. 2000