

2011 SoC Conference

2011년도 SoC 학술대회

| 일시 |

- 2011년 4월 29일(금) 18:30-20:30
(Reception 및 SoC 설계 연구회 포럼)
- 2011년 4월 30일(토) 9:00-18:00 (학술발표)

| 장소 |

- 청주라마다호텔 2층 레스토랑 카페라마다
(Reception 및 SoC 설계 연구회 포럼)
- 충북대학교 인문사회관 (학술발표)

| 주최 | 대한전자공학회 SoC 설계 연구회

| 주관 | 충북대학교, ETRI 시스템반도체진흥센터

| 후원 | 실리콘웍스, 휴인스, 누비콤텍트로닉스, 엠텍비전,
삼성전자, 맹성재특허사무소, 충북테크노파크, IDEC,
IEEE CAS Seoul Chapter, IEEE SSCS Seoul Chapter

Session II. B5: RFIC's

세션 번호	발표 시간	발표 장소	좌장
B5	13:00-14:00	103호	김영석

B5.1 0.13 μ m CMOS 공정을 이용한 K-대역 4-bit 능동형 위상 가변기 설계

김승연, 이종욱(경희대학교)

B5.2 광대역 PLL을 위한 다중밴드 VCO의 연구

김낙윤, 문 용(숭실대학교)

B5.3 MASH 델타 시그마 모듈레이터의 스퍼지제거에 관한 기술 연구

김성근, 최우영(연세대학교)

B5.4 13-ps LSB의 해상도와 106-ns의 범위를 갖는 시간-디지털 변환기의 설계

최광천(연세대학교), 이승우, 이범철(한국전자), 최우영(연세대학교)

MASH 델타 시그마 모듈레이터의 스퍼 제거에 관한 기술 연구

김성근¹, 최우영¹

¹연세대학교 전기전자공학과

전화: (02)2123-7709, E-mail: sgkim@tera.yonsei.ac.kr

Study of Spur Reduction Technique for MASH Delta-Sigma Modulator

Sung-Geun Kim¹, Woo-Young Choi¹

¹School of Electrical and Electronics Engineering, Yonsei University

요 약

본 논문에서는 MASH 델타 시그마 모듈레이터의 spur를 줄이는 기술에 대한 비교 분석을 하였다. MASH 델타 시그마 모듈레이터 출력의 power spectrum을 통하여 입력 시퀀스의 LSB를 디터링하는 기법과 출력 시퀀스의 주기를 늘리는 기법이 spur를 줄이는데 큰 효과를 보임을 알 수 있다.

Abstract

This paper presents the comparison of various spur reduction techniques for MASH delta-sigma modulator. Through the power spectrums of MASH delta-sigma modulator, we can see that the dithering of LSB of input sequence and extending period of the output sequence are very effective.

Keywords: Multistage noise shaping(MASH), Delta-sigma modulator(DSM), spur reduction, fractional-N frequency synthesizer

I. 서 론

델타 시그마 모듈레이터(delta-sigma modulator, DSM)의 noise shaping 특성은 여러 분야에서 다양하게 사용된다. 특별히 fractional-N 주파수 합성기에서 적은 phase noise와 jitter 성능을 얻기 위하여 DSM의 noise shaping 특성이 유용하게 사용된다^[1]. 세밀한 주파수 합성을 위해 fractional-N 주파수 합성기를 디자인 할 때에 디지털 입력을 받기 편하고 항상 안정성을 보장하는 MASH DSM은 주파수 합성기에서 clock divider의 분주비율 선택기로 자주 사용된다. 주파수 합성기에서 사용되는 MASH DSM은 상수 입력을 받는 경우 주기적인 시퀀스를 출

력신호로 내보내고 이는 곧 스펙트럼상의 spur로 나타나게 된다^[2]. 특히 MASH DSM의 출력은 입력 상수 신호에 의존하기 때문에 특정한 입력에 대해서는 매우 짧은 주기를 갖게 되고 이때 생기는 강한 spur는 주파수 합성기의 성능을 크게 저하시키는 주된 문제점이 된다^[4].

본 논문에서는 이러한 MASH DSM의 문제로 나타나는 spur를 줄이는 기술에 대해 논한다.

II. DSM의 spur 감쇠 기술

1. 기존의 DSM

먼저 1차 MASH DSM은 그림 1과 같이 1차 error-feedback modulator(EFM)으로 구성되

어있다. EFM은 하나의 누적기와 레지스터를 통해서 구현할 수 있다. 3차 MASH DSM은 그림 1과 같이 3개의 1차 DSM과 error cancellation 로직을 통하여 구성된다. 출력의 전달함수를 구하면 다음과 같다.

$$Y(z) = X + (1 - z^{-1})^3 E_3 \quad (5)$$

출력의 전달함수를 통하여 입력 신호는 그대로 DSM을 통과하고 양자화 잡음은 높은 주파수 대역으로 shaping 되는 것을 알 수 있다. 하지만 주기성으로 인한 spur에 관해서는 출력의 전달함수만으로 알 수 없기 때문에 출력 시퀀스의 power spectrum 분석을 통해서 정보를 얻고 판단하게 된다.

MASH DSM의 구성이 finite state machine(FSM) 과 같기 때문에 고정된 상수를 입력으로 받는 경우 그 출력은 주기성을 띄게 된다. 특히 출력의 주기성이 입력에 의해 변하고 매우 짧은 주기성을 띄는 출력시퀀스를 가지게 되는 경우가 발생한다. 이러한 짧은 주기성은 power spectrum 상에서 spur tone 으로 나타나게 된다. 주파수 합성기에서 MASH DSM이 그대로 사용될 경우 spur는 원하는 출력 주파수 이외의 주파수 성분이 되기 때문에 주파수 합성기의 성능을 크게 저하시킨다. 그러므로 어떠한 경우에도 짧은 주기성으로 말미암아 강한 spur tone이 발생하지 않도록 MASH DSM을 만들어야 한다.

2. Spur reduction 기술

MASH DSM의 spur를 줄이는 방법으로 EFM의 인풋을 디더링(dithering) 하는 방법과 출력 시퀀스의 주기를 늘리는 방법이 있다. 이 장에서는 어떻게 MASH DSM이 구성되고 동작하는지를 살펴 보도록 하겠다.

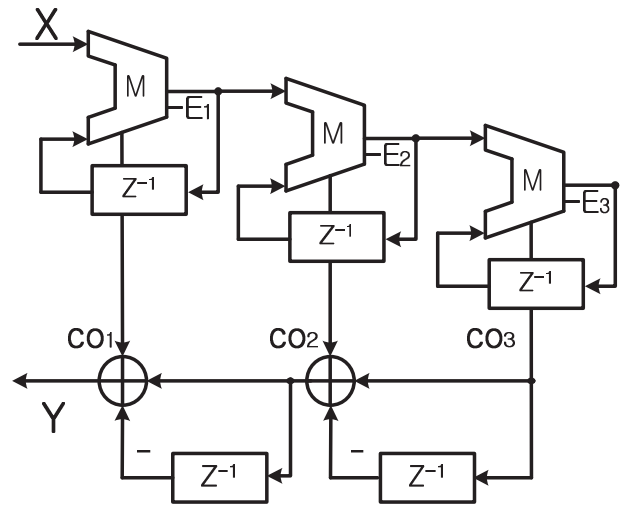


그림 1. 3차 MASH DSM
Fig. 1. 3rd-order MASH DSM

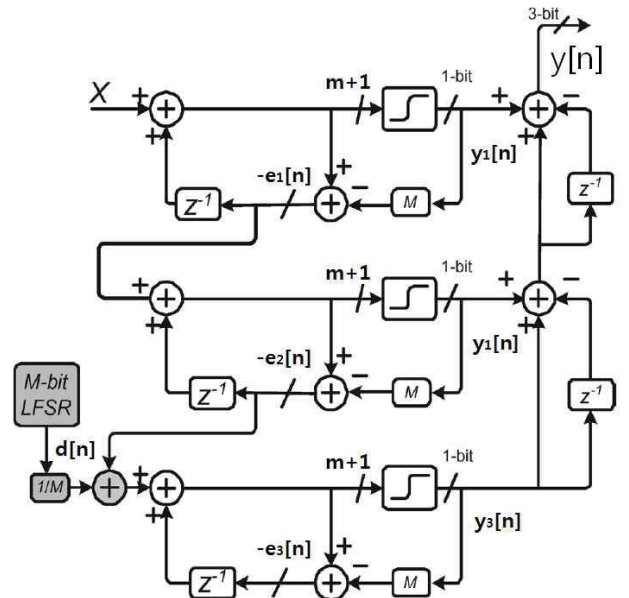


그림 2. 디더링을 포함하는 3차 MASH DSM^[3]
Fig. 2. 3rd-order MASH DSM with dithering^[3]

가. 디더링을 통한 spur reduction

고정된 상수를 입력으로 받을 때에 출력 시퀀스에 주기성이 나타나게 되므로 EFM의 입력의 LSB를 디더링 함으로써 spur를 제거할 수 있다^[3]. (그림 2) 고정된 상수를 입력으로 받는 것이 주기성에 큰 영향을 미치게 되므로 매우 작은 수(LSB)를 디더링 하게 되면 출력 값은 영향을 거의 받지 않으면서 입력 자체를 고정된 상수가 아니도록 만들어 줄 수 있다. 디더링 신호의 평균은 0이기 때문에 원하는 입력신호를 출력에서 검출하는데에는 영향을

미치지 않는다.

이런 방법으로 디터링 신호를 인가하게 되면 양자화 잡음 신호는 입력신호 X에 관계없게 되고 매우 짧은 주기를 갖는 출력 시퀀스가 사라지게 된다. 또한 noise cancellation 로직을 지난 출력신호의 전달함수를 구해보면 잡음 신호들이 shaping되는 것을 알 수 있다.

$$Y(z) = X + \frac{1}{M} D(z) ((1-z^{-1}) + (1-z^{-1})^2 + (1-z^{-1})^3 E_3) \quad (1)$$

출력 신호의 주기성에 대해서는 다음 장에서 power spectrum 시뮬레이션 결과를 통해 알아본다.

나. 시퀀스 주기를 통한 spur reduction

변하지 않는 상수를 입력으로 받는 MASH DSM의 출력이 가지게 되는 주기성에 대해 연구 결과에 의하면 고정된 상수를 입력으로 받는 MASH DSM의 출력의 주기는 입력되는 상수에 의존하고 있고, 출력 시퀀스의

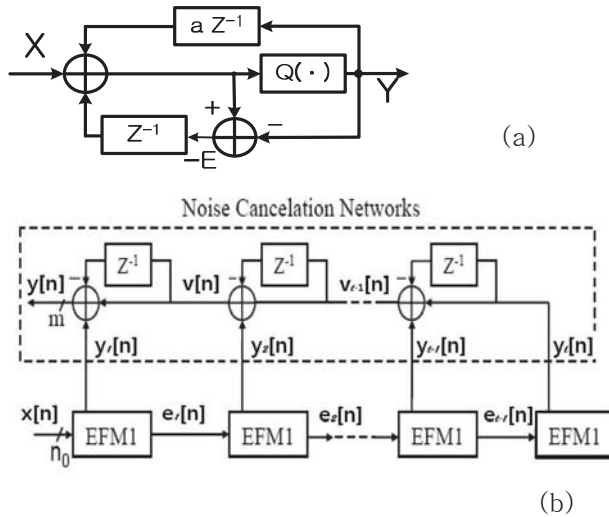


그림 3. (a) HK-EFM (b) 1차 HK-MASH DSM
Fig. 3. (a) HK-EFM (b) 1st HK-MASH DSM

최대 주기와 최소 주기가 있음을 알 수 있다^[4].

출력 시퀀스의 주기를 늘리기 위해 기존의 EFM을 HK-EFM으로 수정하여 모듈레이션 상수 M을 소수로 만드는 기술이 있다. 이 기술을 통하여 출력 시퀀스의 주기를 매우 길게 가져갈 수 있다^[5]. (그림 3(a))

그림 3(b)에서 첫 번째 EFM의 a값을 a_1 , 두 번째 a값을 a_2 , l번째 a값을 a_l 이라 하고, a_1, a_2, \dots, a_l 의 값을 $\{M-a_1, M-a_2, \dots, M-a_l\}$ 이 각각 소수이고 서로소가 되게 하는 최소의 값으로 정하고 MASH DSM의 출력 주기를 N_1 이라 한다면, 1차 HK-MASH DSM의 첫 번째 HK-EFM의 잡음 시퀀스는

$$\sum_{k=1}^{N_1} e_1[k] = N_1 X + \sum_{k=0}^{N_1-1} e_1[k] + \sum_{k=0}^{N_1-1} y_1[k] a_1 - \sum_{k=1}^{N_1} y_1[k] M \quad (11)$$

이고, N_1 마다 반복되므로

$$\sum_{k=1}^{N_1} y_1[k] = \frac{N_1 X}{M-a_1} \quad (12)$$

이 된다. 좌변이 정수이므로 우변을 정수로 만드는 최소의 N_1 은 $M-a_1$ 이 소수이므로 $M-a_1$ 된다.

이 과정을 두 번째 HK-EFM에 똑같이 적용하면

$$\sum_{k=1}^{N_2} y_2[k] = \frac{\sum_{k=1}^{N_2} e_1[k]}{M-a_2} \quad (13)$$

이 된다. 두 번째 HK-EFM의 주기가 N_2 이고 N_1 과

$$N_2 = K_1 N_1 \quad (14)$$

의 관계가 있다고 하면 식 (13)은 다음과 같다.

$$\sum_{k=1}^{N_2} y_2[k] = \frac{K_1 \sum_{k=1}^{N_1} e_1[k]}{M-a_2} \quad (15)$$

e_1 이 주기적이고 $N_1 = M-a_1$ 이 되므로 식 (15)는

$$\sum_{k=1}^{N_2} y_2[k] = \frac{K_1 (M-a_1) \text{mean}(e_1)}{M-a_2} \quad (16)$$

이 되고, $M-a_1$ 과 $M-a_2$ 가 소수이며 서로소이므로 우변을 정수로 만드는 K_1 은 $M-a_2$ 가 된다. 결국 두 번째 HK-EFM의 주기 N_2 는

$$N_2 = (M-a_1)(M-a_2) \quad (17)$$

가 된다.

같은 방식으로 계산해가면 출력 l번째 HK-EFM의 시퀀스의 주기는

$$N_l = (M-a_1)(M-a_2) \dots (M-a_l) \quad (18)$$

이 되고 $(M-a_1)(M-a_2) \dots (M-a_l)$ 이 모두 소수

이며 서로소이므로 전체 1차 HK-MASH DSM의 주기는

$$N = (M - a_1)(M - a_2) \dots (M - a_l) \quad (19)$$

이 됨으로써 매우 길어지게 된다. 출력 시퀀스에 대해서 살펴보면

$$\sum_{k=1}^N v_{l-1}[k] = \sum_{k=1}^N y_{l-1}[k] \quad (20)$$

이고

$$\sum_{k=1}^N y[k] = \sum_{k=1}^N y_1[k] \quad (21)$$

이다. 식 (12)를 대치하면

$$\sum_{k=1}^N y_1[k] = K \sum_{k=1}^{N_1} y_1[k] = K \cdot N_1 \cdot \frac{X}{M - a_1} \quad (22)$$

이 되고 K 는 $N = KN_1$ 을 만족하는 정수라면 결국 전체 HK-MASH DSM의 출력의 평균값 $[Mean(Y)]$ 는 다음과 같게 된다.

$$Mean(Y) = \frac{\sum_{k=1}^N y[k]}{N} = \frac{\sum_{k=1}^{N_1} y_1[k]}{KN_1} = \frac{X}{M - a_1} \quad (23)$$

z-domain에서 출력 전달함수를 구한다면

$$Y(z) = \frac{X}{1 - \alpha Z^{-1}} + \frac{(1 - Z^{-1})^l}{1 - \alpha Z^{-1}} E_l \quad (24)$$

이 된다. 양자화 잡음이 높은 주파수 대역으로 shaping되는 것을 볼 수 있다.

출력 신호의 주기성에 대해서는 다음 장에서 power spectrum 시뮬레이션 결과를 통해 알아본다.

III. 시뮬레이션 결과

Verilog 언어를 사용하여 기존의 3차 MASH DSM과 디더링을 통한 스퍼제거 기법 그리고 HK-EFM을 통한 스퍼제거 기법을 사용하여 회로를 구현하였고 시뮬레이션 하여 출력되는 시퀀스를 매틀랩을 통하여 power spectrum을 관찰하였다. 그림 4는 출력 시퀀스의 power spectrum이다. 샘플링 주파수는 100MHz이고 입력은 8bit 디지털 신호이다. MASH DSM의 출력이 인풋에 따라 달라지므로 가장 spur가 많이 발생하는 경우중 하나인 00000001₈을 입력으로 선택하였다.

아무런 스퍼제거 기술을 갖지 않는 기존의 3차 MASH DSM의 출력(그림 4(a))은 매우 많

은 spur tone을 갖는 것을 볼 수 있다. 디더링 기법을 사용한 결과(그림 4(b))는 디더링 노이즈가 약간 포함되었지만 spur가 많이 제거된 것을 볼 수 있고, 시퀀스 주기를 늘린 3차 MASH DSM 결과(그림 4(c))역시 spur tone이 상당히 많이 제거된 것을 볼 수 있다.

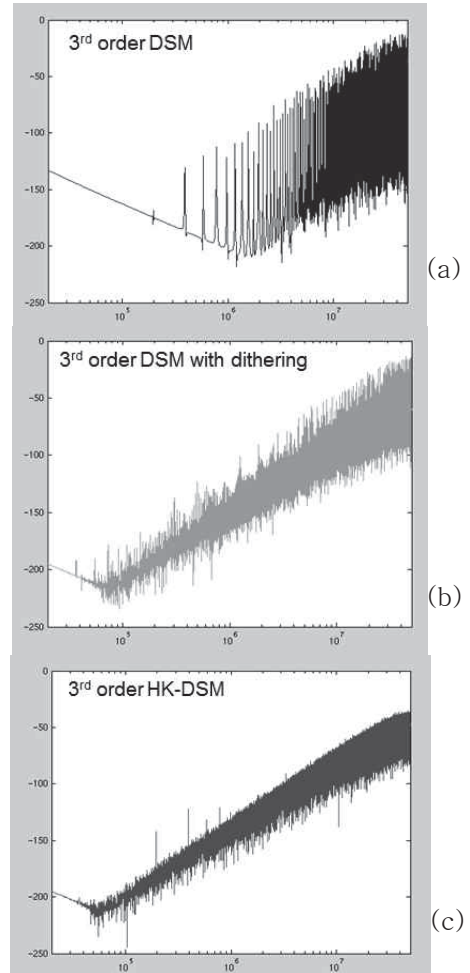


그림 4. (a) 기존의 3차 MASH DSM power spectrum (b) 디더링 기법을 사용한 3차 MASH DSM power spectrum (c) 3차 HK-MASH DSM power spectrum

Fig. 4. (a) power spectrum of conventional 3rd-order MASH DSM (b) power spectrum of 3rd-order MASH DSM with dithering (c) power spectrum of 3rd-order HK-MASH DSM

IV. 결론

본 논문에서는 3차 MASH DSM의 기본적 구조가 갖는 spur의 문제를 해결하는 기술에 대해서 알아보았다. 디더링을 사용하는 기법과 출력 시퀀스의 주기를 늘리는 기법 모두 spur를 제거하는데 좋은 효과를 보임을 알 수 있

다.

참 고 문 헌

- [1] T. A. D. Riley, M. A. Copeland, and T. A. Kwasniewski, "Delta-sigma modulation in fractional-N frequency synthesis," *IEEE J. Solid-State Circuits*, vol. 28, no. 5, pp. 553-559, May 1993.
- [2] M. J. Borkowski, T. A. D. Riley, j. Hakkinen, and j. Kostamovaara, "A practical delta-sigma modulator design method based on periodical behavior analysis," *IEEE trans, Circuits Syst. II, Exp. Briefs*, vol. 52, no. 10, pp. 626-630, Oct. 2005.
- [3] V. R. Gonzalez-Diaz, M. A. Garcia-Andrade, G.E. Flores-Verdad, F. Maloberti, "Efficient Dithering in MASH Sigma-Delta Modulators for Fractional Frequency Synthesizers," *IEEE trans, Circuits Syst. I*, vol. 57, no. 9, pp. 2394-2403, Nov. 2010.
- [4] Xu, T., Ye, Z., Kennedy, M. P., "Mathematical Analysis of Injection-Locked Frequency Dividers," *Proc. International Symposium on Nonlinear Theory and its Applications, Bologna, Italy*, pp. 639-642, 9/06
- [5] Xu, T., "Design methodology for a maximum length MASH digital delta-sigma modulator," *WCE 2009, ICEEE 2009*, 1-3 July 2009, London, UK. ISBN.

Acknowledgement

본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였습니다. [10034834]. 또한 본 연구는 반도체설계교육센터(IDEC)의 CAD TOOL 및 MPW 지원을 받아 수행되었습니다.