

2012

SoC

Conference



| 학술대회 |

- 일시: 2012년 4월 21일(토) 09:00 ~ 18:00
- 장소: 광운대학교 참빛관

| Reception 및 SoC설계연구회 포럼 |

- 일시: 2012년 4월 20일(금) 18:00 ~ 21:00
- 장소: 서울 종로구 관훈동 64번지, 한식당 "두대문집"  
(인사동 문화의 거리 쌈지길 옆)

| 주최 |

- 대한전자공학회 SoC설계연구회

| 주관 |

- 광운대학교, ETRI SW-SoC융합R&BD센터

| 후원 |

- 동운아나텍, 리버트론, MIPS Tech, 지엠테스트,  
키텍디자인, 한국멘토, 휴인스



사단법인 대한전자공학회  
The Institute of Electronics Engineers of Korea

세션번호	발표시간	발표장소	좌장
A3	09:00 – 10:30	105호	이강윤(성균관대)

**A31 기가비트 광통신용 CMOS 제한 증폭기 설계**

김경훈, 엄재하, 범진욱  
(서강대학교)

**A32 A 2.5-Gb/s CMOS Optical Receiver for Active Optical HDMI Cable Applications**

Jinju Lee, Jihye Shin, Sung Min Park  
(이화여자대학교)

**A33 ISI 레벨 검출을 이용한 10Gb/s 적응형 등화기 설계**

안택준, 김태호, 서진철, 안용성, 강진구  
(인하대학교)

**A34 A 2.5-Gb/s Modified Current-Mirror Transimpedance Amplifier in 0.18- $\mu\text{m}$  CMOS Technology**

Jihye Shin, Jinju Lee, Sung Min Park  
(이화여자대학교)

**A35 표준 CMOS 공정을 사용한 선형 등화기와 1-Tap Look-Ahead 결정 궤환 등화기**

권대현, 김왕수, 최우영  
(연세대학교)

**A36 XAUI 인터페이스용 3.125Gb/s 디지털 블록으로만 구성된 클럭 및 데이터 복원회로**

조남욱, 송민영, 김철우  
(고려대학교)

# 표준 CMOS 공정을 사용한 선형 등화기와 1-Tap Look-Ahead 결정 제한 등화기

권대현<sup>1</sup>, 김왕수<sup>1</sup>, 최우영<sup>1</sup>

<sup>1</sup>연세대학교 전기전자공학부

전화: (02)2123-7709, E-mail: [kwonkkun@gmail.com](mailto:kwonkkun@gmail.com)

## A Linear Equalizer and 1-Tap Look-Ahead Decision Feedback Equalizer in 0.13- $\mu$ m CMOS Technology

Dae-hyun Kwon<sup>1</sup>, Wang-Soo Kim<sup>1</sup>, Woo-Young Choi<sup>1</sup>,

<sup>1</sup>School of Electrical and Electronic Engineering, Yonsei University

134 Shinchon-dong, Seodaemun-ku, Seoul, Korea 120-749

### 요 약

본 논문은 선형 등화기와 Look Ahead 결정 제한 등화기 설계에 관한 논문이다. 신호 전송 속도에 따라 look ahead 결정 제한 등화기 앞단의 선형 등화기로 증폭 정도를 결정하고, 선형 등화기를 통과한 신호는 Look-Ahead 결정 제한 등화기에 의해 최종적으로 복원 된다. 신호 전송 속도에 따라 전력 소모량을 효과적으로 조절할 수 있도록 설계 되었다. 선형 등화기와 Look Ahead 결정 제한 등화기는 0.13 $\mu$ m 공정으로 설계되었고, 3m 디스플레이 포트 채널과 PCB 80cm 채널에서 5.4-Gb/s 와 7-Gb/s의 신호 복원을 확인할 수 있었다. 선형 등화기의 증폭정도는 2.5 dB에서 16 dB로 설계되었고, Look Ahead 결정 제한 등화기의 전류 덧셈기는 디지털 비트 제어로 전류량을 조절하였다. 그에 따른 전력 소모량은 12 mW에서 14.5 mW 까지 사용하게 된다.

### Abstract

This paper is about linear equalizer and look ahead DFE. According to varying data rate, the adequate boosting gain of the linear equalizer in front of the look ahead DFE is decided. After that process, the signal is finally restored by Look Ahead DFE. As conversion of data rate, power consumption is also controlled effectively. This chip is fabricated with 0.13 $\mu$ m CMOS technology. The restoration of data is confirmed in post layout simulation at the 3-m DisplayPort cable and 80cm PCB trace, 5.4-Gb/s and 7-Gb/s respectively. The boosting gain is from 2.5 dB to 16 dB and the current integrated summer of Look Ahead DFE is controlled by digital bit for tuning the current flowing. Cause of such control process, the power consumption gets from 12 mW to 14.5 mW.

**Keywords** : linear equalizer, look ahead dfe, power scalable

### I. 서 론

최근 들어 멀티미디어 기기들이 발달하고 이를 사용하는 사용자들이 급격하게 증가함에 따라 신호 전송 속도의 증가는 피할 수 없게 되었다. 기존의 병렬 전송 방식은 더 많은 채널을 필요로 하고 그에 따른 누화현상이 발생하기 때문에, 고속 신호 전송에는 적합하지

않다. 이런 문제점을 해결하기 위해, 하나의 채널을 사용하여 고속으로 신호를 전송하는 직렬 전송 방식이 대두되게 되었다. 하지만 이 역시 대역폭의 제한으로 수-Gb/s 수준의 신호 전송 속도가 되면 부호 간 간섭이 발생하게 되어 비트 오차율이 늘어나게 되었다. 이를 해결하기 위한 방법으로 등화기가 사용되기 시작했다. 일반적으로 사용되는 수신단 등화기에는 선형 등화

기(Linear Equalizer)와 결정 제한 등화기(Decision Feedback Equalizer) 등이 존재한다. 선형 등화기는 고속 주파수의 신호를 증폭함으로써, 채널에 의해 왜곡된 신호를 복원한다. 하지만 노이즈 신호도 같이 증폭되어, 노이즈 문제가 심각한 경우에는 사용하기가 힘들다. 반면 결정 제한 등화기는 노이즈 신호의 증폭 없이 부호 간 간섭을 없애 신호를 복원한다. 하지만 결정 제한 등화기는 신호의 결정을 기반으로 동작하기 때문에 채널의 주파수 특성이 좋지 않아 오차가 발생할 경우에는 사용할 수 없다는 단점이 있다.

본 논문에서는 결정 제한 등화기의 한 종류인 Look Ahead 결정 제한 등화기(LADFE)앞에 선형 등화기를 사용함으로써<sup>[1],[2],[3]</sup>, 결정 제한 등화기의 신호 결정에서 오차가 발생하지 않도록 하는 동작 범위를 늘렸다. 이와 더불어 DisplayPort 1.2, PCI-Express 2.0, Serial ATA 3 등의 고속 직렬 전송 표준 및 백플레인 인터페이스, 고속 메모리 인터페이스 등의 어플리케이션을 고려하여 5.4 ~ 7 Gb/s의 신호 전송 속도와 채널에 따라 전력 소모량을 조절을 하여 회로의 전력 효율을 높이는 설계를 진행하였다.

## II. 본 론

### 1. 선형 등화기 설계

본 논문에서 사용한 선형 등화기는 capacitive degeneration equalizer 뒤에 negative capacitive 회로를 달아 선형 등화기의 증폭 성능을 높였다.<sup>[4]</sup>

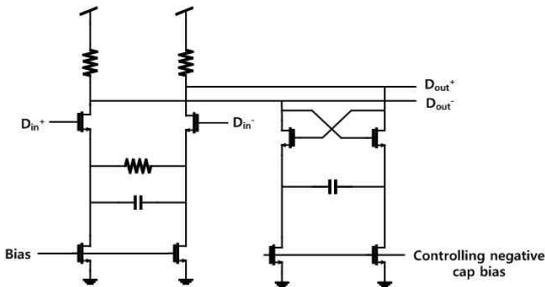


그림 1. 선형 등화기 회로

그림 1은 선형 등화기의 회로를 나타내고 있다. 여기서 negative capacitive의 바이어스 전압을 조절함으로써, 선형 등화기의 증폭 정도를 조절할 수 있다. 다양한 표준에 적용이 가능한 LADFE를 설계하기 위해 선형 등화기는 넓은 범위의 주파수를 갖는 신호를 복원해야 한다. 본 논문에서는 3 GHz에서 2.5 dB 에서 16.5 dB의

증폭을 할 수 있는 선형 등화기를 설계하였다. 이때, 선형 등화기의 3-dB 대역폭은 3 ~ 5 GHz로 설계하여 다양한 채널과 신호 전송 속도 내에서 LADFE가 안정적으로 동작하게 하게 하였다.

그림 2는 선형 등화기의 주파수 응답을 나타낸다. 신호 전송 속도가 낮거나 채널이 나쁘지 않은 경우에는 적은 범위의 고주파 증폭을 통해 선형 등화기의 소비 전력을 낮추고, 반대의 경우에는 큰 고주파 증폭을 위한 높은 전력 소비로 바이어스 전압을 조절함으로써 전력과 성능을 모두 확보할 수 있도록 설계 하였다.

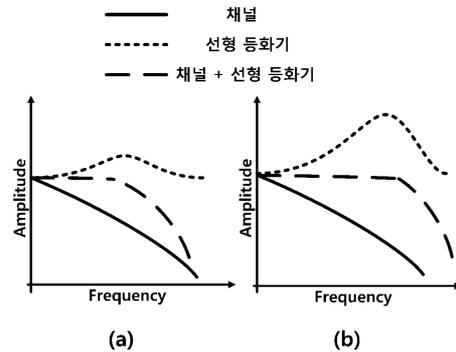


그림 2. 선형 등화기 회로에 의한 주파수 응답  
(a) 전송 속도가 낮은 경우  
(b) 전송 속도가 높은 경우

### 2. 결정 제한 등화기 설계

#### 가. 결정 제한 등화기

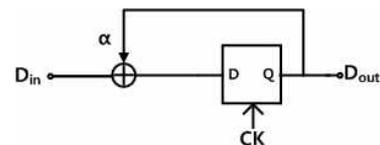


그림 3. 결정 제한 등화기 회로

그림 3은 일반적인 구조의 결정 제한 등화기를 나타내고 있다. Data flip-flop(DFF)을 통과한 신호는 이전 비트에 따라 현재 신호에 가감됨으로써 부호 간 간섭을 없애준다. 이와 같이 결정 제한 등화기는 회귀되는 비트의 지연 시간이 매우 중요하다.

$$t_{UI} > t_{feedback} + t_{clock\_q\_delay} + t_{setup} \dots (1)$$

즉, 식 (1)과 같이 결정 제한 등화기를 설계할 때 회귀 지연시간과 클럭 Q 지연시간 그리고 DFF의 셋업 시간의 합이 한 주기의 신호 간격(1-Unit Interval)을 넘어서는 안 된다<sup>[5]</sup>. 하지만 신호 전송 속도가 올라감에 따라 RC 지연 시간이 증가하여 전류를 더하는 과정

에서 회귀 지연 시간이 늘어나게 된다. 따라서 일반적인 구조의 결정 궤환 등화기는 고속 신호 전송에 있어서 사용하기 힘들다.

나. Look Ahead 결정 궤환 등화기

LADFE도 일반적인 구조의 결정 궤환 등화기와 마찬가지로 클럭을 사용하지만, 결정 궤환 등화기보다 지연 시간을 줄일 수 있어 고속의 신호 전송에서는 더 효과적인 방법이라 할 수 있다.

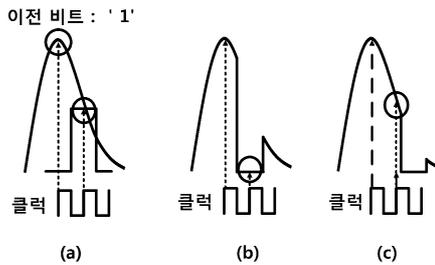


그림 4. (a) 결정 궤환 등화기의 동작 원리  
(b) 지연 시간이 문제되지 않는 경우  
(c) 지연 시간이 문제되는 경우

그림 4는 결정 궤환 등화기의 동작원리와 지연 시간의 문제를 나타내고 있다. 그림 4.(a)를 보면 이전 비트는 '1'의 값은 부호 간 간섭으로 인해 다음 비트까지 영향을 준다. 이를 해결하기 위한 결정 궤환 등화기는 이전 비트 값에 적절한 상수를 곱해 빼줌으로써, 그림 4.(b)와 같이 샘플링 값이 '0'이 나올 수 있게 해준다. 하지만, 지연 시간이 발생할 경우 그림 4.(c)와 같이 잘못된 샘플링 값을 출력하게 된다. 따라서 효과적으로 지연 시간의 영향을 줄일 수 있는 방식인 LADFE를 사용하였다. 즉, 그림 5와 같이 미리 신호 처리를 해 놓은 상태에서 이전 비트를 받아 출력을 멀티플렉서를 통해 선택하여 내보내는 것이다.

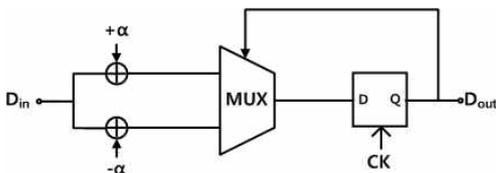


그림 5. Look Ahead 결정 궤환 등화기 회로

$$t_{1UI} > t_{mux\_delay} + t_{clock\_q\_delay} + t_{setup} \dots (2)$$

식 (2)는 LADFE가 만족시켜야 하는 조건이다. 하지만, 이 경우에는 식 (1)과 다르게 회귀 지연 시간 대신, 멀티플렉서의 의한 지연 시간이 포함된다. 이는 회귀 지연시간에 비해 훨씬 짧으므로 고속 신호 전송에

있어서는 더 유리하다.

다. 전류 덧셈기

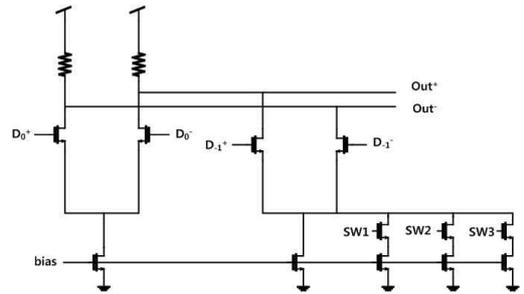


그림 6. 전류 덧셈기 회로

그림 6은 설계한 전류 덧셈기를 보여준다. 이전 비트를 입력으로 받는 회로에 스위치를 달아 디지털 비트로 전류를 제어한다. 신호 전송 속도가 올라가거나 채널에 의한 부호 간 간섭이 심해지는 경우 디지털 비트의 값을 올려 이전 비트 쪽 회로로 전류의 흐름을 증폭시킨다. 이는 선형 등화기와 마찬가지로 상황에 따라 전류를 제어하여 전력의 효율적 사용을 극대화하였다.

III. 시뮬레이션 결과

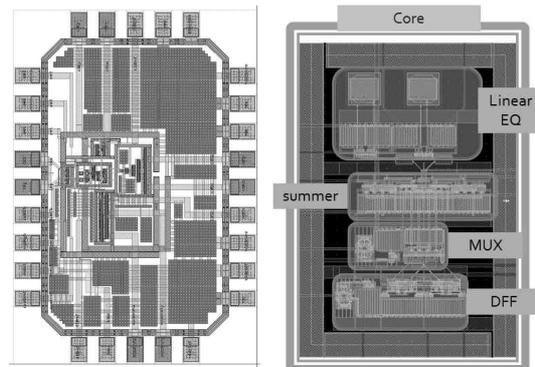


그림 7. 선형 등화기와 LADFE 레이아웃

그림 7은 전체 레이아웃의 모습이다. 코어 부분은 선형 등화기와 전류 덧셈기 멀티플렉서 그리고 DFF로 구성되어 있다. 전체 사이즈는 90 x 130 umm<sup>2</sup>이다.

1. 선형 등화기 결과

설계한 선형 등화기와 LADFE의 시뮬레이션 결과는 그림 8과 같다. 선형 등화기의 negative capacitive 회로의 바이어스를 조절함으로써 최소 2.5 dB 증폭에서 16.5 dB 증폭을 얻을 수 있고, 3-m 디스플레이 포트 채널에서는 2.7 GHz에서 약 3 dB의 고주파 증폭을 PCB 80-cm 채널에서는 3.5 GHz에서 약 8 dB의 고주파 증폭을 통해 LADFE의 동작을 돕는다. 전력은 PCB 80-cm에서는 약 2.7 mW를 3-m 디스플레이

포트 채널에서는 약 1.8 mW를 소모하게 된다.

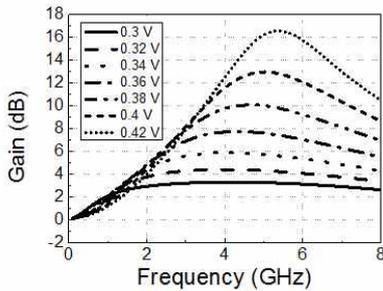


그림 8. 선형 등화기의 고주파 증폭 이득

## 2. 결정 케환 등화기 결과

### 가. Look Ahead 결정 케환 등화기 결과

선형 등화기에 의해 일정 부분 복원된 신호를 받은 LADFE는 신호를 최종적으로 깨끗하게 복원한다. 이는 그림 9에 나타나 있다.

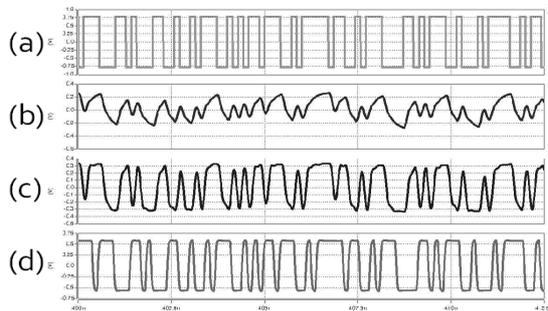


그림 9. (a) 입력 신호 (b) 채널을 통과한 신호 (c) 선형 등화기를 통과한 신호 (d) LADFE의 출력 ( 80 cm PCB 채널, 7-Gb/s)

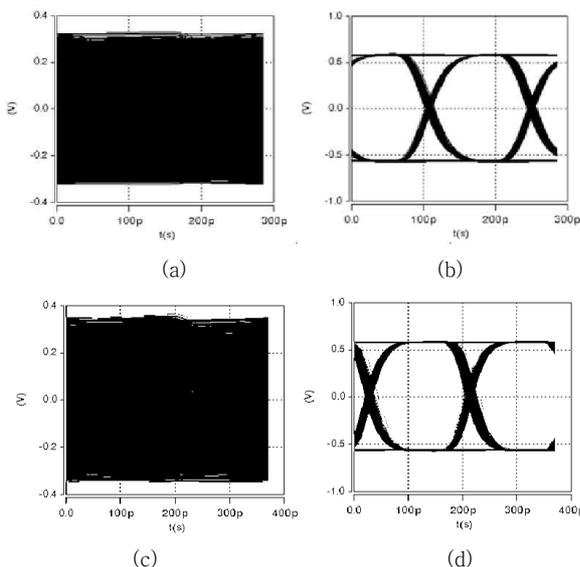


그림 10. (a) 채널을 통과한 신호 (b) LADFE의 출력 (7-Gb/s 80-cm PCB 채널)  
(c) 채널을 통과한 신호 (d) LADFE의 출력 (5.4-Gb/s 3-m 디스플레이 포트 채널)

채널을 통과한 신호는 대역폭 부족에 의해 부호 간 간섭이 심하게 발생하여 닫힌 아이 다이어그램을 제공하게 되는데, 이는 그림 10. (a)와 (c)에서 확인할 수 있다. 이런 아이 다이어그램은 선형 등화기와 Look-Ahead 결정 케환 등화기를 통과하면, 왜곡된 신호가 보상되어 그림 10. (b), (d)와 같이 깨끗한 아이 다이어그램을 만들게 된다.

## IV. 결론

본 논문에서는 고속 직렬 신호 전송의 문제점인 제한된 대역폭을 선형 등화기와 LADFE를 사용하여 신호를 복원하였다. 선형 등화기의 증폭은 LADFE가 신호를 복원할 수 있을 정도의 최소 정도로 결정하였고, 이는 선형 등화기의 전력 소모를 최적화하는데 일조하였다. 전류 덧셈기에 의한 전압의 변화 역시 디지털 비트로 제어할 수 있게 하여 전력 소모량이 채널이나 신호 전송 속도에 따라 달라지게 되었다.

선형 등화기와 LADFE는 0.13- $\mu$ m CMOS 표준 공정을 사용하여 설계되었고, 3-m 디스플레이 포트 채널에서 5.4-Gb/s를, 80-cm PCB 채널에서는 7-Gb/s 신호를 전송하였다. 총 소비전력은 1.2-V 전원에서 12 mW에서 14.5 mW를 소비하였다.

## 참고 문헌

- [1] Adesh Garg, "A 1-Tap 40-Gb/s Look Ahead Decision Feedback Equalizer in 0.18  $\mu$ m SiGe BiCMOS Technology" *IEEE J. Solid-State Circuits*, vol. 41, pp. 2224-2232, OCT. 2006.
- [2] Troy Beukema, "A 6.4-Gb/s CMOS SerDes Core With Feed-Forward and Decision Feedback Equalization" , *IEEE J. Solid-State Circuits*, vol. 40 , pp. 2633-2645, DEC. 2005
- [3] Chang-Kyung Seong, "A 10-Gb/s Adaptive Look-Ahead Decision Feedback Equalizer with an Eye-Opening Monitor" , *IEEE Transactions on Circuits and Systems - II*
- [4] Wang-Soo Kim, "A 5.4-Gb/s Adaptive Equalizer using Asynchronous-Sampling Histograms" , *IEEE ISSCC Dig Tech. Papers*, pp. 358-359, FEB. 2011.
- [5] Sameg Ibrahim "Low-Power CMOS Equalizer Design for 20-Gb/s Systems" , *IEEE J. Solid-State Circuits*, vol.46, pp.1321-1336, JUNE. 2011