

OSW 2025

광과학 광반도체 워크숍 2025

The 1st Optical Science & Opto-Semiconductor Workshop

Recent technologies of PIC (Photonics Integrated Circuit)

Optical technologies for Semiconductor Processing

2025. **6.16**(월)~**18**(수)
수원컨벤션센터

주 최

OSK 사단법인 한국 광 학 회
OPTICAL SOCIETY OF KOREA Optical Society of Korea

공동주최

GUIP
경기도 대학혁신플랫폼

반도체기술혁신원
반도체기술혁신원

QIS 양자제어물성 연구소
Institute of Quantum Systems

후 원

PANOPTICS
We serve you the future!

LUEN SOFT

tSNE (주)태성에스엔이

KOPTI 한국광기술원

Detailed Schedule

학술대회 세부일정

6월 17일 (화요일)

09:00-09:45	Registration		
09:45-10:00	개회식 (Opening Ceremony)		
10:00 - 11:00	기조강연1 [405-407]		
	임창문 (Hynix 연구위원)		
11:00 - 12:00	기조강연2 [405-407]		
	John Yoon (SPIE 이사)		
12:00 - 13:30	Lunch		
13:30 - 15:30	세션 1 [405-407]	세션 2 [403]	4F 로비 <

Poster Presentation Session

Poster Presentation		6월 17일 (화요일) 13:30 - 18:30
좌장 : 서민교(KAIST), 허지혁(한양대)		ROOM : 4F 로비
Silicon Photonics-I (Modulator and Laser)		
PS-01	링 변조기 기반 WDM 송신기의 온도 안정화 제어 기법 <i>*RHO Dae-Won, CHOI Woo-Young, PARK Jae-Koo, JI Yong-Jin (Yonsei University)</i>	
Silicon Photonics-II (System and Packaging)		
PS-02	링 필터 기반 4-채널 WDM 수신기 및 파장 교정 장치 <i>*LEE Jae-Ho, JI Yong-Jin, CHOI Woo-Young (Yonsei University), KIM Hyun-Kyu (Samsung Electronics)</i>	
PS-03	뉴로모픽 연산을 위한 다채널 광 가중 장치 및 적응형 제어 시스템 <i>*JI Yong-Jin, LEE Jae-Ho, CHOI Woo-Young (Yonsei University)</i>	
PS-04	바이어스 컨트롤러를 포함한 25 Gb/s의 850nm 실리콘 단일 칩 광 수신기 <i>*YANG Seung-Jae, LEE Jae-Ho, CHOI Woo-Young (Yonsei University)</i>	
Silicon Photonics-III (Device Innovation)		
PS-05	이중 버스 도파로 구조 레이스트랙 공진기에서의 상보 결합 <i>*KIM Tae-Won, KIM Sang-Sik (KAIST), HASAN Mehedi (Texas Tech University), CHOI Yu-Sung, YOON Jae-Woong (Hanyang University)</i>	
PS-06	CMOS 공정 기반 후면조사형 비격리 단일광자 아발란치 다이오드 <i>*EOM Do-Yoon, CHOI Hyun-Seung, CHOI Woo-Young, LEE Myung-Jae (Yonsei University)</i>	
Nano Photonics on Chip		
PS-07	고효율 PIC-광섬유 결합을 위한 마이크로렌즈 인터페이스 A High-Efficiency Microlens Interface for PIC-to-Fiber Coupling <i>*WHANG Gyu-Chan, KIM Moo-Hyuk, KIM Myung-Ki (Korea University)</i>	
PS-08	Enhanced Field Localization in (Short-Wave Infrared) SWIR Surface Plasmon Resonance Using 2D Ti ₃ C ₂ T _x MXene Films <i>*KIM Han-Na, KIM Myung-Ki, SONG Da-In, JIN Young-Ho, YU A-Ran (Korea University), KIM Hye-Rim, KOO Chong-Min (Sungkyunkwan University)</i>	
PS-09	Multilayer Metasurface-Integrated Microdisk Laser for Low-NA Optical Systems <i>*YU A-Ran, KIM Myung-Ki, KIM Moo-Hyuk, SONG Da-In (Korea University), YOON Seung-Ju (Samsung Electronics)</i>	
Application-I (양자)		
PS-10	저 분자 유기물을 이용한In _{0.53} Ga _{0.47} As/InP 메사형 포토다이오드 저온 패시베이션 <i>*KIM Tae-Kyun, HEO Jun-Seok (Ajou University)</i>	
PS-11	광반도체 기반 양자소자 개발을 위한 KIST 개방형 양자칩 인프라 구축과 장비 도입 현황 <i>*허형준, 최상수, 백우석, 박창륜 (KIST)</i>	
PS-12	광자 검출 효율 향상을 위한 단일광자 아발란치 다이오드의 가드링 최적화 연구 <i>*CHOI Hyun-Seung, LEE Myung-Jae, EOM Do-Yoon, CHAE Young-Cheol (Yonsei University)</i>	
Application-II (모바일/터미널 바이오 센싱 디스플레이)		
PS-13	단일 광자 검출기의 근적외선 검출 효율 개선 연구 <i>*YOOK Se-Young, EOM Doyoon, CHOI Woo-Young, LEE Myung-Jae (Yonsei University)</i>	
PS-14	3D 물리 모델링 데이터를 이용한 집적형 광학 기반 차등신호식 시스템 <i>*김운용, 윤정록 (KOPI, 전남대학교), 김희민, 전성국, 박주영 (KOPI)</i>	

단일 광자 검출기의 근적외선 검출 효율 개선 연구

육세영*, 엄도윤, 최우영, 이명재**

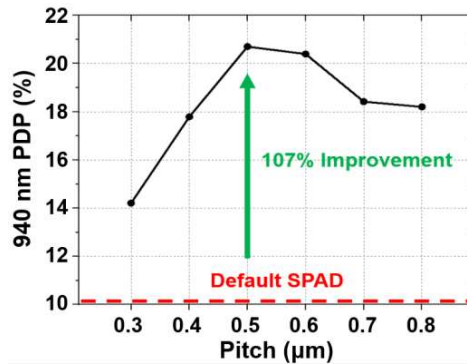
연세대학교 전기전자공학부

*sy.yook127@yonsei.ac.kr

**mj.lee@yonsei.ac.kr

단일 광자 검출기는 PN 접합의 항복 전압을 초과하는 강한 역방향 바이어스 하에서 입사한 광자에 의해 생성된 전자-정공 쌍의 임팩트 이온화를 이용하여 단일 광자를 검출할 수 있는 반도체 기반의 초고감도 광센서이다. 단일 광자 검출기의 대표적인 응용 분야로는 light detection and ranging (LiDAR) 혹은 time of flight(ToF)과 같은 3차원 이미징을 들 수 있으며, 최근 양자 센서/정보처리/컴퓨팅에서도 그 활용이 요구되고 있다[1]. 많은 응용에 있어 단일 광자 검출기의 높은 근적외선 효율이 요구되나 CMOS 공정을 이용해 제작된 실리콘 기반의 단일 광자 검출기는 물질 특성상 근적외선 감도에 한계가 존재한다[2].

본 연구에서는 단일 광자 검출기의 근적외선 효율을 개선하기 위해 후면조사형 소자를 구현하고 다양한 크기의 격자형 후면 패턴을 적용하였다. 그림 1은 후면 패턴 적용을 통해 기존 구조 대비 940 nm 파장에서의 photon detection probability(PDP)가 향상된 결과를 보여준다. 특히 패턴의 격자 크기가 0.5 μm 일 때, PDP는 10%에서 20.7%로 증가하여 약 107%의 성능 향상이 가능함을 성공적으로 검증하였다. 이러한 결과는 후면 패턴이 근적외선 영역에서의 검출 효율 향상에 효과적임을 보여주며, CMOS 기반 단일 광자 검출기의 감도 개선을 위한 새로운 설계 방향을 제시한다.



[그림1] 후면 패턴 크기에 따른 후면 조사형 단일 광자 검출기의 940 nm PDP

Acknowledgments

This work was supported by the Yonsei University Research Fund of 2024 (2024-22-0504) and the Institute of Information & Communications Technology Planning & Evaluation (IITP) grant funded by the Ministry of Science and ICT (MSIT, Korea) (RS-2025-02218723).

Reference

- [1] E.-J. Kim *et al.*, "Modeling-Based Optimization of a Single-Photon Avalanche Diode: Towards Integrated Quantum Photonics Devices Operating at Room-Temperature," *IEEE J. Sel. Topics Quantum Electron.*, 31, 5, 3801509 (2025).
- [2] S. Lindner *et al.*, "A High-PDE, Backside-Illuminated SPAD in 65/40-nm 3D IC CMOS Pixel With Cascoded Passive Quenching and Active Recharge," *IEEE Electron Device Lett.*, 38, 11, 1547-1550 (2017).

단일 광자 검출기의 근적외선 검출 효율 개선 연구



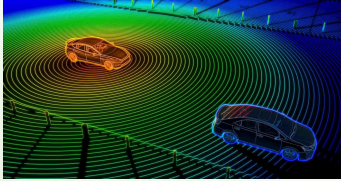
육세영*, 엄도윤, 최우영, 이명재**

연세대학교 전기전자공학과

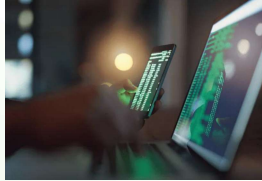
*sy.yook127@yonsei.ac.kr; **mj.lee@yonsei.ac.kr

OSW
2025

SPAD Applications



[LiDAR]

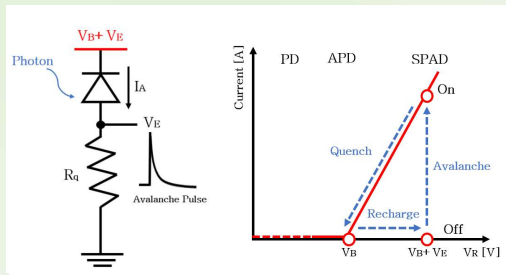


[QRNG]

Single-photon avalanche diodes (SPADs) exhibit an exceptional level of sensitivity, allowing them to detect individual photons. So, it is applied in various fields such as LiDAR, 3D imaging, and quantum computing.

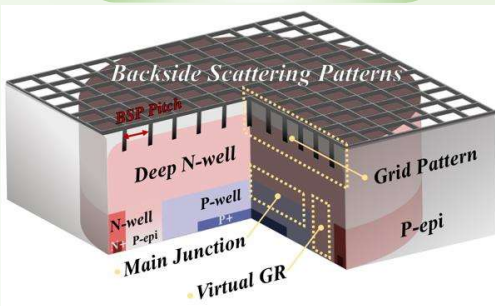
Image Source: Denso X / ID Quantique (IDQ)

SPAD Operation



SPADs detect photon through the avalanche multiplication in geiger mode. Consequently, SPADs exhibit a higher gain than conventional photodiodes.

Device Structure

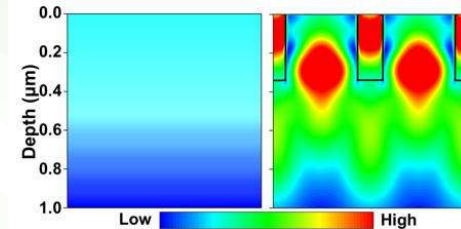


- Main Junction: P-well / Deep N-well
- Guard Ring: Virtual guard ring

The backside patterns of a grid pattern with various pitches are implemented in SPAD to induce diffraction.

Experimental Result

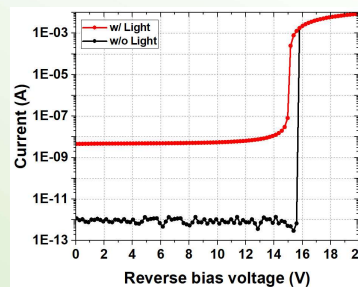
Simulation results of the light intensity profile



[Default SPAD] [SPAD with a grid pitch of 0.5 μm]

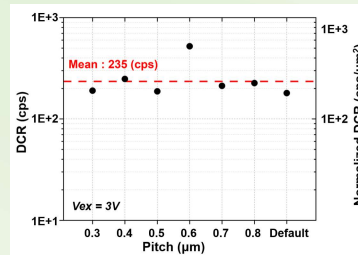
The backside patterns of the grid pitch of 0.5 μm induce diffraction at the wavelength of 940 nm.

I-V Characteristic



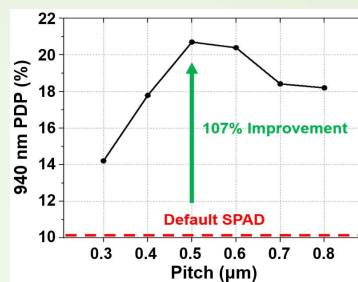
- I-V characteristic of the default BI SPAD under dark and illuminated conditions.
- The implementation of backside patterns do not affect the breakdown voltage

Dark Count Rate (DCR)



- DCR of BI SPAD according to the grid pitch.
- No increase in DCR is observed despite the application of backside patterning.

940 nm PDP values of the BI SPADs at $V_{ex} = 3V$



The 940 nm PDP values of SPADs increase significantly with backside patterns, especially the maximum 940 nm PDP reaching about 20.7 % with 0.5 μm grid pitch at $V_{ex} = 3V$.

Conclusion

- A highly efficient BI SPAD with 20.7 % PDP at a wavelength of 940 nm, achieved through the optimized backside patterning.
- The PDP measurement results for various grid pitches of backside patterns indicate that a 0.5 μm grid pitch optimizes the grid pattern, enhancing the 940 nm wavelength PDP from 10 % to 20.7 %