

새로운 구조의 위상 검출기를 갖는 Gbps급 클럭/데이터 복원 회로

정회원 이재욱*, 정태식**, 김정태*, 김재석*, 최우영*

A Giga-bps Clock and Data Recovery Circuit with a new Phase Detector

Jae-Wook Lee*, Tae-Sik Cheung**, Jung-Tae Kim*, Jaeseok Kim*, Woo-Young Choi*

Regular Members

요약

본 논문에서는 GHz 대역의 고속 클럭 신호를 필요로 하는 데이터 통신 시스템 분야에 응용될 수 있는 새로운 구조의 클럭 및 데이터 복원회로를 제안하였다. 제안된 회로는 고속의 데이터 전송시 주로 사용되는 NRZ 형태의 데이터 복원에 적합한 구조로서 NRZ 데이터가 주입될 경우에 위상동기 회로에 발생하는 주요 잡음원인인 high frequency jitter를 방지하기 위한 새로운 위상 검출구조를 갖추고 있어서 보다 안정적인 클럭을 제공할 수 있다. 또 가변적인 지연시간을 갖는 delay cell을 이용한 위상검출기를 제안하여 위상 검출기가 갖는 dead zone 문제를 없애고, 항상 최적의 동작을 수행하여 빠른 동기 시간을 갖도록 하였다. Gbps급 대용량의 데이터를 복원하기 위한 클럭 생성을 목표로 하여 CMOS 0.25 μ m 공정을 사용하여 설계한 후 그 동작을 HSPICE post-layout simulation을 통해 검증하였다.

ABSTRACT

In this paper, a new clock and data recovery circuit is proposed for the application of data communication systems requiring GHz-range clock signals. The circuit is suitable for recovering NRZ data which is widely used to high frequency data transmission in GHz ranges. The high frequency jitter is one of major performance-limiting factors in PLL, particularly when NRZ data patterns are used. A novel phase detector is able to suppress this noise, and consequently stable clock generation is easily achieved. Furthermore, this phase detector has an adaptive delay cell removing the dead zone problem and has the optimal characteristic, thus the circuit can achieve fast locking mode. The proposed circuit is designed based on CMOS 0.25 μ m fabrication process and verified by HSPICE post-layout simulation.

1. 서론

데이터 전송을 위하여 송신단과 수신단은 변조 혹은 비변조된 형태의 디지털신호를 주고받고, 하드웨어의 복잡성과 전력, 가격 등의 이유로 인하여 송신단은 동기를 맞추는 클럭을 제외한 데이터 정보

만을 수신단으로 보내는 방식을 사용한다. 이때 수신단은 제한된 채널용량에 의해 왜곡된 신호를 정확히 복원하기 위해서 수신된 신호에 동기된 안정적인 클럭을 필요로 한다. 대용량의 정보 전송시 이러한 필요성은 더욱 커지게 되고 안정적인 클럭 발생기의 구성은 전체 시스템의 성능을 좌우하게 되

* 연세대학교 전기전자공학과 초고속정보전송연구실(patima@tera.yonsei.ac.kr), ** 한국전자통신연구원 고속스위칭팀(cts@etri.re.kr)
 논문번호: K01018-0109, 접수일자: 2001년 1월 9일

* 1999년도 학술 진흥 재단 대학 부설연구소 과제 연구비에 의해 연구되었음.

는 중요한 부분이 된다. 이에 따라, GHz 대역의 높은 시스템 클럭을 제공하기 위한 위상 동기 회로(phase locked loop; PLL) 및 Gbps급의 높은 전송률로 전송되는 데이터로부터 클럭 신호를 추출하는 클럭/데이터 복원(clock and data recovery; CDR) 회로에 관한 연구가 활발히 이루어지고 있다.

본 논문에서는 대용량의 데이터 전송시스템에 적합하도록 새로운 위상 검출방식을 제안하고 이 동작을 최적화 시키고자 한다. 시스템 클럭을 제공받아 GHz급의 데이터 복원에 사용될 클럭을 발생시키고 NRZ 데이터의 천이에만 반응하는 새로운 구조의 위상 검출기를 사용하여 연속된 0과 1이 수신될 경우에도 보다 안정적인 클럭을 발생시킬 수 있는 방식을 제안하고자 한다. 제안된 구조들에 대한 이론적인 해석과 검증은 위해 0.25 μ m CMOS 공정 파라미터를 기반으로 CADENCE를 이용한 레이아웃을 하고 HSPICE를 통해 post-layout simulation을 수행하여 클럭/데이터 복원 회로의 동작을 확인하였다.

본 논문의 구성은 다음과 같다. II장에서는 CDR 회로의 구성과 동작원리에 대해서 설명한 후, III장에서 제안된 위상 검출방식에 대해 설명한 후, IV장에서 회로설계에 따른 시뮬레이션에 의해서 성능을 검증하여 결과를 분석하고 V장에서 결론을 맺는다.

II CDR 회로의 구성과 동작원리

데이터를 복원하기 위해 사용되는 CDR 회로는 그림 1과 같이 데이터를 받아들여 동기된 클럭을 발생시키는 클럭 복원회로 블록과 발생된 클럭에 의해 수신된 데이터를 결정하는 decision 블록으로 나누어진다. 수신된 신호는 제한된 채널용량에 의한 ISI(inter symbol interference)와 잡음으로 왜곡되기 때문에 데이터 복원시 많은 어려움이 생기게 된다. 왜곡된 데이터를 정확히 복원하기 위해서 수신된 신호는 반드시 retiming, reshaping의 과정을 거쳐야 하며 수신된 신호와 동기된 클럭이 있을 때 이러한 과정이 가능하게 된다.

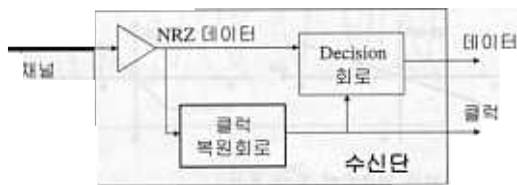


그림 1. CDR 회로의 블록도

클럭을 발생시키는 방식으로는 크게 open loop 방식과 closed loop 방식이 있다. open loop 방식은 구조가 간단하고 빨리 동기시킬 수 있는 장점을 가지고 있으나 jitter에 민감한 구조를 갖고, closed loop 방식은 보다 복잡해지고 동기시간이 길어진다. 단점을 가지고 있으나 jitter를 제거할 수 있는 장점을 가진다. 클럭 발생회로는 이런 방식 중 각각의 응용에 따라 그 방식을 선택하여 시스템을 구성하게 되고, 시스템의 복잡성을 감안하여 두 가지 방식을 혼합한 방식을 취하기도 한다.^[1]

클럭을 발생시키는 방식 중 PLL은 closed loop 방식으로 one-chip화가 가능하고 다른 closed 방식에 비해 동기시간이 짧고 jitter 특성도 좋아서 가장 많이 쓰이는 방식이다. 일반적으로 PLL은 전압제어 발진기(voltage controlled oscillator; VCO), 위상 주파수 검출기(phase frequency detector; PFD), 분주기(divider), 전하펌프(charge pump) 그리고 루프 필터(loop filter)로 구성되어 기준 입력 신호에 VCO 출력으로부터 분주된 신호의 위상과 주파수를 동기시키는 기능을 한다.^[2]

전압제어 발진기를 만드는 방법은 여러 가지가 있으나, 그 중 링(ring) 발진기는 집적화가 용이하고 매우 높은 발진 주파수를 얻을 수 있는 장점을 가지고 있어 집적 회로 형태의 VCO를 구현하는데 일반적으로 사용된다.^[3] 링 발진기는 몇 개의 인버터들을 직렬 체인구조를 이루게 한 후 다시 그 출력을 feedback 시킨 것으로, 각각의 인버터들의 반전과 지연기능으로 인해 발진을 하게 되며 각 인버터들의 지연시간을 조절하여 VCO의 발진 주파수를 조절하게 된다. 즉, 전압제어 발진기는 아날로그 전압을 입력으로 받아들여서 이와 선형적으로 비례하는 주파수를 가지는 출력 신호를 내보내게 된다.^[2]

위상 주파수 검출기는 두 가지 신호의 위상과 주파수의 차이를 검출하여 그 차이만큼을 보상할 수 있도록 UP 신호와 DOWN 신호를 출력하는 역할을 한다. 위상 주파수 검출기를 만드는 방법으로는 곱셈기를 이용한 방식과 순서회로에 의한 방식이 있다. 곱셈기에 의한 방식은 VCO의 출력과 입력신호를 곱하여 평균을 출력하는 것이고, 순서회로에 의한 방식은 VCO의 출력과 입력신호의 위상을 찾아서 그 위상사이의 시간간격에 의한 출력전압을 출력하는 기억소자를 가지고 있게 된다. 위상 주파수 검출기의 출력은 전하펌프를 구동시키게 되고 전하펌프의 출력은 루프 필터에 거쳐서 VCO의 동작을 제어하게 된다.

III. 제안된 위상 검출기의 동작원리

위상 검출기로는 곱셈기나 순서회로를 사용한 방식이 많이 사용되어 왔다. 그러나, 이런 방식은 VCO의 출력과 비교될 입력 신호가 NRZ 데이터와 같이 논리 "0" 혹은 논리 "1"이 연속될 경우가 빈번할 경우, 발생시키고 있는 클럭에 비해 NRZ 데이터의 주파수가 낮은 것으로 인식하여 DOWN 신호를 계속 발생시키는 오류를 낳는다. 결과적으로 클럭 발생 회로는 위상 오차가 없는 경우에도 불안정한 상태가 되고 jitter 잡음을 발생시킨다. 따라서, 클럭 / 데이터 복원 회로에 사용될 위상 검출기로는 NRZ 데이터에도 잡음을 발생시키지 않는 구조를 사용해야 할 필요성이 크다는 것을 알 수 있다. 본 연구에서는 이러한 주기적이지 않은 NRZ 데이터에서도 사용될 수 있는 구조의 위상 검출기를 제안하고자 한다. 만일, 위상 검출기가 단지 데이터의 천이가 발생할 경우에만 동작하게 하여 그 위상만을 VCO의 출력과 비교하게 한다면 앞에서 언급한 경우의 잡음 발생요인을 제거할 수 있게 된다. 기존의 방식 중 데이터의 천이에서만 위상비교를 하는 위상 검출기가 제안되었으나^[4] 이는 위상오차가 없는 경우에도 계속해서 제어전압이 미세하게 흔들리게 되어 발생하는 high-frequency jitter를 막을 수 없는 구조였다. 또, 이러한 high-frequency jitter의 발생을 막는 구조로 시간 지연소자를 이용한 위상 검출기가 제안되기도 하였으나,^[5] 이 구조 역시 시간지연소자의 한계로 위상 검출기의 검출범위 한계를 가지고 있었다.

본 논문에서 제안된 위상 검출기에서는 그림 2와 같이 데이터의 천이를 검출하기 위해 데이터를 지연시켜 각각 Data-A, Data-B, Data-C의 신호를 얻어서 각각의 신호와 클럭 신호의 위상관계를 이용하여 UP / DOWN 신호를 얻게 된다. 이를 수식적으로 표현하면 다음과 같다.

$$UP = (Data-A \oplus Data-C) \cdot clock$$

$$DOWN = Data-A \oplus Data-B$$

UP / DOWN 신호는 각각 XOR 게이트와 AND 게이트에 의해 Data-B의 에지와 클럭의 위상을 비교하여 발생되며 데이터의 천이 시점이 클럭의 하강 시점을 동기 되도록 동작한다.

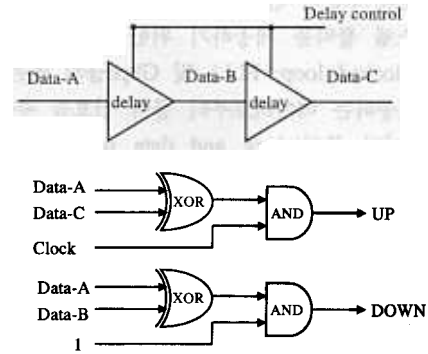


그림 2. 제안된 위상 검출기의 회로도

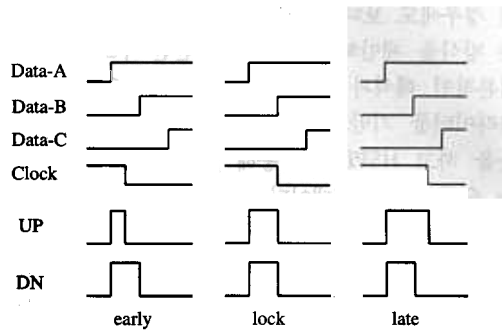


그림 3. 위상 검출기의 동작

그림 3은 Data-B와 클럭의 위상관계에 따른 위상 검출기의 동작을 보여주고 있으며, 그림 4는 이상적인 위상 검출기의 동작 특성^[2]과 제안된 구조의 위상 검출기의 동작 특성을 나타내고 있다. 제안된 회로의 동작은 그림 4에서 볼 수 있듯이 지연 시간의 크기(θ)가 클수록 이상적인 경우에 접근하게 된다. 제안된 회로는 클럭이 UP 신호를 얻기 위해 사용되기 때문에 최대 검출범위가 π 로 제한되게 되어 최적의 위상 검출범위는 $-\pi/2 \sim \pi/2$ 가 된다. 즉 지연소자의 최적의 지연 시간은 $\pi/2$ 가 되게 된다. 그런데, 지연소자의 지연 시간의 크기가 고정되어 있을 경우 사용되는 클럭의 주파수에 따라 상대적으로 θ 의 크기가 바뀔 수 있음을 의미한다. 본 연

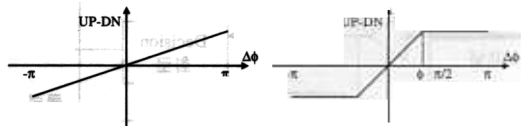


그림 4. 위상 검출기의 동작 특성
(a) 이상적인 위상검출기의 동작 특성
(b) 제안된 위상 검출기의 동작 특성

구에서는 제안된 회로의 지연소자로 VCO의 단위 인버터를 사용함으로써 VCO의 주파수 변화에도 위상 검출기의 시간지연을 $\pi/2$ 로 유지하도록 하여 최적의 동작을 보장하였다.

IV. CDR 회로의 설계와 Simulation

본 논문에서 사용한 전압제어 발진기는 그림 5와 같이 4단 differential inverter를 이용한 링 발진기로서 RC 지연 방식이다. 전압제어 발진기는 본 논문에서 사용하고자 하는 대역이 Gbps 대역의 높은

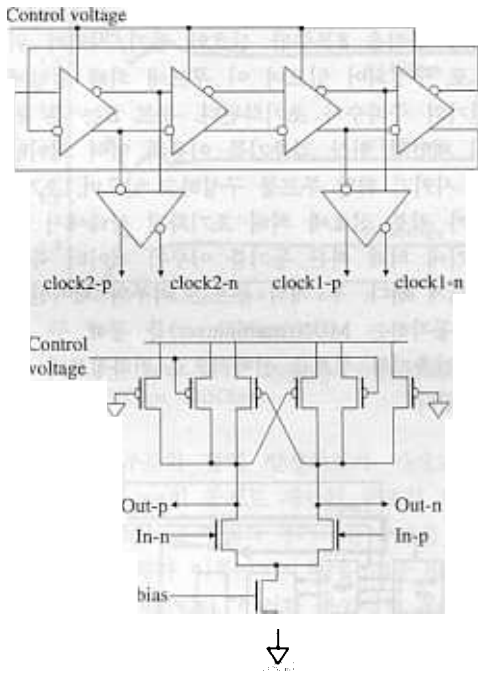


그림 5. 전압제어 발진기의 회로도

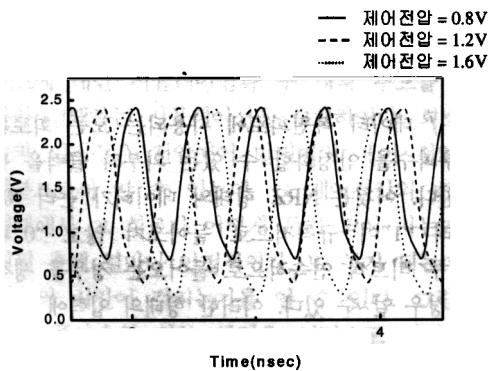


그림 6. 전압제어발진기의 동작 특성

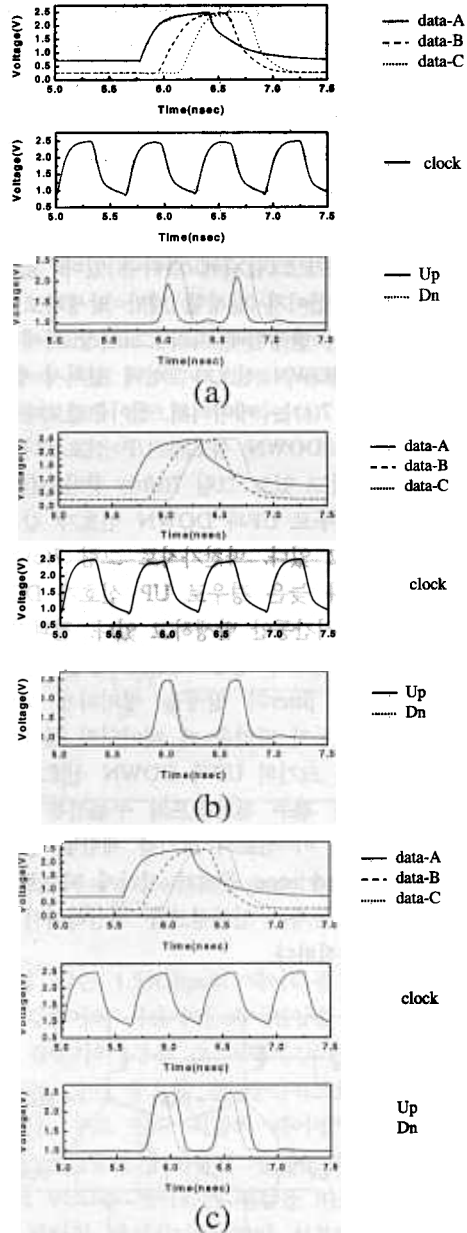


그림 7. 제안된 위상 검출기의 출력 파형

- (a) 클럭이 빠를 때
- (b) 클럭과 동기 되었을 때
- (c) 클럭이 늦을 때

주파수를 갖는 영역이므로 GHz의 고속 동작이 가능해야 하고 클럭/데이터 복원회로의 특성상 넓은 동작 범위를 가질 필요는 없으며 위상 검출기에도 같은 블록이 사용되므로 limiter로서 큰 진폭을 안정적으로 출력할 수 있어야 한다. 이러한 특성을 만

족시키기 위해 출력 단에 3가지 종류의 PMOS를 부하로 사용하였다. VCO는 제어전압이 0.8V에서 1.8V로 변화함에 따라 출력 주파수가 1.4GHz에서 1.9GHz까지의 범위에서 동작하며 그림 6은 제어전압에 따른 VCO의 동작특성을 보여주고 있다.

위상 검출기는 VCO에서 사용된 차동 인버터와 XOR 게이트 그리고 AND 게이트로 구성되는데 이들 회로를 이용하여 구성된 위상 검출기의 위상별 시뮬레이션 결과가 그림 7에 나타나 있다. 모든 신호가 데이터의 천이가 발생할 때만 발생하고 있으며 2번의 천이가 발생함에 따라 그 위상 차에 따른 응답을 UP과 DOWN 신호가 2번에 걸쳐서 출력하고 있다. 그림 7(a)는 데이터의 천이순간보다 클럭이 빠를 경우로 DOWN 신호가 UP 신호보다 많은 시간동안 발생하고 있고 그림 7(b)는 천이순간과 클럭이 동기된 경우로 UP과 DOWN 신호가 같은 시간동안 발생하고 있다. 마찬가지로 그림 7(c)는 클럭이 데이터보다 늦은 경우로 UP 신호가 DOWN 신호보다 많은 시간동안 발생하고 있다. 결과적으로 UP과 DOWN 신호가 같은 시간에 발생하게 하여 high frequency jitter의 발생을 방지하게 되었다.

클럭 신호가 동기 되었을 때 데이터의 천이가 발생할 경우 같은 크기의 UP과 DOWN 신호가 발생하게 되는데 이 경우 전하펌프의 누설전류 문제가 생길 수 있으나, 이 신호의 크기를 제한할 경우 위상 검출기는 dead zone 문제가 생기게 되므로^[5] 누설전류에 의한 문제는 전하펌프를 개선하여서 해결하는 것이 바람직하다.

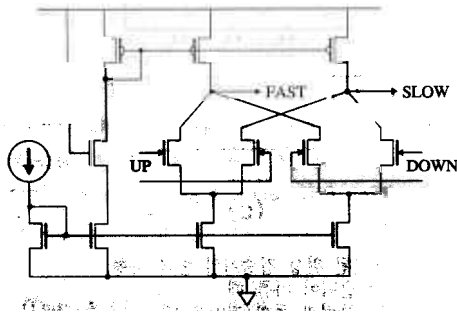


그림 8. 전하펌프의 회로도

제안된 회로에 필요한 전하펌프는 고속 동작을 해야하고 낮은 전원에도 안정적인 동작을 할 수 있어야 한다. 본 논문에서 사용된 전하펌프는 그림 8과 같이 NMOS와 PMOS로 구성된 전류 미러와 UP/DOWN 신호를 받는 스위치로 구성되어 있다.^[6]

고속의 동작을 위해서는 전류경로를 완전히 차단시키지 못하고 항상 전류경로가 존재하는 회로가 되어야 하는데 이 전류 경로는 전하펌프의 누설전류를 증가시켜 jitter를 발생시키는 요인이 된다. 그러나, 데이터에 의한 빠른 feedback과 루프필터에 의한 보상으로 데이터의 복원에는 영향을 미치지 않게 된다.^[7]

본 논문에서는 새로운 구조의 위상 검출기를 제안하여 그 동작을 검증하기 위해서 그림 9와 같은 클럭 / 데이터 복원회로를 설계하였다. 전체 회로는 크게 두 개의 feedback 루프를 가지고 있는 hybrid 형태의 구조를 가지고 있다. 루프 A는 낮은 주파수의 외부 클럭과 전압제어 발진기에서 발생한 GHz 대역의 클럭을 8분주한 신호와 동기시키기 위한 PLL로 구성되어 있으며 이 루프에 의해 전압제어 발진기의 주파수가 초기화된다. 루프 B는 본 논문에서 제안된 위상 검출기를 이용해 입력 데이터에 동기시키기 위한 루프를 구성하고 있으며, 초기 주파수가 외부 신호에 의해 초기화된 상태에서 위상 검출기에 의해 빠른 동기를 이루어 데이터 복원에 사용되게 된다. 두 개의 루프는 외부의 제어신호에 의해 동작하는 MUX(multiplexer)를 통해 두 개의 위상 검출기의 신호를 선택적으로 전하펌프에 전달하게 된다.

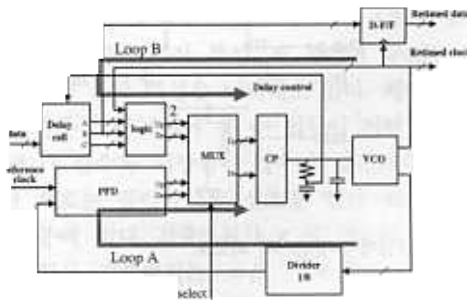


그림 9. 클럭 / 데이터 복원회로의 블록도

클럭 / 데이터 복원회로에 사용되는 모든 회로는 초기 주파수를 안정화할 수 있는 외부의 클럭을 필요로 한다. 이것은 NRZ 형태의 데이터가 논리 "0"과 논리 "1"이 규칙적으로 들어오지 않고 "0"과 "1"이 두 비트씩 연속적으로 들어오는 경우를 생각해 볼 경우 알 수 있다. 이러한 형태의 입력에 대해 위상 주파수 검출기는 원래 주파수의 분주된 신호로 인식하여 계속하여 전압제어 발진기의 주파수를 낮추기 위한 동작을 하게 된다.^[2,3]

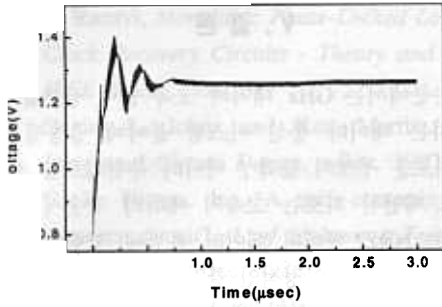


그림 10. 루프 A의 VCO 제어전압 파형($f_{ref} = 200\text{MHz}$, $f_{vco} = 1.6\text{GHz}$)

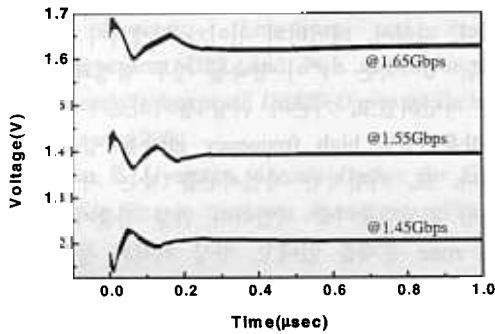


그림 11. 루프 B의 VCO 제어전압 파형(@1.45Gbps, 1.55Gbps, 1.65Gbps)

이것은 대부분의 클럭 발생회로가 가지고 있는 harmonic locking의 문제로 제안된 구조의 위상 검출기도 역시 hybrid 형태의 추가적인 루프를 이용한 주파수의 초기화가 이루어지지 않을 경우 harmonic locking의 위험이 있다. 이러한 불안정한 동작을 막기 위해서 낮은 주파수의 외부 클럭에 내부 클럭을 동기시켜 주파수를 초기화시킨 후 데이터를 받아서 다른 루프의 위상 검출기를 통해 데이터를 복원하기 위한 클럭을 복원하게 하였다. 설계된 클럭 / 데이터 복원회로의 성능을 검증하기 위해서 각각의 루프에 대한 시뮬레이션과 두 개의 루프를 시간에 따라 선택하는 시뮬레이션을 수행하였다. 회로의 성능과 안정성은 전압제어 발진기의 제어 전압을 살펴봄으로써 알 수 있는데, 그 제어전압의 변화되는 형태에서 그 회로가 어떻게 동기 되어 가는가와 동기된 후에 얼마나 안정적인가, 또 동기 되는데 어느 정도의 시간이 걸리는가를 알 수 있다. 그림 10은 낮은 주파수의 외부 클럭을 입력으로 하여 8배의 주파수를 가진 클럭을 발생시키도록 하는 PLL 루프인 루프 A의 동작을 시뮬레이션한 것으로 VCO

의 제어전압인 전하펌프의 출력 단을 관찰한 것이다. 그림 10에서 알 수 있듯이 $f_{ref} = 200\text{MHz}$, $f_{vco} = 1.6\text{GHz}$ 의 경우에 동기 되는 시간은 약 $0.8\mu\text{s}$ 로 최적화된 동기 특성을 나타내고 있다.

그림 11은 Gbps의 높은 속도의 데이터를 수신할 경우 동기된 클럭을 발생시키기 위한 전하펌프의 출력단을 나타내고 있는 것으로 제안된 위상 검출기가 포함된 루프 B의 동작을 나타내고 있다. 각각 수신된 데이터가 1.65Gbps, 1.55Gbps, 1.45Gbps일 때의 VCO 제어전압을 나타낸 것으로 앞에서 언급했듯이 harmonic locking의 위험이 있으므로 초기 주파수가 목표 주파수의 10%이내에 있다고 가정했을 때의 초기 값으로 시작하였다. 각각의 경우 약 $0.3\mu\text{s}$ 의 시간이 흐른 후 동기가 되어 데이터를 복원할 수 있게 된다.

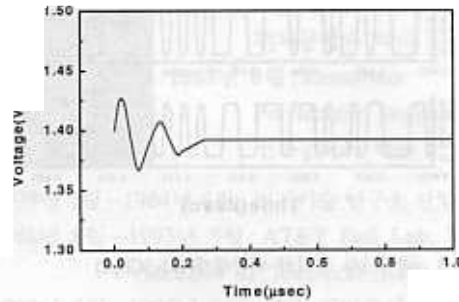


그림 12. 루프 B의 위상 검출기 제어전압 파형 (@1.55Gbps)

그림 12는 1.55Gbps의 데이터를 수신했을 때의 위상 검출기의 시간지연 제어전압을 나타내고 있다. 위상 검출기의 경우 그 지연시간이 가변적으로 변해 가는 것이 중요할 뿐 순간적으로 위상 편이를 일으키는 루프 필터 저항의 제어전압 성분은 오히려 위상 검출기의 동작에 잡음을 일으킬 수 있기 때문에 VCO를 제어하는 전압을 바로 가하지 않고 루프 필터의 캐패시터의 전압 성분만으로 위상 검출기의 동작을 제어하도록 하였다.

그림 13은 두 가지 루프의 선택적인 동작의 전압 제어 발진기의 제어전압을 보여주고 있다. 처음 외부 클럭에 의해 전압제어 발진기의 주파수가 초기화되어 동기가 되고 데이터의 수신으로 $1.5\mu\text{s}$ 부터는 제어신호를 변화시켜 동작 루프를 바꾸어 수신된 데이터에 동기된 클럭을 발생시키게 된다. 동기에 걸리는 시간은 약 $0.2\mu\text{s}$ 로 나타나고 있고, 데이터는 PRBS (sequence length 2^7-1)를 이용하여 생성하였다.

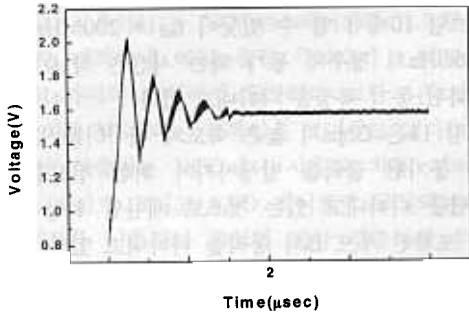


그림 13. VCO 제어전압 파형(@1.5GHz)

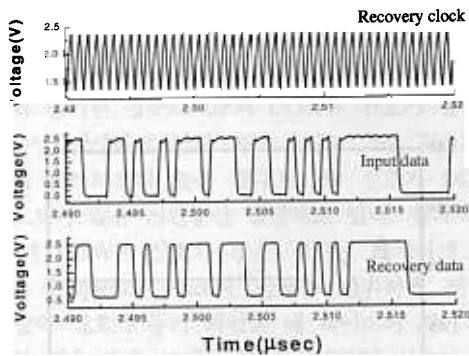


그림 14. 데이터와 클럭의 위상관계(@1.5Gbps)

표 1. 제안된 클럭 / 데이터 복원회로의 사양

항 목	성능 및 사양
사용 공정	아남 AA2533C07 (CMOS 0.25μ m)공정
입력 데이터	1.4 Gbps - 1.7 Gbps
출력 주파수	1.4 GHz - 1.7 GHz
루프 대역폭	52 MHz
사용 전원	3.3V / 2.5V / 0.0V
소비 전력	57.4 mW (core)
칩 면적	500μm × 700μm(core)

그림 14는 입력 데이터와 복원된 데이터와 클럭을 보여주고 있는 것이다.

표 1은 이상의 시뮬레이션 결과를 정리하여 제안된 클럭 / 데이터 복원 회로의 성능 사양을 나타내었고, 설계된 칩은 11회 IDEC MPW를 통해 제작될 예정이다.

V. 결 론

본 논문에서는 GHz 대역의 고속 클럭 신호를 필요로 하는 데이터 통신 시스템 분야에 응용될 수 있는 새로운 구조의 클럭 / 데이터 복원회로를 제안하였다. 제안된 회로는 고속의 데이터 전송시 주로 사용되는 NRZ 형태의 데이터 복원에 적합한 구조를 갖추고 있으며 안정적인 클럭을 제공할 수 있다.

제안된 구조는 수신된 데이터를 지연소자를 통과시켜 3개의 위상을 갖는 신호를 생성시키고 XOR 게이트와 AND 게이트를 사용하여 클럭과 위상을 비교하여 데이터의 천이가 있을 경우만 동작하도록 하였다. 따라서, 데이터의 천이가 발생하지 않을 경우 즉, "0" 혹은 "1"이 연속될 경우 발생되었던 잡음을 차단하였고, 기존의 위상 동기회로가 갖는 주요 잡음원인인 high frequency jitter를 방지하도록 하였다. 또, 가변적인 지연시간을 갖는 지연소자를 이용한 위상검출기를 제안하여 위상 검출기가 갖는 dead zone 문제를 없애고, 항상 최적의 동작을 수행할 수 있게 되어 빠른 locking time을 갖도록 하였다.

본 연구에서는 1Gbps 이상의 대용량의 데이터를 복원하기 위한 클럭 생성을 목표로 하여 CMOS 0.25μm공정을 사용하여 설계한 후 그 동작을 data와 clock의 phase error에 따른 post-layout simulation을 통해 검증하였다. 이 회로는 두 개의 루프를 갖는 hybrid 형태로 외부의 제어신호에 의해 각 루프를 선택적으로 동작하게 하여 데이터 전송이 중단되었을 경우에도 안정적인 시스템 클럭을 발생할 수 있도록 하였다. 각각의 루프에 대한 시뮬레이션을 통해 그 안정적인 동작을 검증하였다.

전체적으로 1.4 Gbps에서 1.7 Gbps까지의 데이터를 수신하여 복원할 수 있게 하였고, 동기 시간은 동기를 위한 외부 입력의 150 - 250 클럭 주기의 시간이 걸리게 되었으며, 약 57.4mW의 전력소비를 보인다. 또, 전체 시스템은 Gigabit Ethernet Protocol에 맞추어 설계되어 high speed switch 및 data transceiver에 널리 이용될 수 있을 것이다.

참 고 문 헌

- [1] S. Gogaert and M. Steyaert, "A skew tolerant CMOS level-based ATM data-recovery system without PLL topology," *CICC'97 Dig. Tech.*

Paper, pp. 453-456, 1997.

- [2] B. Razavi, *Monolithic Phase-Locked Loops and Clock Recovery Circuits - Theory and Design*, IEEE Press, 1996.
- [3] David A. Johns and Ken Martin, *Analog Integrated Circuit Design*, wiley, 1997.
- [4] C. R. Hogge, Jr., "A self correcting clock recovery circuit", *J. of Lightwave Technology*, vol. 3, No. 6, Dec. 1985.
- [5] Bang-Sup Song and David C. Soo, "NRZ Timing Recovery Technique for Band-Limited Channels," *IEEE J. Solid-State Circuits*, vol. 32, no. 4, pp. 514-520, 1997.
- [6] J. Maneatis, "Low-Jitter and Process-Independent DLL and PLL Based on Sief-Biased Techniques," *ISSCC Digest of Technical Paper*, 1996
- [7] John P. Uyemura, *Circuit Design for CMOS VLSI*, Kluwer Academic Publishers, 1993.

이 재 욱(Jae-Wook Lee)

정회원



1999년 2월 : 연세대학교
전자공학과 졸업
1999년 3월~현재 : 연세대학교
전기전자공학과
석사과정

<주관심 분야> High-speed serial link & PLL.
mixed-mode circuit

정 태 식(Tae-Sik Cheung)

정회원



1993년 2월 : 연세대학교
전자공학과 졸업
1995년 8월 : 연세대학교
전자공학과 석사
2000년 2월 : 연세대학교
전기·컴퓨터공학과 박사

2000년 4월~현재 : 한국전자통신연구원 고속스위칭팀
선임연구원

<주관심 분야> High-speed serial link & PLL.
mixed-mode circuit

김 정 태(Jung-Tae Kim)



1989년 2월 : 영남대학교
전자공학과 졸업
1991년 8월 : 연세대학교
전자공학과 석사
1996년 3월~현재 : 연세대학교
전자공학과 박사과정

1991년 8월~1996년 2월 : 한국전자통신연구원
(ETRI) 선임연구원

1996년 3월~현재 : 동원대학 정보통신과 조교수.
<주관심 분야> Microwave photonics, VLSI Design.

김 재 석(Jaeseok Kim)

정회원



1977년 2월 : 연세대학교 공과대학
전자공학과 학사
1979년 2월 : 한국 과학원 전기 및
전자공학과 석사
1988년 8월 : Rensselaer
Polytechnic Institute
전자공학과 박사

1979년 2월~1984년 4월 : 전자기술 연구소 선임연구원
1988년 8월~1993년 5월 : AT&T Bell Lab. MTS

(Member of Technical Staff)

1993년 5월~1996년 2월 : 한국 전자통신 연구소
VLSI 구조 연구실장

1996년 2월~현재 : 연세대학교 전기·전자공학과 교수
<주관심 분야> 통신 IC 설계, 영상 압축용 ASIC
설계, 고속 DSP 설계, VLSI 설계와 CAD

최 우 영(Woo-Young Choi) 정회원



1988년 5월 : Massachusetts
Institute of Technology의
EECS Department B.S.
및 M.S. 취득.
1994년 5월 : 동대학원 Ph.D.
취득.

1994년 10월~1995년 8월 : 일본 NTT 광전자
연구소 Post-Doctoral Fellow.

1995년 9월~현재 : 연세대학교 전기 전자공학과
부교수.

<주관심 분야> 초고속 시스템 설계 및 해석과 이의
구현을 위한 소자 연구