

# Muxed Oscillator를 이용한 622Mbps 버스트모드 클럭/데이터 복원회로

정희원 김 유근\*, 이 천 오\*, 이 승 우, 채 현 수, 류 현 석, 최 우 영\*

## Novel 622Mb/s Burst-mode Clock and Data Recovery Circuits with the Muxed Oscillators

Yu-Gun Kim\*, Chun-Oh Lee\*, Seung-Woo Lee, Hyun-Su Chai, Hyun-Suk Ryu, Woo-Young Choi\* *Regular Members*

### 요 약

새로운 구조의 622Mbps급 버스트 모드 클럭/데이터 복원 회로를 구현하였다. 회로는 2개의 muxed oscillator (MO)와 위상 동기 회로 등으로 구성되어 있으며, passive optical network (PON) 시스템에 사용될 수 있도록 instantaneous locking 특성을 갖는다. 또한, 지터가 내재된 데이터가 인가되어도 데이터에 따라 클럭이 연동되어 항상 최적의 샘플링 포인트를 갖는다. 이 회로는 0.35 $\mu$ m CMOS 공정을 이용하여 제작되었다. 측정 결과 제안된 클럭/데이터 복원 회로는 400Mbps 680Mbps 까지의 버스트 모드 입력 데이터를 에러없이 복원하였다.

Key Words : PLL; clock data recovery; burst mode

### ABSTRACT

Novel 622Mb/s burst-mode clock and data recovery (CDR) circuits with muxed oscillators are realized for passive optical network (PON) application. The CDR circuits are implemented with 0.35 $\mu$ m CMOS process technology. Lock is accomplished on the first data transition and data are sampled in the optimal point. The experimental results show that the proposed CDR circuits recover the incoming 400Mbps-680Mbps burst mode input data without error.

### I. 서 론

Continuous mode 통신 시스템의 수신단에서는 입력 데이터의 지터를 최소화 하도록 위상 동기 회로 기반의 클럭/데이터 복원 회로를 많이 사용한

다<sup>(1)</sup>. 하지만 PON (Passive Optical Network) 시스템에서와 같이 빠른 locking 시간을 요구하는 버스트 모드 수신단의 구현을 위해서는 locking 시간이 긴 기존의 위상 동기 회로 기반의 클럭/데이터 복원 회로를 사용하지 않고 multi-phase 방식이나 gated-oscillator의 방식

\*연세대학교 전기전자공학과 초고속정보전송연구실(wchoi@yonsei.ac.kr)

논문번호 : 030043-0127, 접수일자 : 2003년 1월 27일

※본 연구는 삼성 종합 기술원의 지원으로 수행되었습니다.

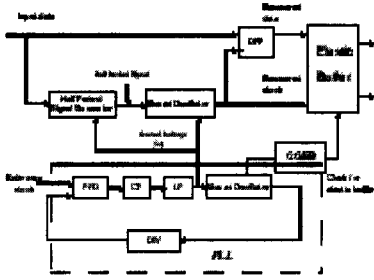


그림 1 제안한 클럭/데이터 복원 회로의 전체 블록도

이 제안되었다<sup>[2-3]</sup>.

본 논문에서는 1bit 이내의 acquisition 시간을 갖는 새로운 구조의 622Mbps급 버스트모드 클럭/데이터 복원 회로를 제안하고, 이를 구현하였다. 이 회로에서는 muxed oscillator (MO)라는 새로운 구조의 블록을 제안하여 클럭/데이터 복원 블록과 위상 동기 회로에 사용하였다. MO는 데이터 천이 유무에 따라 2가지 경로를 갖는다. 이를 이용하여 빠른 acquisition 시간을 갖고, jitter를 내재한 입력에도 항상 데이터의 중앙에 클럭이 정렬되도록 하여 최적의 샘플링 시점에서 데이터를 복원하게 된다. 제안한 구조에 대한 검증은 위하여 MOSIS TSMC 0.35 $\mu$ m CMOS공정을 이용하여 칩을 제작하고, 측정을 통해 칩의 동작을 확인하였다.

## II. CDR 회로의 구성과 동작원리

본 연구에서 구현한 클럭/데이터 복원 회로의 전체 블록도가 그림 1에 나와 있다. 전체 회로는 입력 데이터를 받아 데이터와 클럭을 복원하는 블록, 시스템 클럭을 제공하는 위상 동기 회로 (Phase Locked Loop)로 구성되어 있다. 위상 동기 회로에서의 오실레이션 주파수와 동일한 클럭이 MO에서 생성되며, 이 클럭으로 데이터를 샘플링하게 된다. 이 때 MO는 데이터의 천이 유무에 따라 2가지 경로를 가지며 동작함으로써, 빠른 acquisition 시간을 가지며 클럭을 optimal point에 위치하도록 한다.

위상 동기 회로는 주파수/위상 검출기 (PFD)와 전하펌프 (Charge Pump), 루프필터 (Loop Filter), 분주기 (Divider)와 VCO (Voltage Controlled Oscillator)로 사용되는 MO로 구성

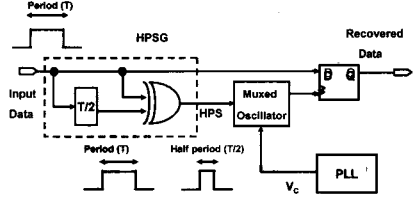


그림 2 자세한 클럭/데이터 복원 블록

되어 있다. 위상 동기 회로는 외부에서 시스템 클럭을 제공하는 일반적인 구조를 사용하였으나, VCO로써 MO가 사용되었다는 점이 특징이다. 본 연구에서 사용된 위상 동기 회로는 half rate 주파수로 동작하는데, 이는 클럭/데이터 복원 회로에서 클럭의 양쪽 edge를 사용하기 때문이다. 분주는 8분주를 하여 VCO출력 주파수의 1/8에 해당하는 시스템 클럭을 인가하도록 하였다. 위상 동기 회로의 동기 범위는 200MHz - 400MHz가 되도록 설계하였다. 본 논문에서는 2차 루프 필터를 이용하여 3차의 위상 동기 회로를 구성하였다. 저항 및 캐패시터들의 값은 각각 1.2k와 200pF 및 20pF를 사용하였다. VCO의 이득은 100MHz/V이고, 전하펌프의 전류는 300 $\mu$ A이다.

클럭과 데이터를 복원하는 블록은 MO (Muxed Oscillator), 입력과 이의 반주기 지연된 신호를 XOR 하여 HPS (Half Period Signal)를 생성하는 HPSG (Half Period signal Generator)와 D-FF으로 구성되어 있다. 일반적인 빠른 locking 특성의 클럭/데이터 복원회로는 입력 데이터에 대한 지터 감소 기능이 없기 때문에, 그림 1과 같이 elastic 버퍼를 이용하여 보다 깨끗한 데이터와 클럭을 얻을 수 있다<sup>[4]</sup>. Elastic 버퍼는 입력 지터를 제거하기 위하여 지터가 없는 클럭으로 다시 retiming 시켜준다. 따라서 elastic 버퍼의 입력으로 복원된 클럭과 이에 정렬되어 있는 데이터, 그리고 지터가 없는 클럭이 사용되고 출력으로 깨끗한 데이터와 클럭이 복원되는 것이다. 그러나 본 연구에서는 이러한 elastic buffer는 구현되지 않았고, elastic buffer 블록을 추가했을 때 필요한 깨끗한 클럭을 생성하는 블록 (CGEB)만을 추가 하였다. CGEB는 위상 동기 회로의 VCO에서 90° 차이의 위상을 가진 2개의 클럭을 XOR하여 깨끗한 클럭을 생성한다.

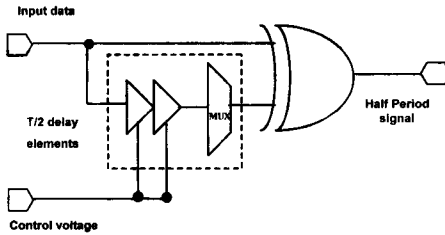


그림 3 HPSG의 회로도

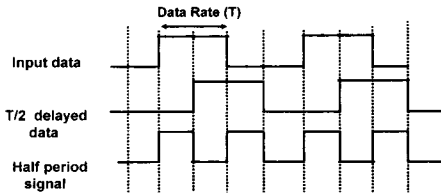


그림 4 HPSG의 입출력 파형  
(a) 입력 데이터  
(b) 반주기 지연 데이터  
(c) HPS

그림 2는 클럭/데이터 복원 블록을 보다 자세히 나타낸 그림이다. HPSG는 그림 3과 같이 입력 신호 데이터 주기의 반주기( $T/2$ )만큼 지연시키는 지연소자와 XOR로 구성되어 있다. HPS는 데이터의 천이가 있을 때마다 발생하고, 천이가 없을 때는 발생하지 않는다. 반주기 지연 소자는 위에서 설명할 MO의 일부를 사용해서 지연 소자들이 MO와 같은 전압으로 제어된다. 그 결과 HPSG는 주파수에 상관없이 항상 반주기의 신호를 생성한다. 그림 4는 동작 설명을 위한 타이밍도이다. 그림에서와 같이 데이터의 천이가 있을 때에 반주기의 펄스가 발생함을 알 수 있다.

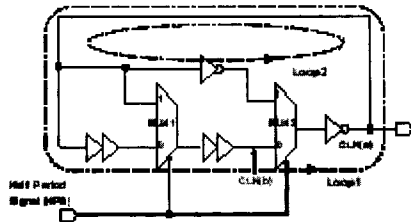


그림 5 MO의 회로도

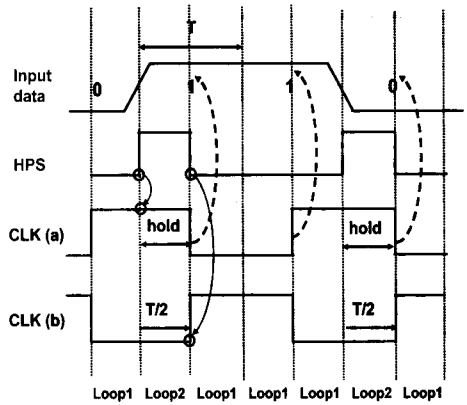


그림 6 MO의 타이밍도

그림 5는 MO를 나타낸 그림이다. MO는 위상 동기 회로의 전압 제어 신호에 의해 제어되는 지연 소자, HPSG에서 생성되는 HPS에 의해 제어되는 MUX와 반전기 (inverter)로 구성되어 있다. 그림에서와 같이 MO는 HPS의 값에 따라 2개의 loop를 갖는다. 만약 반주기 신호 값이 로직 'low' (데이터의 천이가 없을 때) 이면, loop1이 선택된다. 이때, MO는 일반적인 링 오실레이터로 동작하게 된다. HPS 값이 로직 'high' (데이터의 천이가 있을 때) 이면, loop2가 선택되어 MO는 이전 값을 유지하는 buffer로써 동작하게 된다. 그림 6은 MO의 동작 설명을 위한 타이밍도이다. 입력 데이터 신호가 0110이면, HPS는 데이터의 천이가 있을 때 발생된다. clk(a)는 D-FF 입력으로 사용되고 데이터를 샘플링하는 클럭이다. 앞서 설명과 같이 HPS가 'high'로 유지될 때, MO는 loop2를 선택하여 clk(a)와 clk(b)는 반주기 ( $T/2$ ) 동안 값을 유지한다. 반주기 신호가 'low'가 되면 MO는 일반적인 링 오실레이터로 동작한다. 이 때의 오실레이션 주파수는 위상 동기 회로에서 VCO로써 사용된 MO와 동일하다. MO를 위상 동기 회로 내의 VCO로 사용하기 위해 두 개의 MUX에 로직 'low' (loop1)을 인가하여 링 오실레이터로 동작시킨다. 그래서 그림 6과 같은 타이밍도를 얻을 수 있다. clk(a)를 double edged D-FF에 클럭신호로 인가할 때 데이터가 들어오면 바로 복원하게 되고, 지터를 내재한 입력이 들어와도 거기에 따라 clk(a)가 연동되어 데이터의 중앙에 clk(a)가 정렬된다. 따라서 오류없는 데이터 복원이 가능하다.

### III. 클럭/데이터 복원 회로의 측정

앞서 언급한 블록들을 합쳐 그림 1과 같이 전체 블록을 완성하게 된다. MO에서 생성된 클럭 주파수는 데이터 주파수의 1/2이므로 데이터를 샘플링할 때는 double-edged D-FF을 사용한다. 제안한 회로를 검증하기 위하여 MOSIS TSMC 0.35 $\mu$ m CMOS공정을 이용하여 칩을 제작하였다. 그림 7은 제작된 클럭/데이터 복원회로의 사진이다. 모든 입출력 버퍼에 ESD 보호회로를 포함하였고, 전체 면적은 2.1 $\times$ 2.1mm<sup>2</sup>, I/O를 제외한 core의 면적은 0.7 $\times$ 0.8mm<sup>2</sup>이고 32pin TQFP plastic package로 제작되었다.

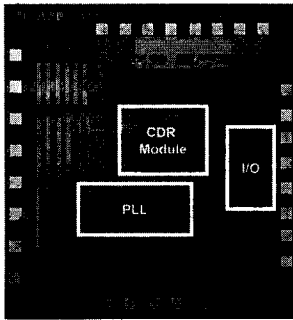


그림 7 제작된 칩사진

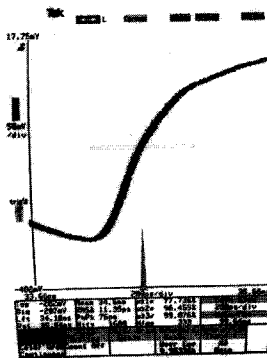


그림 8 위상 동기 회로내의 VCO 출력의 지터 특성

측정 결과, 위상 동기 회로의 동작 범위는 200-400MHz로 나타났다. 그림 8은 300MHz에서의 위상 동기 회로내의 VCO 출력의 지터 측정 그림이다. RMS 지터가 11.35ps, 최대 (peak-peak) 지터가 76ps로 나타났다. 최소 주파

수인 200MHz에서는 RMS 지터와 최대 지터가 각각 15.5ps, 96ps로 나타났으며 최대 주파수인 400MHz에서는 각각이 11.7ps, 84ps로 나타났다.

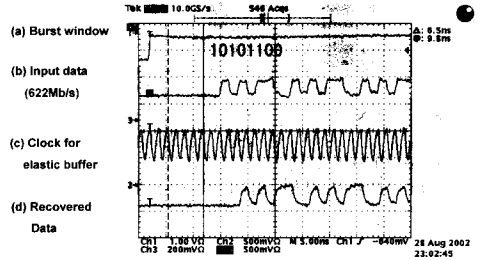


그림 9 버스트 모드 입력과 복원된 데이터  
(a) 버스트 윈도우  
(b) 입력 데이터  
(c) elastic 버퍼용 클럭  
(d) 복원 데이터

Anritsu MP1632A/C 3.2G BERT를 이용하여 버스트모드 입력 데이터를 만들어 측정하였다. 버스트 모드 입력의 생성을 위해 PRBS에 burst window를 씌워 버스트 모드 입력 packet을 만들었다. 실험에서는 burst window의 크기를 30 $\mu$ s, burst window의 간격을 50 $\mu$ s로 하였다. 그림 9는 burst window와 622Mbps 입력 데이터, 복원 데이터와 elastic buffer에 사용될 클럭을 보인 그림이다. 데이터 패턴은 10101100의 8bit를 반복하여 인가하였으며, 정확히 복원됨을 알 수 있다. 측정결과  $2^{31}-1$ 의 PRBS 인가시 400Mbps-680Mbps 범위에서 error 없이 동작됨을 확인하였다. 그림 9-(c)의 elastic buffer에 사용될 클럭은 앞 절에서 언급했듯이 위상 동기 회로의 VCO에서 합성한 클럭이다.

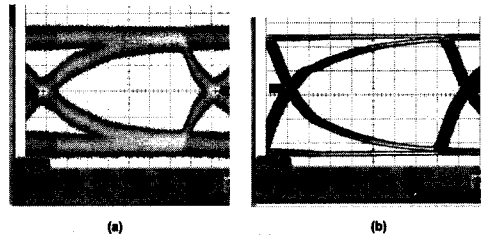


그림 10 지터 인가된 400Mb/s 입력과 출력의 eye 다이어그램  
(a) 지터 인가된 입력의 eye 다이어그램  
(b) 출력의 eye 다이어그램

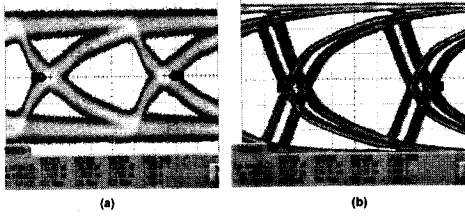


그림 11 지터 인가된 622Mb/s 입력과 출력의 eye 다이어그램  
 (a) 지터 인가된 입력의 eye 다이어그램  
 (b) 출력의 eye 다이어그램

제안된 클럭/데이터 복원 회로가 지터가 내재된 입력에 대해서도 오류없는 동작을 하는지 알아보기 위한 실험을 수행하였다. 그림 10-(a)와 10-(b)는 각각이 입력 데이터 rate가 400Mb/s 일 때의 입력과 복원된 데이터의 eye diagram이다. 입력 데이터에 지터를 인가하기 위하여 5m의 twin-axial 케이블을 통과시켰다. 그림 11-(a)와 11-(b)는 각각이 입력 데이터 rate가 622Mb/s 일 때의 입력과 복원된 데이터의 eye diagram이다. 622Mb/s 일 때의 데이터 경로가 2개로 나타나는데, 이것은 출력 버퍼의 band-width가 데이터 rate을 따라가지 못한 것이라 판단된다. 표 1은 제작된 칩의 사양을 나타낸 것이다.

표 1. 성능요약  
 Table 1. Performance summary

|                             |  |
|-----------------------------|--|
| Process                     | 0.35 $\mu$ m CMOS technology                         |
| Power dissipation @VDD=3.3V | About 280mW (I/O include)<br>About 130mW (core)      |
| Chip size                   | 2.1 $\times$ 2.1mm (전체)<br>0.7 $\times$ 0.8mm (core) |
| Package                     | 32pin TQFP plastic package                           |
| Lock range                  | 400Mbps - 680Mbps                                    |

#### IV. 결 론

빠른 locking 특성을 갖는 622Mbps 버스트 모드 클럭/데이터 복원 회로를 MOSIS TSMC 0.35m CMOS공정을 이용하여 설계 제작하였다. 제작된 클럭/데이터 복원 회로는 622Mbps 버스트

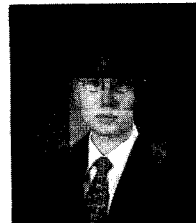
모드 데이터를 1bit내에 복원하며, 지터를 내재한 입력에 연동될 수 있도록 MO를 제안하여 설계함으로써, 데이터 중앙에 클럭을 정렬시킨다. 측정 결과 622Mb/s에서의 버스트 입력을 에러없이 복원하였고, 지터를 인가한 PRBS 입력에 대해 400Mbps-622Mb/s 까지 error 없이 동작됨을 확인하였다. 제작된 버스트 모드 클럭 복원 회로는 ATM-PON이나 E-PON 시스템등에 이용될 수 있다.

#### 참 고 문 헌

- [1] B. Razavi, A 2GHz 1.6mW Phase-Locked Loop, in Digest of Technical Papers of the 1996 Symposium on VLSI Circuits, pp.26-27, 1996.
- [2] Kim, B.; Helman, D.N.; Gray, P.R. A 30 MHz high-speed analog /digital PLL in 2  $\mu$ m CMOS, Solid-State Circuits Conference, pp 104-105, 1990
- [3] Banu, M.; Dunlop, A.E., Electronics Letters, Vol 28, pp. 2127-2130, 1992
- [4] Alfred E. Dunlop, Wilhelm C. Flscher, Mihai Banu, Thaddeus Gabara, 150/30Mb/s CMOS Non-Oversampled, in Proceedings of the 1995 IEEE International Solid State Circuit Conferences, pp.44-46, 1995.

김 유 군(Yu-Gun Kim)

준회원



1997년 2월 : 연세대학교  
 전자공학과 졸업  
 1999년 8월 : 연세대학교  
 전기전자공학과 석사 졸업  
 1999년 9월~현재 : 연세대학교  
 전기전자공학과 박사과정

<주관심분야> High-speed serial link & 버스트 모드 CDR.

이 천 오(Cheon-O Lee)

준회원

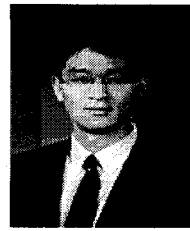


2001년 2월 : 숭실대학교  
정보통신공학과 졸업  
2003년 2월 : 연세대학교  
전기전자공학과 석사 졸업  
현재 : 삼성전자 연구원

<주관심분야> 고속 I/O 설계, 클럭&데이터 복원회로 설계, 고속 직렬 링크 설계

최 우 영(Woo-Young Choi)

정회원



1986년 : Massachusetts  
Institute of Technology 의  
EECS Department B.S. 취득.  
1988년 : 동대학원 M.S. 취득.

1994년 : 동대학원 Ph.D. 취득.  
1994년 ~ 1995년 : 일본 NTT 광전자 연구소  
Post-Doctoral Fellow.  
1995년 ~ 현재 : 연세대학교 전기 전자공학과, 부  
교수.

<주관심분야> 고속 Interface 회로 설계 및  
Microwave Photonics

이 승 우 (Seung-Woo Lee)

비회원

1995년 2월 : 연세대학교  
전자공학과 졸업  
1997년 2월 : 연세대학교  
전자공학과 석사 졸업  
2002년 2월 : 연세대학교 전기전자공학과 박사졸업  
현재 : 하이닉스 반도체 연구원

<관심분야> 아날로그 회로.

채 현 수(Hyun-Su Chai)

비회원



1997년 2월 : 광운대학교  
전자공학과 졸업  
1999년 2월 : 광운대학교  
전자공학과 석사 졸업  
현재 : 삼성종합기술원 연구원

<주관심분야> 아날로그 회로, High speed TRx.

류 현 석(Hyun-Suk Ryu)

비회원

1994년 2월 : 포항공대 전자공학과 석사 졸업  
1998년 2월 : 포항공대 전자공학과 박사 졸업  
1998년 3월 ~ 현재 : 삼성종합기술원 연구원

<주관심분야> 광통신 시스템, 액세스 시스템.