

Low-Barrier Body-Contact SOI
NMOSFET의 항복전압 최적화

연세대학교 대학원

전자공학과

장 민 우

Low-Barrier Body-Contact SOI NMOSFET의 항복전압 최적화

지도 최 우 영 교수

이 논문을 석사학위논문으로 제출함




1998년 12월 일

연세대학교 대학원

전자공학과

장 민 우

장민우의 석사학위논문을 인준함

심사위원 최우영 
심사위원 손필재 
심사위원 고대홍 

연세대학교 대학원

1998년 12월 일

감사의 글

길지 않은 대학원 생활의 결실인 이 한편의 논문을 위해 부족한 저를 물심양면으로 격려해 주시고 이끌어주신 여러분들께 감사를 드립니다. 각별한 관심과 자상한 배려로 지도해 주시고, 오묘한 학문의 길을 가르쳐 주신 최우영 교수님과 김봉열 교수님의 은혜에 깊은 감사를 드립니다.

본 논문을 심사해 주시고 부족한 점을 자상하게 지도해 주신 세라믹 공학과의 고대홍 교수님께도 감사를 드립니다. 그리고 대학원 생활동안 많은 가르침을 주신 박규태 교수님, 차일환 교수님, 이상배 교수님, 강창언 교수님, 박한규 교수님, 이문기 교수님, 박민용 교수님, 윤대회 교수님, 김재희 교수님, 이재용 교수님, 홍대식 교수님, 송홍엽 교수님, 이철희 교수님, 강문기 교수님, 한건희 교수님께 감사를 드립니다. 학부시절 사랑과 정성으로 지도해주신 한국과학기술원 박동조 교수님, 한철희 교수님께도 머리 숙여 감사를 드립니다.

연구실 생활동안 한결같은 모습으로 많은 조언과 격려를 해주신 정태식 선배님, 본 연구에 가장 큰 도움을 주시고 여러모로 자상하게 살피주신 김경환 선배님, 연구실의 굵은 일을 묵묵히 해온 방장 이승우 선배님, 같이 땀을 흘리며 고생한 대학원 동기 옹호형, 세운이형, 웅상어와 힘들지 않은 연구실 생활이 되도록 도와준 유근어, 명수, 성훈어, 영광이형, 형곤어에게 고마운 마음을 전합니다.

또한, 연구실 최고참어신 김정태 선배님과 퇴근길의 동반자 동열어형, 우경어를 비롯한 CADII의 많은 분들, 승호형, 성주형을 비롯한 CADI의 많은 분들께도 고마움을 전합니다. 먼저 졸업한 믿음직한 상오, 유쾌한 자용어형, 한상어, 뽀질이 종수에게도 다시금 고맙다는 말을 전하고 싶습니다. 어려울 때 많은 힘이 되어준 친형제 같은 상수와 대학선배 재우형과 기석어형, 대학동기 재철어, 정환어와 후배 종철어, 언호, 동규, 준혁어, 특히, 한국과학기술원 사진동아리 벵따라 선후배님들에게 진심으로 감사한 마음을 전합니다.

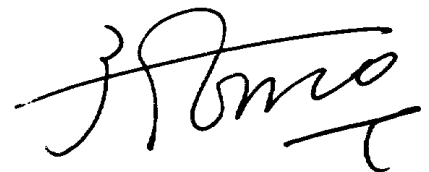
대학원 생활동안 곁에서 언제나 염려하고 지극한 정성으로 내조해준 사랑하는 아내 정아에게는 이 세상 그 어떤 표현도 고마운 마음을 전하기엔 초라할 따름입니다.

그리고, 부족한 아들을 항상 믿어주시는 부모님과 친아들처럼 아껴주시는 장인, 장모님께도 깊은 감사를 드리고, 형님 내외분과 형 노릇을 제대로 못해줘서 늘 미안한 동생 운우와 처남 내외분과 멀리 어국 땅 미국에 유학중인 처형 운희 누님께 고마운 맘을 전합니다.

저를 위해 보이는 곳에서 보이지 않는 곳에서 기도해주시고 성원해주신 일일이 열거할 수 없어 많은 고마운 분들께 부족하나마 이 논문을 바칩니다.

일천구백구십팔년 십이월

장 민 우



차 례

그림 차례	iii
표 차례	v
국문 요약	vi
제 1 장. 서론	1
제 2 장. Silicon-On-Insulator MOSFET	3
제 2-1 절. 벌크 소자와 SOI 소자 비교	5
제 2-2 절. SOI 소자 종류	10
2-2-1 PD SOI 소자	10
2-2-2 FD SOI 소자	12
제 2-3 절. SOI 소자의 문제점	13
2-3-1 기생 BJT 효과	13
2-3-2 FBE 효과	16
제 2-4 절. SOI 소자의 최근동향	21
제 3 장. FBE 해결방안	23
제 3-1 절. 몸체접지 방법(Body Contact)	23
3-1-1 Dual source 구조	25
3-1-2 Bipolar Embedded Source Structure(BESS) 구조	25
3-1-3 Body Contacted SOI 구조	27
3-1-4 소오스-몸체 콘택간 터널링을 이용한 구조	27

제 3-2 절. LBBC SOI MOSFET	29
3-2-1 LBBC SOI MOSFET의 구조 및 특성	29
3-2-2 단채널에서 LBBC SOI MOSFET의 성능악화	31
제 4 장. 시뮬레이션	33
제 4-1 절. 경사각 이온주입의 LBBC 소자	33
제 4-2 절. 시뮬레이션 방법	36
제 4-3 절. 결과 및 분석	39
4-3-1 이온주입 경사각, 에너지 변화에 따른 항복전압 특성	39
4-3-2 공정조건 변화에 따른 항복전압 특성	42
4-2-3 유효 채널길이 변화에 따른 항복전압 특성	46
4-3-4 단채널 효과에 대한 특성	50
4-3-5 전류-전압 특성	52
제 5 장. 결론 및 향후 연구과제	54
참고문헌	56
영문요약	61

그림 차례

그림 2-1. 벌크 MOSFET 소자와 SOI MOSFET 소자의 비교	4
그림 2-2. 벌크 및 SOI CMOS 인버터 비교	6
그림 2-3. SOI 소자의 정전용량 모델	8
그림 2-4. 벌크 소자와 SOI 소자의 SS 특성 비교	8
그림 2-5. PD 및 FD SOI 소자 비교	11
그림 2-6. 기생 BJT 효과의 Model	14
그림 2-7. kink 효과	17
그림 2-8. FD SOI 소자에서 kink 현상의 제거	18
그림 2-9. SOI 소자의 스위칭 동작에 따른 캐리어 분포	20
그림 3-1. Body contact의 레이아웃(layout)	24
그림 3-2. Dual source 구조	26
그림 3-3. BESS 구조	26
그림 3-4. Body contacted SOI 구조	28
그림 3-5. 소오스-몸체 콘택간 터널링을 이용한 구조	28
그림 3-6. LBBC SOI MOSFET 구조	30
그림 3-7. 단채널에서 LBBC 구조의 성능악화	32
그림 4-1. Deep low-barrier 형성을 위한 경사각 이온주입	34
그림 4-2. 소오스-몸체 부근의 변화된 도핑분포	35
그림 4-3. 모의 제작된 LBBC SOI NMOSFET	37
그림 4-4. 이온주입 경사각, 에너지 변화에 따른 항복전압 특성	40
그림 4-5. 실리콘층 두께에 따른 항복전압	44
그림 4-6. 채널 이온주입 도즈에 따른 항복전압	44

그림 4-7. 소오스/드레인 이온주입 도즈에 따른 항복전압	45
그림 4-8. LBBC 이온주입 도즈에 따른 항복전압	45
그림 4-9. 유효 채널길이에 따른 항복전압 및 정공전류	48
그림 4-10. 문턱전압 감소 특성	51
그림 4-11. SS(Subthreshold Swing) 특성	51
그림 4-12. $L_{\text{eff}}=0.12\mu\text{m}$ 소자의 전류-전압 특성곡선	53

표 차례

표 1. SOI 소자의 최근 동향	22
표 2. 시뮬레이션 파라미터	38
표 3. 최적의 LBBC 형성을 위한 공정 파라미터	47

국문 요약

Low-Barrier Body-Contact SOI NMOSFET의 항복전압 최적화

본 논문에서는 PD(Partially Depleted) SOI(Silicon-On-Insulator) 소자의 기생 BJT 효과와 FBE(Floating Body Effect)를 억제하는 LBBC(Low-Barrier Body-Contact) 구조의 최적화를 위한 경사각 이온주입 방법을 제안하였다.

LBBC 구조는 채널길이가 점차 줄어들어 따라 단채널 효과를 겪게 되어 FBE 억제 성능이 악화된다. 경사각 이온주입을 새로이 적용한 LBBC 구조는 편치쓰루 효과가 감소되고 향상된 FBE 억제 성능을 갖음으로써 항복전압이 증가된다. 소자 시뮬레이션을 통해 최적의 경사각 이온주입 조건을 결정하고, 기존의 이온주입 LBBC 구조의 항복전압 특성과 비교하였다. 유효 채널길이 $0.12\mu\text{m}$ 에서 최적화된 경사각 이온주입 LBBC 구조는 기존의 LBBC 구조에 비해 항복전압이 최대 2.3V 향상되며, 단채널 효과(Short Channel Effect - SCE)에 보다 큰 저항력을 갖고 있음을 확인하였다.

SOI 소자를 사용한 아날로그 및 혼합신호 회로에서 높은 항복전압을 갖는 소자가 요구될 경우, 본 논문에서 제시된 LBBC 구조 형성방법은 유용하게 사용될 것으로 기대된다.

핵심되는 말 : SOI, 기생 BJT, Floating Body Effect, 항복전압, 편치쓰루,
단채널 효과, LBBC 구조, 경사각 이온주입

제1장. 서론

휴대용 통신 분야의 급속한 발전에 힘입어 시스템의 저전력화 및 고성능화에 대한 요구는 날로 증가되고 있다. 이를 위해서는 저전력 회로 설계기법의 도입, 소자의 축소 스케일링, 저전력 특성이 우수한 새로운 소자의 사용 등이 필요하다. 새로운 소자의 사용은 가장 효과적인데, SOI(Silicon-On-Insulator) 소자는 저전력, 고성능 특성이 우수하여 근래 들어 많은 관심과 연구의 대상이 되고 있다^[1]. 또한, SOI 소자는 절연체 위의 얇은 실리콘층에 소자가 구성되므로 소오스(source)/드레인(drain)에서의 접합 정전용량이 기존의 벌크(bulk) 소자에 비해 매우 작고, 래치업(latch-up) 현상이 없으며, back gate bias에 덜 민감한 특성 등의 장점을 가지고 있다^[1-2].

그러나, SOI 소자는 전기적으로 몸체(body)가 접지되지 못해 발생하는 기생 BJT(Bipolar Junction Transistor)의 동작과 FBE(Floating Body Effect)의 문제점을 가지고 있다^{[1][4]}. SOI 소자 내에서 열적으로 혹은 충격 이온화(impact ionization)에 의해 생성된 다수 캐리어는 소자의 몸체에 축적되면서 몸체의 전위를 높여 소오스-몸체간에 순방향 바이어스를 유기시킴으로써 횡방향 기생 BJT를 활성화시킨다. 활성화된 횡방향 기생 BJT는 몸체에 보다 많은 다수캐리어가 축적되도록 하는 정제환 루프를 활성화시킴으로써 순간적으로 큰 전류가 흐르게 하는데 이것이 FBE 현상이다. FBE는 횡방향 기생 BJT의 활성화에 의한 self-latch와 문턱전압 이하의 영역에서 드레인 전류의 kink 효과를 일으키며, SOI 소자가 벌크 소자에 비해 매우 낮은 항복전압을 갖게 하는 주된 원인이다^{[1][3][4]}. FBE에 의한 항복전압 감소의 문제를 해결하기 위해서는 몸체에 다수캐리어의 축적을 억제하는 방법이 요구되는데 최근 이에 관한 많은 연구결과가 발표되어 왔다. 발표된 연구 결과는 크게 밴드갭(bandgap) engineering^{[1][5][6]},

채널 engineering^[7-9], 몸체접지 방식^[10-15]등으로 구분된다. 몸체접지 방식의 하나로서 Chan 등이 제안한 LBBC 기법은 소오스 아래 부분에 boron을 이온주입하여 소오스-몸체간 정공의 낮은 전위장벽 경로(low-barrier path)를 형성함으로써, 정공이 몸체에 축적되지 않고 소오스 콘택(contact)으로 흘러 나가도록 하는 것이다^[15]. LBBC 기법은 오프상태(off state)에서 채널 영역이 완전히 공핍되지 않아 벌크 소자와 유사한 특성을 갖는 PD(Partially Depleted) SOI 소자를 근간으로 한다. 구조 자체는 비대칭적이기 때문에 전달 게이트(transmission gate)로서는 적합하지 않으나 아날로그 및 혼합신호(analog & mixed signal) 회로에서 높은 출력 저항, 낮은 flicker 노이즈, 작은 문턱전압 변동, 높은 항복전압 등의 특성을 제공할 뿐만 아니라 기존의 VLSI 제조공정과 호환성을 갖고 있다. 그러나, 유효 채널길이가 감소함에 따라 기존의 LBBC PD SOI 소자 역시 항복전압이 급격하게 감소한다. 이는 충격이온화에 의해 드레인 부근에서 발생한 정공이 펀치쓰루(punchthrough) 현상의 영향을 받아 소오스 아래에 형성된 정공의 낮은 전위장벽 경로를 거치지 않고 직접 소오스쪽으로 흐르기 때문이다.

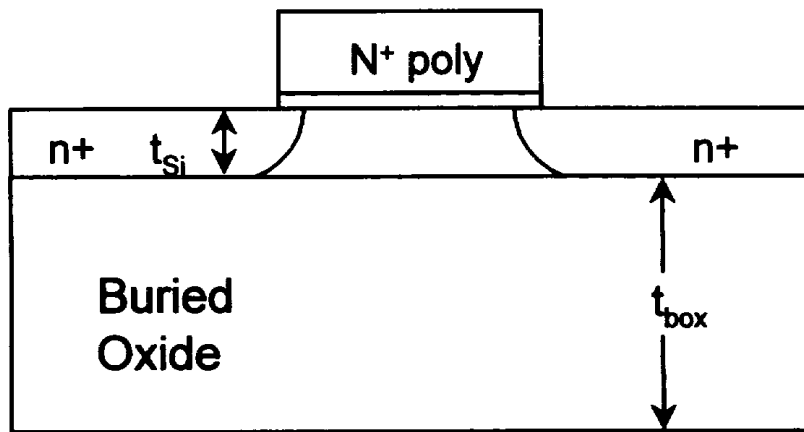
본 논문에서는 소오스 아래 부분의 정공의 낮은 전위장벽 경로를 효과적으로 형성시키기 위한 방법으로 경사각 이온주입 방법을 제안하고, 이온주입 조건의 변화에 따른 항복전압 특성과 단채널 효과에 대한 특성 변화를 TSUPREM-4와 MEDICI를 사용한 시뮬레이션을 통해 분석하였다. 본 논문의 구성은 다음과 같다. 2장에서는 SOI 소자의 구조와 장·단점 및 최근동향에 대하여 설명하고, 3장에서는 PD SOI MOSFET의 FBE 현상의 해결방안 중의 하나인 몸체접지 방법과 LBBC SOI MOSFET의 장단점에 대하여 설명한다. 4장에서는 시뮬레이션을 통해 모의 제작한 소자의 경사각 이온주입 조건 및 공정조건에 따른 항복전압 특성과 단채널 효과에 대한 특성을 분석한다. 마지막으로 5장에서는 본 연구의 결과를 정리한다.

제2장. Silicon-On-Insulator MOSFET

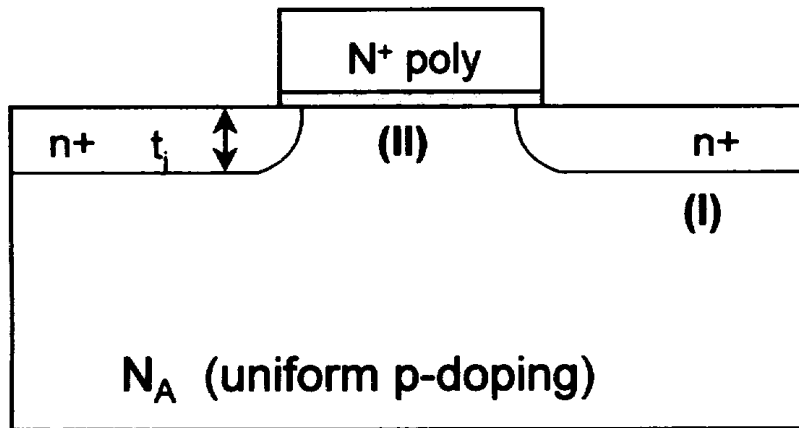
SOI MOSFET은 전기적으로 절연된 물질 위에 얇은 실리콘층이 존재하고 여기에 소자가 형성된 것이다. 얇은 실리콘층과 기판 사이의 절연물질로는 SiO₂, 사파이어, 수정 등이 사용되는데 대개 SiO₂가 많이 사용되고 있으며, 그 구조는 그림 2-1(a)와 같다.

SOI 소자를 제작하기 위한 SOI 기판은 저비용, 대량생산에 적합한 것으로 알려진 SIMOX(Separation by IMplantation of OXygen)와 웨이퍼 접착(Wafer Bonding) 방법을 통해 제작되고 있다. SIMOX에 의한 방법은 박막 SOI 웨이퍼를 제조하는 가장 생산성이 높은 방법들 중의 하나이며, 산소 이온을 $4 \times 10^{17} \sim 2 \times 10^{18} / \text{cm}^2$ 정도의 매우 큰 dose로 이온주입을 하고 높은 온도에서 annealing 하는 방법이다^[16]. 그리고, 웨이퍼 접합은 실리콘 산화물 표면을 갖고 있는 두 장의 웨이퍼를 산화물의 두 표면이 서로 붙을 수 있도록 800℃ 이상으로 가열하여 SOI 기판을 제작하는 방법이다.

SOI MOSFET은 구조적인 특징으로 인해 벌크(bulk) 소자에 비해 매우 작은 접합 정전용량을 갖고, 급격한 SS(Subthreshold Swing) 특성, 절연물질에 의한 래치업 경로 차단 등과 같은 장점들을 갖고 있다. 이를 바탕으로 최근까지 SOI 소자를 적용한 저전력, 고성능의 제품들이 발표되어 왔다. 그러나, SOI MOSFET은 몸체가 전기적으로 접지되지 못하여 기생 BJT의 동작, 드레인 전류에서의 kink 현상, 항복전압(BV_{ds}) 감소 등의 FBE(Floating Body Effects)를 겪게 된다. FBE는 SOI 소자의 특성을 악화시키는 문제들 중 하나이며, 벌크 소자를 대체할 차세대 소자가 되기 위하여 반드시 해결되어야 한다.



(a)



(b)

그림 2-1. 벌크 MOSFET 소자와 SOI MOSFET 소자의 비교

(a) SOI MOSFET 소자

(b) 벌크 MOSFET 소자

제2-1절. 벌크 소자와 SOI 소자 비교

SOI 소자는 벌크 소자에 대하여 구조적 특성으로 인하여 벌크 소자에 비해서 더 작은 접합면적, 간단한 소자간 격리(isolation) 구조, 보다 급한 SS 특성 등의 장점을 갖는다. SOI 소자는 동작속도의 감소를 겪지 않고도 벌크에 비해 낮은 전압으로 구동이 가능하며, 메우기 산화막(buried oxide)에 의해 래치업 경로가 차단되고, 기생 정전용량의 감소, 작은 누설전류를 갖게 되어 벌크 소자에 비해 전력은 90% 정도 절약할 수 있고, 동작속도는 20~300% 정도 향상시킬 수 있다^[18]. 이 중에서 몇 가지만 언급하면 다음과 같다.

첫째, 감소된 기생 접합 정전용량과 강화된 펀치쓰루 현상에 대한 저항성 강화를 들 수 있다. 벌크 소자의 경우 게이트 길이가 짧아지게 되면서 단채널 효과를 막기 위해 채널영역에 강한 도핑을 하여야 하는데 이는 소오스, 드레인과 기판간의 기생 접합 정전용량을 크게 증가시켜 소자의 성능을 악화시키는 단점이 있다. 반면 그림 2-1(a)의 SOI 소자는 벌크 소자인 그림 2-1(b)의 (I) 영역이 메우기 산화막으로 대체되므로 소오스, 드레인 영역의 기생 접합 정전용량이 크게 감소된다. 또한 실리콘층을 충분히 얇게 만들어 펀치쓰루에 대한 저항력이 벌크 소자에 비해 크게 개선됨에 따라 채널 영역에 대한 도핑을 작게 해 줄 수 있는 장점이 있다. 즉, 박막 SOI 소자의 경우는 각 스케일링 과정에서 채널의 도핑을 스케일링 법칙에 따라 변화시킬 필요가 없어 쉽게 스케일링이 가능하며 높은 캐리어 이동도와 속도를 유지하여 큰 전류 구동력을 얻을 수 있다^{[8][17]}.

둘째, 소자간 격리 구조가 벌크 소자에 비해 작고, 래치업 문제가 없다^[18-19]. 소자의 크기가 줄어들고 단위 면적당 집적되는 소자의 갯수가 증가함에 따라 소자간 거리는 크게 감소하여 소자간의 분리는 중요한 문제로 부각되고 있는데, 벌크 CMOS 소자의 경우 well이나 격리 구조는 집적회로의 성능에 중요한 영

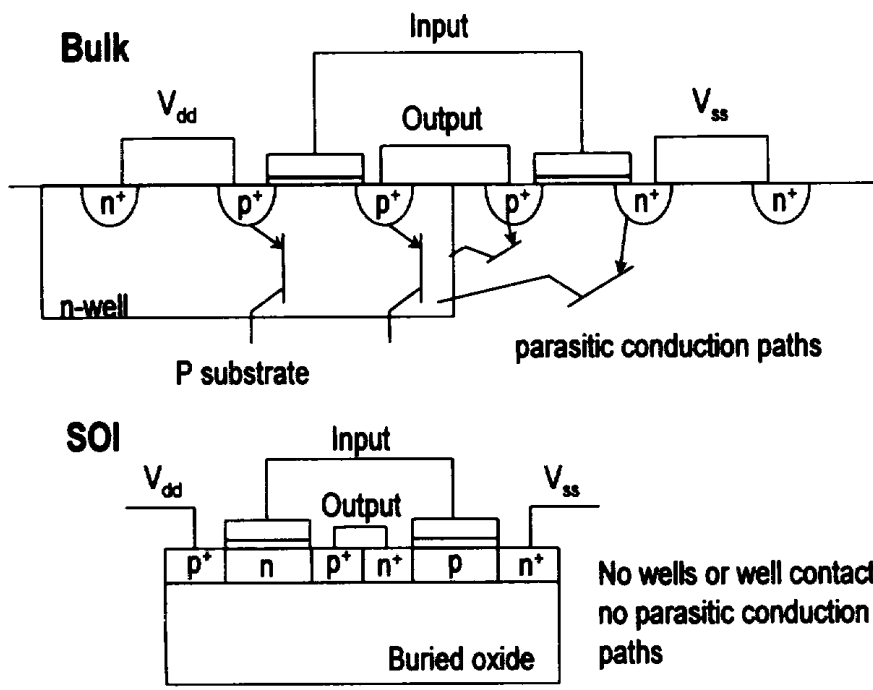


그림 2-2. 벌크 및 SOI CMOS 인버터 비교

향을 미치며, 제한된 면적에 최대로 집적시킬 수 있는 소자의 갯수를 감소시키는 요인이 된다. 반면에 SOI CMOS 소자의 경우 LOCOS(LOCAL Oxidation of Silicon)와 STI(Shallow Trench Isolation) 모두 상부의 얇은 실리콘층 두께 이상으로 깊게 할 필요가 없으므로 공정 시간이 줄어들고 전체 회로 면적을 줄일 수 있다. 그림 2-2는 벌크와 SOI 소자를 이용한 CMOS 인버터 구조이다. SOI 소자의 경우, 기생 바이폴라 소자와 기판에서의 래치업 경로가 차단됨을 볼 수 있고, well이나 buried doped layers 등이 필요 없기 때문에 회로 크기를 크게 감소시킬 수 있다.

셋째, 문턱전압 이하에서의 특성이 기존의 벌크 소자에 비하여 우수하다. 그림 2-3은 SOI 소자의 정전용량 모델을 보여주고 있다^[17]. SS는 긴 채널 벌크 소자의 경우 다음과 같이 근사화될 수 있다.

$$SS = \left(\frac{d \log I_D}{d V_{GS}} \right)^{-1} \approx \frac{kT}{q} \ln 10 \left(1 + \frac{C_j}{C_{ox}} \right) \quad (2-1)$$

식 2-1로부터 SOI 소자의 경우 C_2 가 매우 작아서 접합 정전용량 C_j 를 최소화할 수 있으므로, 이상적인 SS 값을 갖게 됨을 대략적으로 추론할 수 있다. 채널길이 L 가 줄어들 경우, SS 값은 점진적으로 증가하게 되는데 이는 C_4 의 증가에 따른 것이다. 그러나, 이 경우에도 벌크 소자에 비해서는 상당히 좋은 SS 값을 얻을 수 있다. 그림 2-4는 저전압에서 동작시킬 경우 벌크 소자와 SOI 소자의 SS 특성을 비교한 것이다. 저전압 동작을 위해서는 문턱전압도 동시에 저전압으로 조정해줘야 함을 고려하면 벌크 소자에 비해 SOI 소자의 급격한 SS 특성이 매우 유리하게 작용하여 무시할 수 있을 정도의 누설전류 특성을 보인다. 이는 SOI 소자가 저전압, 고성능 소자로 적합함을 의미한다^[20].

반면 SOI 소자에서도 해결되어야 할 문제들이 다수 존재한다^[11]. 이는 크게 공정상의 문제점과 소자의 구조에 기인하는 문제점, SOI 기판 제작시의 문제점 등으로 나뉘어진다. 공정상으로는 격리, 기생저항, 게이트 재료, 산화막의 신뢰도 문제 등이 있다. 소자의 구조에 기인하는 문제로는 몸체가 전기적으로 접지되지

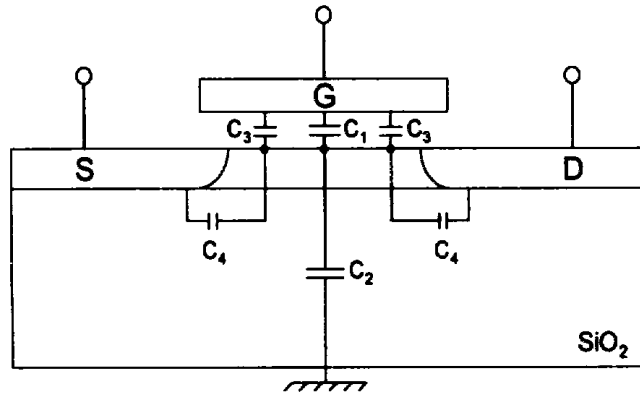


그림 2-3. SOI 소자의 정전용량 모델

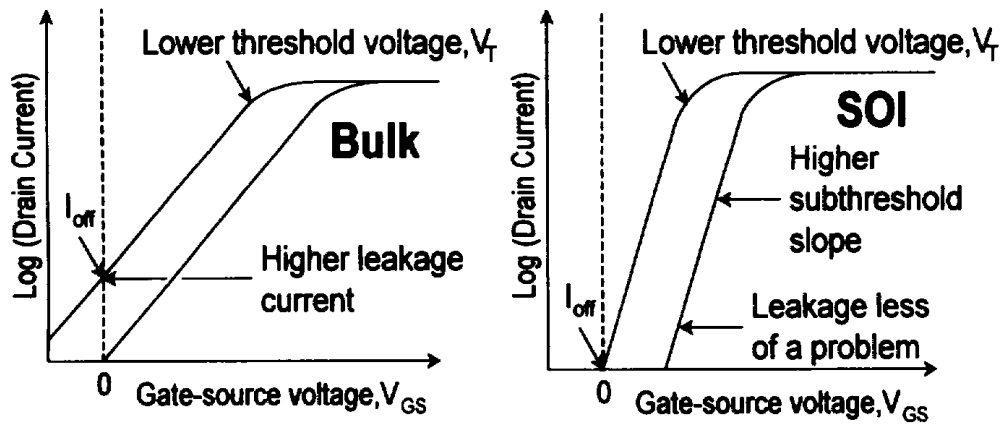


그림 2-4. 벌크 소자와 SOI 소자의 SS 특성 비교

못하여 발생하는 FBE, 기생 BJT의 동작, 문턱전압의 조절 문제 등이, SOI 기판 제작시의 문제점으로는 SIMOX의 경우, 이온주입 과정에서의 격자 손상과 실리콘층 두께의 균일성 문제 등이 있다. 벌크 소자에 대한 SOI 소자의 장점들을 충분히 활용하기 위해서는 이에 대한 연구가 필수적으로 요구된다.

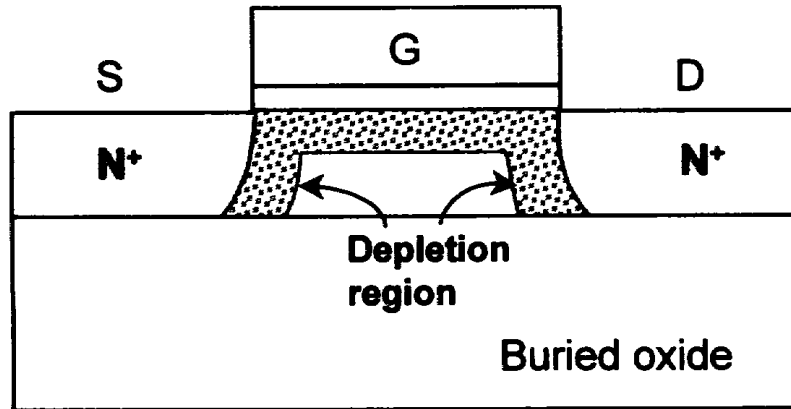
본 논문에서는 기생 BJT의 동작과 FBE에 대하여 2-3절에서 자세히 설명한다.

제2-2절. SOI 소자 종류

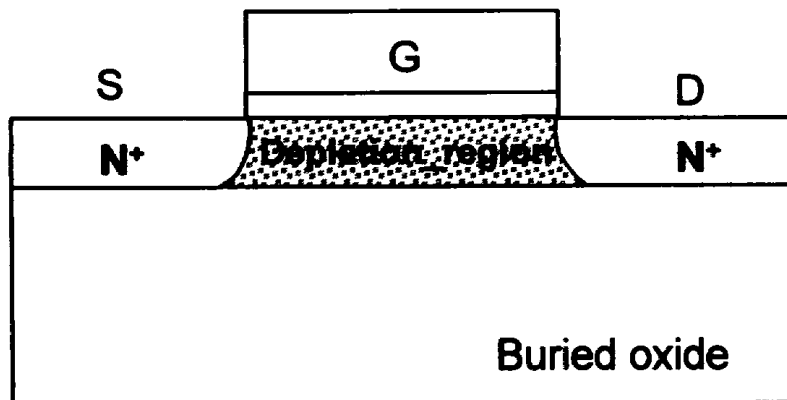
SOI 소자는 실리콘층의 두께에 따라 후막(thick film)과 박막(thin film)으로 구분되며, 혹은 채널 영역의 공핍 정도에 따라 그림 2-5가 보여주는 바와 같이 FD(Fully Depleted), PD(Partially Depleted) SOI 소자로도 구분할 수 있다. SOI 소자와 벌크 소자의 호환성은 후막 실리콘을 갖는 SOI인 경우에 주로 다루어져 왔으나, 이 후막 소자는 SOI의 장점을 제대로 살리지 못하고, 후막소자로 제작된 회로는 벌크 소자로 제작된 회로보다 동작 속도가 크게 빠르지 못하다. 따라서, 대개 후막소자의 경우는 고전압, 고전력용으로 사용되며, 박막의 경우는 저전압, 저전력용으로 사용된다^[19]. 특히, 박막의 경우에는 실리콘층의 두께와 게이트 산화물의 두께와 도핑의 정도에 따른 채널영역의 공핍 정도가 다를 수 있는데 이에 따라 소자의 동작 특성이 차이를 나타내게 된다^{[8][21][22]}. 즉, 소자의 몸체가 완전히 공핍되지 않은 PD SOI 소자는 벌크 소자와 유사한 특성을 갖으며, FBE를 겪는다. 이에 반해 소자의 몸체가 완전히 공핍되어 있는 FD SOI 소자는 몸체에 전하가 축적되지 않음으로써 FBE는 겪지 않으나 제작 공정에 민감한 특성을 갖고 있다.

2-2-1 PD SOI 소자

PD SOI와 기존의 벌크 소자와의 차이는 기본적으로 동작영역(active) 아래에 메우기 산화막의 존재 여부로서 PD SOI 소자는 벌크 소자와 유사한 접합 깊이와 채널도핑을 갖게 될 경우 채널길이가 작아짐에 따른 유사한 문턱전압의 편이를 보이게 된다^[23]. 다시 말해서, 벌크 소자와 유사한 편치쓰루 특성을 보이며, 단채널 효과를 개선하기 위한 Halo 구조, LDD 구조, 수직적인 doping engineering 등이 가능한 구조인 반면에 벌크 소자에 비해 더 큰 드레인 전류



(a)



(b)

그림 2-5. PD 및 FD SOI 소자 비교

(a) PD SOI

(b) FD SOI

구동력을 갖고 있다. 그러나, 채널 영역이 완전히 공핍되지 않아 펀치쓰루가 일어날 수 있으며, 드레인 부근에서의 충격 이온화에 의해 발생한 캐리어들이 전기적으로 절연된 SOI의 구조적 특성에 의해 공통적으로 나타나는 이른바 FBE를 나타낸다. 이는 낮은 항복전압 특성, 포화영역과 문턱전압 이하 영역에서의 kink 효과 등이 그것이다. 이는 2-3절에 자세히 설명하였다.

2-2-2 FD SOI 소자

FD SOI는 PD SOI와 달리 채널영역이 완전히 공핍된 특징을 갖고 있어 드레인과 몸체 접합부근에서 열적으로 혹은 충격이온화에 의해 발생하는 다수캐리어가 몸체에 축적되지 못하고 쉽게 소오스쪽으로 흘러감으로써 PD SOI에서 큰 문제점으로 지적되는 kink 효과를 최소화할 수 있다. 또한, 벌크 소자와 PD SOI 소자보다 SS가 작기 때문에 저전압, 저전력용 회로에 적합한 특성을 나타낸다^[17]. 그러나, 기생 BJT의 동작에 의한 소오스-드레인 항복전압의 감소 등의 문제점은 해결되지 않는다. 또한, 채널길이가 점점 작아짐에 따라 제작상의 공정변수의 허용범위가 PD SOI나 벌크 소자에 비해 엄격히 제한되어 있어 제작이 용이하지 않다는 어려움을 갖고 있다. 이와 관련하여, 전류 구동력(또는 transconductance)은 실리콘층의 두께에 크게 관련되어 있지 않은 반면에 단채널 효과, SS 특성과 항복전압은 SOI 막의 두께와 채널도핑에 매우 민감하다는 것이 보고되어 있는데 실리콘층의 두께는 50nm 이하로 줄이는 것은 상당히 어렵고 채널길이를 0.1 μ m 정도까지 줄이려면 게이트 산화막의 두께 역시 5nm 이하가 되어야 하며 실리콘층의 두께가 매우 얇아져야 한다. 그 결과 직렬저항이 크게 증가하게 되어 적절한 소오스/드레인 engineering이 필요하게 될 것이므로 PD SOI 소자에서 kink 효과와 같은 FBE를 줄일 수 있는 방법들을 적용하여 소자를 제작하는 것이 오히려 현실적일 수도 있다는 것이 보고되었다^[22].

제2-3절. SOI 소자의 문제점

SOI 소자는 구조적 측면과 공정상 측면의 여러 가지 문제점을 갖고 있다. 이 중에서 소자의 구조에 기인하는 문제점은 소자의 성능을 크게 악화시키는 기생 BJT 소자의 동작에 의한 드레인-소오스간의 급격한 항복전압의 감소 및 FBE에 의한 kink 효과와 스위칭 동작에서의 전류 불안정 특성 등으로 요약된다^[24].

2-3-1 기생 BJT 효과

기생 BJT 효과는 소자의 구조에 기인하는 문제로서 그림 2-6에서 보여주는 바와 같이 SOI MOSFET의 횡방향 구조는 평면형 open-base BJT와 동일함을 알 수 있다. 이 효과는 드레인 영역에서 충격이온화 등으로 발생된 다수 캐리어들이 몸체 부분에 축적되어 기생 BJT 작용을 일으킴으로써 발생된다. 이는 무한대의 특이한 SS 특성을 나타내는 이른바 self-latch와 드레인-소오스간의 항복전압이 낮아지는 효과 등을 발생시키며 정상적인 소자의 동작을 저해하는 요인이 되므로 반드시 해결해야 할 문제이다.

Floating body의 구조에 기인하는 kink 효과, 항복전압의 급격한 감소 및 self-latch 현상에 대한 해석적인 모델링은 여러 가지 방법으로 이루어져 왔다. 기생 BJT의 베이스 전류(I_B)는 충격이온화(Impact Ionization)에 의해 발생한 정공에 의한 전류(I_{ih})이다. 이 베이스 전류가 횡방향 기생 BJT 전류 이득 β 배 만큼 증폭되어 에미터 전류(I_E)로 나타나며, 이에 따라 컬렉터 전류(I_C)가 증가하는 정례환(Positive Feedback) 동작을 하게 되어 self-latch에 이르게 된다. 최근에는 self-heating까지 고려한 해석적인 모델이 제시되고 있으며, 이러한, 모델을 통하여 self-latch를 억제하기 위한 많은 방법들이 발표되었다.

SOI 소자는 소오스/드레인 접합이 메우기 산화막과 접하여 있는 구조적 특성

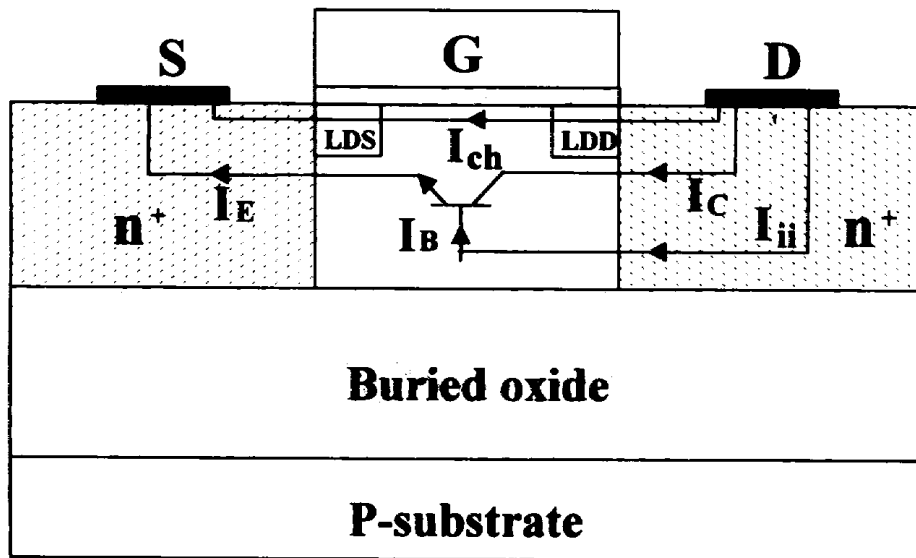


그림 2-6. 기생 BJT 효과의 Model

으로 인해 벌크 소자에 비해 드레인의 최대 전계가 비교적 낮아 보다 높은 항복전압을 가질 것으로 기대되지만 실제로는 open-base 기생 BJT의 동작에 의해 오히려 낮은 항복전압을 갖는다. 이것은 베이스(몸체)가 오픈된 컬렉터(드레인) 항복전압(BV_{CEO})은 베이스가 접지된 경우(BV_{CBO})보다 작기 때문이다. 두 가지 항복전압은 아래와 같은 관계를 갖고 있다^[24].

$$BV_{CEO} = \frac{BV_{CBO}}{\sqrt[n]{\beta}} \quad (2-2)$$

여기서 β 는 기생 BJT의 전류이득이며, n 은 일반적으로 3~6 사이의 값이다. 이 식에서 β 는 BJT 이론에 근거하여 1차 근사화를 통해 다음과 같이 나타낼 수 있다.

$$\beta \cong 2 \left(\frac{L_n}{L_B} \right)^2 - 1 \quad (2-3)$$

위의 식에서 L_B 는 베이스의 길이이며, L_n 은 전자의 확산 거리로서, L_n^2 은 전자 확산 상수 D_n 과 전자 수명 τ_n 과의 곱과 같고, BV_{CEO} 를 BV_{DS} 로 치환하면, 식 2-2는 다음과 같이 변형할 수 있다.

$$BV_{DS} = \frac{BV_{CBO}}{\sqrt[n]{\frac{2 D_n \tau_n}{L^2} - 1}} \quad (2-4)$$

위의 식은 SOI 소자의 항복전압에 대한 매우 간략한 식이지만, 이것으로부터 기생 BJT의 베이스 영역의 길이, 다시 말해 SOI MOSFET의 채널길이가 작고, 베이스 영역에서 소수캐리어의 수명이 긴 경우 기생 BJT의 전류 이득 β 가 증가함으로써 항복전압은 감소함을 예측할 수 있다. 또한, SOI MOSFET에서 기생 BJT의 전류 이득 β 와 이온화 증식계수 M 과의 상관관계는 $\beta \cdot (M-1) \rightarrow 1$ 이 될 때 항복이 일어나게 된다는 것이 알려져 있으며, NMOS에 비해 PMOS의 경우 정공의 이온화율이 낮아 항복전압 감소는 상대적으로 크지 않음이 알려져 있다^[4]. 이와 같은 드레인 항복전압의 감소는 초기의 결함이 많은 SOI 기판으로 만들어진 소자에서는 나타나지 않았는데, 이는 기판의 결함이 몸체에서 다수캐리어의 수명

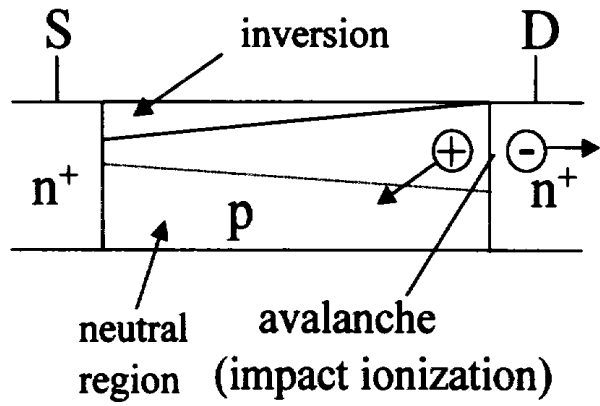
시간을 단축시켰기 때문이다. 최근에는 SOI 기판 제작방법이 발달함에 따라 기판의 결함이 감소하여 기생 BJT에 의한 특성이 오히려 악화됨이 알려져 있다. 이 문제의 해결방안은 최근의 SOI 소자에서 핵심적인 연구 대상이 되고 있다.

2-3-2 FBE 효과

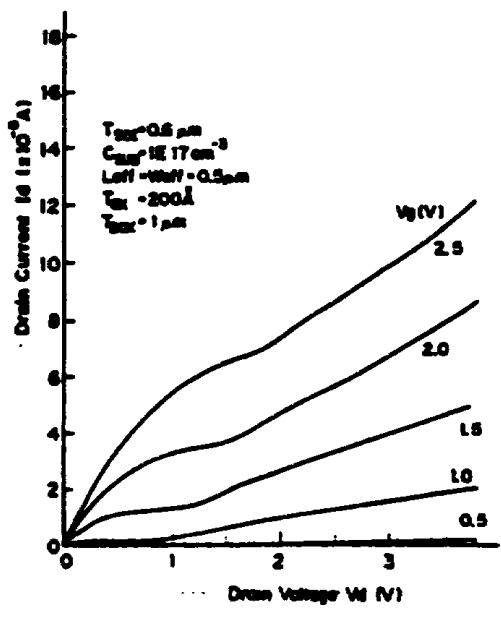
FBE는 SOI 소자의 몸체가 메우기 산화막에 의해 기판과 전기적으로 연결되지 못하여 몸체에 축적된 전하가 소오스-몸체간 문턱전압을 불규칙하게 변화시킴으로써 나타나는 현상이며 드레인 전류의 kink와 불안정한 스위칭 특성 등을 발생시킨다.

드레인 전류의 kink 현상은 FBE 중의 하나로서 그림 2-7에서 보여주는 바와 같이 소자가 동작할 때 게이트 전압에 따라 전하 캐리어들이 불규칙적으로 드레인이나 소오스쪽으로 쏠려가 전류가 급격히 증가하는 것이다^{[17][24]}. 이 현상이 일어나는 전압 이하에서 kink 효과는 주로 드레인-몸체 접합에서 열적으로 생성된 다수 캐리어들의 축적에 기인하는 것이며, 이러한 다수 캐리어들이 몸체에 집속됨에 따라 몸체의 전위를 높이고 MOSFET의 문턱전압은 낮추는 역할을 하게 된다. 전류 구동력은 드레인-소오스간의 전압이 kink 전압 이상으로 증가함에 따라 더 커지게 되는데 이는 드레인에서의 충격 이온화의 증가에 의한 것이다^[23]. 드레인 전류의 kink는 FD SOI에서는 일반적으로 나타나지 않는다. 이는 몸체가 완전히 공핍되어 있기 때문이다. 그림 2-8은 PD SOI 소자와 달리 FD SOI 소자에서 kink 효과가 나타나지 않는 이유를 도식적으로 나타낸 것이다. FD SOI NMOSFET의 경우 몸체가 완전히 공핍됨으로써 정공(몸체의 다수 캐리어)이 축적되지 않아 kink는 발생하지 않음을 알 수 있다.

kink는 기본적으로 충격이온화에 의해 발생된 다수 캐리어가 몸체에 축적되어 발생되는데, 이는 게이트의 채널에 대한 제어능력의 저하를 의미한다.



(a)



(b)

그림 2-7. kink 효과

(a) kink 현상의 발생 원인

(b) 드레인 전류의 kink 현상

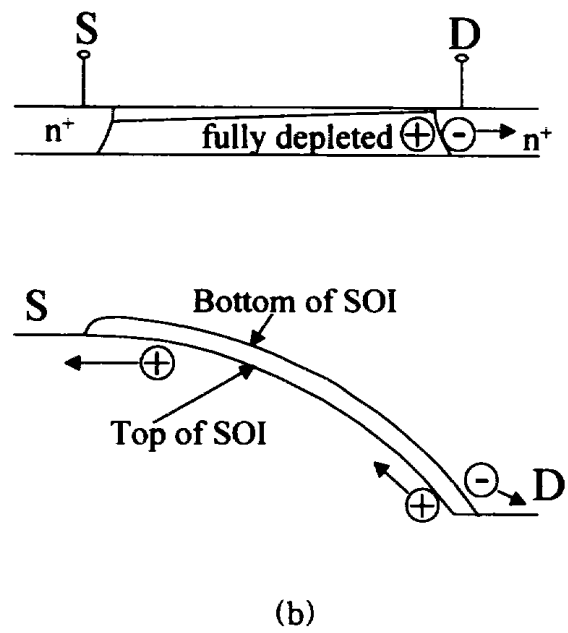
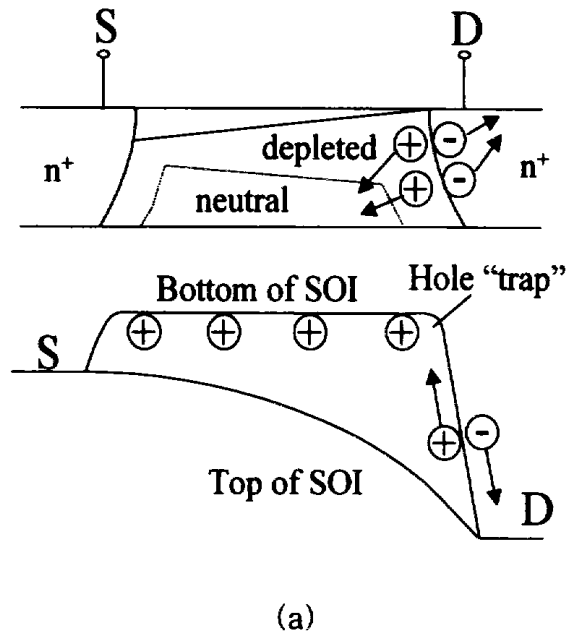


그림 2-8. FD SOI 소자에서 kink 현상의 제거
 (a) PD SOI : kink 발생
 (b) FD SOI : kink 제거

따라서, kink 효과를 피하기 위해서 동작전압을 항복전압과 포화영역에서의 kink 전압의 중간 정도로 선택하는 것은 무의미 하지만, 문턱전압 이하의 영역에서는 만약 적당한 설계에 의해 게이트 전압 스윙(swing)이 충분히 작게 될 수 있다면 오프상태에서의 전류와 대기전력을 크게 증가시키지 않으면서 문턱전압을 보다 큰 전류 구동력과 빠른 속도로 동작할 수 있도록 낮추는 것이 가능하게 된다. 그러나, 오프상태의 전류가 크면 대기전력이 커 문제점으로 제기될 수도 있지만 스위칭동작에 있어서는 오히려 동작속도를 향상시키는 효과를 나타낼 수도 있으므로 설계시에 신중히 고려해야 한다^[23].

또한, FBE에 의해 스위칭 동작시 SOI 소자가 turn-on 되면 드레인 부근에서의 충격이온화에 의해 캐리어들의 생성이 급격하게 증가하게 된다. n 채널 SOI 소자의 경우 채널 아래가 절연물질이므로 다수 캐리어인 정공이 몸체 영역에 축적되면서 몸체 영역의 전위는 증가하게 되며, 이로써 문턱전압은 낮아지게 되어 전류는 증가하게 된다. 그림 2-9에서 보여주는 바와 같이 초기에는 생성비율이 재결합 비율에 비해 월등히 커서 과도상태에서는 급격한 전류의 증가(current overshoot)를 초래하고, 점차 생성비율과 재결합 비율이 균형을 이루어 정상상태에 이르게 된다. 정상상태가 되는데 필요한 시간은 캐리어들의 생성과 재결합 비율에 크게 영향을 받으며, 가해진 전압이 크면 충격 이온화율은 증가하므로 짧아지게 된다. 소자가 turn-off 되면, 이전상태(turn-on state) 동안 축적된 정공들에 의해 몸체 영역의 전위는 평형상태보다 높기 때문에 정상상태로 되기 위해서는 이 정공들이 재결합을 통하여 소멸됨으로써 몸체 영역의 전위는 낮아져야 하는데 필요한 시간은 turn-on 했을 경우의 정상상태가 되기 위한 시간보다 더 긴 시간을 필요로 하게 된다. 따라서, 고속으로 스위칭을 할 경우 turn-on 상태의 전류는 크게 증가하여 동작 속도가 빨라지지만, turn-off 상태에서도 몸체 영역의 전위는 높아서 이에 따른 turn-off 상태에서의 누설전류는 증가하게 되며, 더 낮은 주파수에서 동작하는 회로와 동기화(synchronization)되어야 할 경우 비정상적인 동작을 할 수 있다^[25].

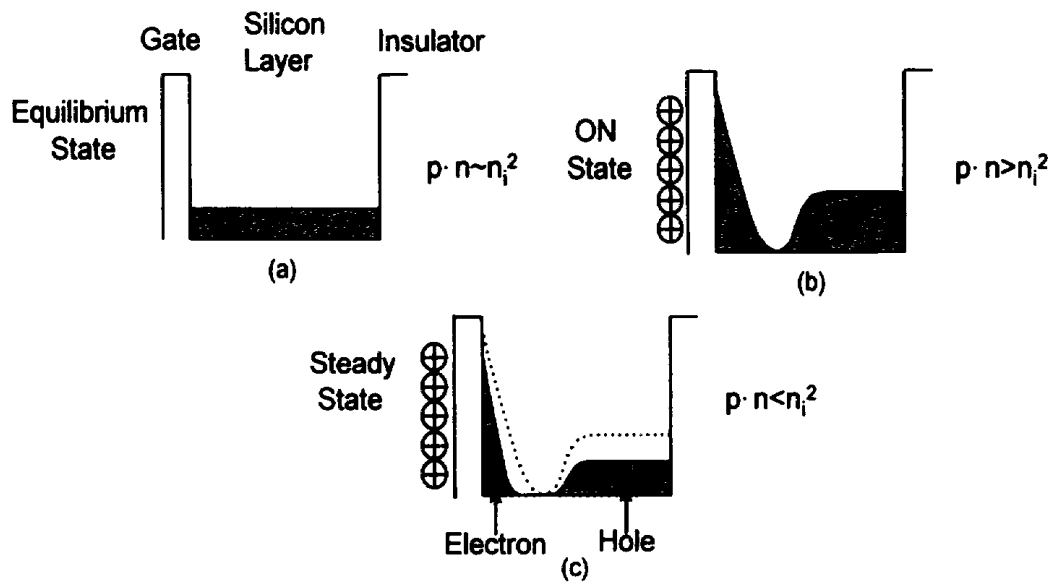


그림 2-9. SOI 소자의 스위칭 동작에 따른 캐리어 분포

제2-4절. SOI 소자의 최근동향

최근 저전력, 고속 IC에 대한 관심은 날로 증대되고 있으며, 저전력 전자제품의 시장 점유율은 98년에는 전체의 40 퍼센트에 달할 것으로 추정되고 있다. 전원전압의 감소는 소모전력을 감소시키며, 집적도를 높이기 위해 보다 얇아진 게이트 산화막을 보호할 수 있는 하나의 해결방안일 수 있다. 그러나 전원전압이 감소함에 따라 전류 구동력이 점점 감소하고 접합 정전용량은 증가하게 된다. 동작속도를 유지하는 하나의 방법은 소자의 문턱전압을 낮추는 것이다. 앞서 설명한 바와 같이 박막 SOI CMOS 트랜지스터는 매우 급격한 SS 특성을 갖고 있어 소자의 문턱전압을 낮추더라도 누설전류와 대기전력에 영향을 주지 않으면서 회로의 동작속도를 유지할 수 있다. 또한, SOI CMOS 트랜지스터는 접합 정전용량이 매우 작기 때문에 전원전압이 낮아짐에 따라 벌크 회로와 비교할 때 보다 월등한 성능을 갖는다. 게다가 메우기 산화막이 접합의 경계를 형성하므로 공핍 정전용량은 거의 갖지 않게 된다. 즉, 박막 SOI는 저전압 디지털 CMOS 회로에 매우 적합하다. 표 1은 93년부터 98년까지 SOI CMOS를 적용한 제품들을 보여주고 있다^[19]. 저전압 동작이 가능한 메모리 소자는 물론이고, 고속의 동작 속도를 요구하는 회로들에 적용되고 있음을 알 수 있다. 그러나, 현재까지는 제작 단가가 높고, 웨이퍼의 신뢰성이 안정화되지 못하여 대량생산에는 적용되지 않은 것으로 알려져 있다.

표 1. SOI 소자의 최근 동향

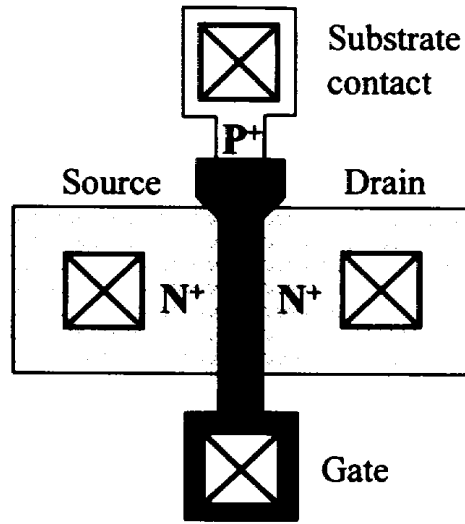
Circuit	Complexity	Voltage, V	Year	Company
Phase-Locked Loop	-	1.0	'94	Fujitsu Ltd
Static RAM	512Kb cache	1.0	'93	IBM Corp.
	1Mb	<1.0	'96	IBM
Dynamic RAM	16Mb	3.0	'95	Samsung Electronics Co.
	16Mb	1.0	'96	Mitsubishi Electric Corp.
	64Mb	3.0	'98	Hyundai Electronics Industries Co.
Gate array	300,000 gates	1.2-2	'96	NTT Corp.
	220,000 gates	2.0	'97	Mitsubishi
Microcontroller	-	1.0	'95	Motorola Inc
Multiplier	48-bit	2.0	'96	NTT
	16 by 16 bit	0.5	'96	Toshiba Corp.
Arithmetic and logic unit	16-bit, 8,000 gates	0.5	'96	NTT
	32-bit	0.5		Toshiba
Asynchronous Transfer Mode(ATM) switch	40 Gbps, 8-by-8-bit	2.0	'97	NTT

제3장. FBE 해결방안

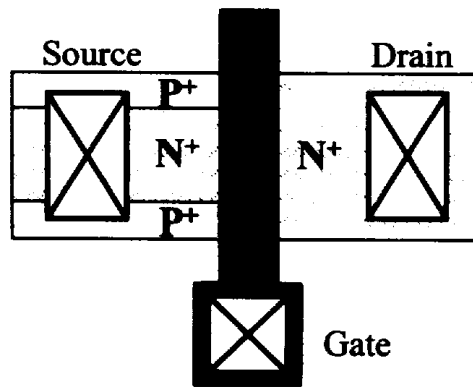
앞서 언급한 바와 같이 FBE는 SOI 소자에서 해결되어야 할 매우 중요한 문제점중의 하나이다. 이를 위하여 FBE가 소개된 이후 많은 연구가 진행되어 왔다. 발표된 연구결과는 크게 밴드갭 engineering^{[1][5][6]}, 채널 engineering^[7-9], 몸체접지 방식^[10-15]등으로 구분될 수 있으며, 각기 저마다의 장단점을 갖고 있다. 3-1절에서는 몸체접지 방식에 관하여 간략하게 설명하고, 3-2절에서는 몸체접지 방식의 하나인 LBBC 구조의 특징에 관하여 설명한다.

제3-1절. 몸체접지 방법(Body Contact)

SOI 소자에서 FBE의 발생 원인은 몸체가 전기적으로 연결되지 못하는데 있다. 몸체접지는 절연체 위의 몸체를 전기적으로 접지될 수 있도록 함으로써 FBE를 개선한다. 전형적인 몸체접지 방식은 그림 3-1과 같이 별도의 마스크를 사용하여 몸체접지 영역을 형성한 것이다^[10]. 이와 같은 몸체접지 방식은 Dual source 구조^[11], BESS(Bipolar Embedded Source Structure)^[12], Body contacted SOI 구조^[13], 소오스-몸체 콘택간 터널링을 이용한 구조^[14], LBBC(Low-Barrier Body-Contact) 구조^[15] 등이 있다.



(a)



(b)

그림 3-1. Body contact의 레이아웃(layout)

(a) 일반적인 Body contact layout

(b) 소오스 영역의 Body contact layout

3-1-1 Dual source 구조

Dual source 구조는 그림 3-2와 같이 알루미늄 접합 스파이킹(junction spiking) 현상을 이용하여 소오스 콘택과 몸체접지 영역과 연결되도록 하는 방법이다^[11]. 충격이온화에 의한 캐리어들이 알루미늄 접합 스파이킹 전극을 통해 빠져나감으로써 FBE는 개선된다. 그러나, 알루미늄 스파이킹 현상은 공정의 변화에 매우 민감하며, 자기정렬(self-aligned) silicide 공정과 같은 VLSI 콘택 형성기법과 호환되지 않는 문제가 있다. 또한, 소오스쪽 이온주입을 위한 추가 마스크가 필요하며, n^+/p^+ 스택 구조로 인해 소오스 영역의 저항이 증가되는 단점이 있다.

3-1-2 Bipolar Embedded Source Structure(BESS) 구조

BESS 구조는 그림 3-3과 같이 n -채널 소자에서 소오스의 아랫부분에 재결합 센터와 n^- 영역을 형성하여 의도적으로 바이폴라 트랜지스터를 형성한 것이다^[12]. 형성된 바이폴라 트랜지스터는 실리콘 원자를 이온주입 하여 발생된 재결합 센터 영역인 컬렉터, n^- 영역인 베이스, 채널쪽의 몸체 영역인 에미터로 구성되어 있다. 몸체 영역의 정공들은 형성된 바이폴라 트랜지스터의 전류이득에 의해 재결합 센터 영역으로 빠져나가게 된다. 그 결과 몸체에서 정공의 축적이 억제되어 FBE는 개선된다. 그러나, 재결합 센터 영역은 매우 높은 저항을 갖고 있어 포화 드레인 전류를 감소시키며, 실리콘 원자의 이온주입 후 어닐링 조건에 의해 특성이 변화될 수 있다.

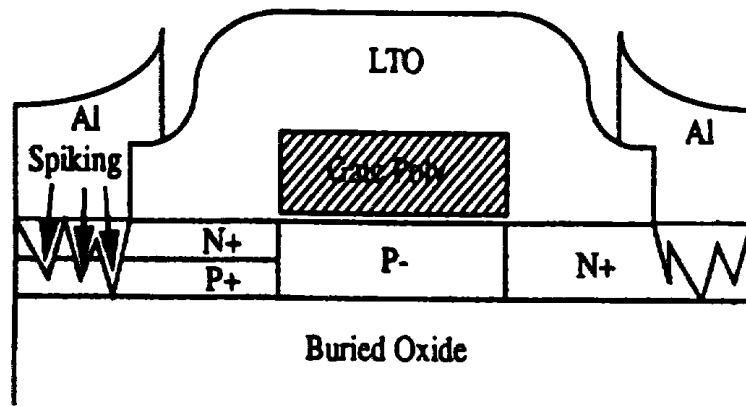


그림 3-2. Dual source 구조

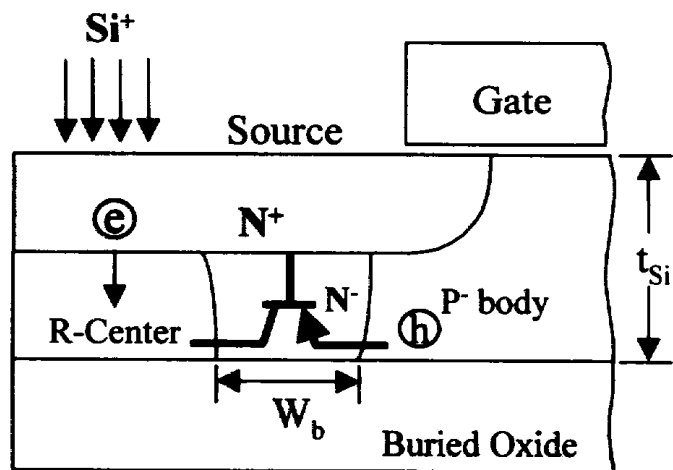


그림 3-3. BESS 구조

3-1-3 Body Contacted SOI 구조

Body contacted SOI 구조는 그림 3-4와 같이 소자 격리를 위한 필드 산화물 아래에 접지 경로를 형성시킨 것이다^[13]. 접지 경로는 필드 산화물 형성시 산화물이 실리콘층을 완전히 소모하여 메우기 산화막과 접하지 않도록 함으로써 well 콘택과 연결된다. 이 구조의 장점은 벌크 소자의 레이아웃과 공정의 호환성을 갖으며, 추가 마스크가 필요하지 않다는 것이다. 그러나, well 콘택에 바이어스를 걸어주어야 함에 따른 전력소모가 증가하며, 필드 정지 이온주입 조건에 따라 특성이 변화될 수 있다.

3-1-4 소오스-몸체 콘택간 터널링을 이용한 구조

소오스-몸체 콘택간 터널링을 이용한 구조는 그림 3-5와 같이 LDD 구조에서 소오스 부근에만 halo-like 이온주입을 한 것이다^[14]. 몸체는 매우 높은 도핑으로 인한 P^+/N^+ 간의 터널링 현상을 이용하여 접지된다. 이 구조는 LDD 구조를 근간으로 하여 단채널 효과를 감소시키며, 몸체접지로 인한 FBE를 개선한다. 또한, halo-like 이온주입된 P^+ 영역은 소오스쪽 채널 아래에 위치함으로써 포화 드레인 전류를 감소시키지 않으며, 기존의 벌크 소자 제작과 호환성을 갖는다. 그러나, 소오스와 드레인이 바뀌면 드레인 전류가 감소하고, 항복전압이 작아지며, FBE의 개선은 P^+/N^+ 간의 터널링 효율에 큰 영향을 받는다.

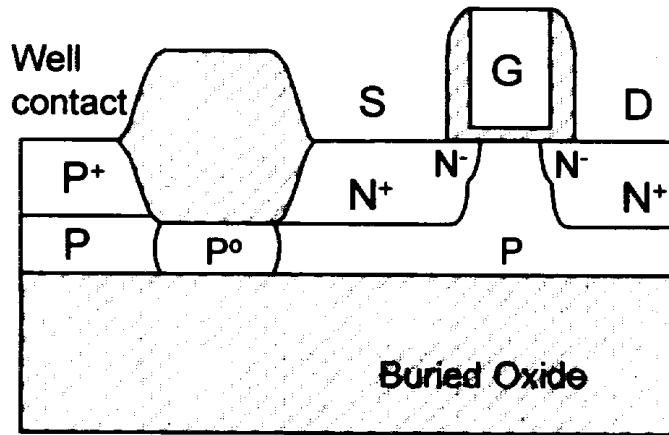


그림 3-4. Body contacted SOI 구조

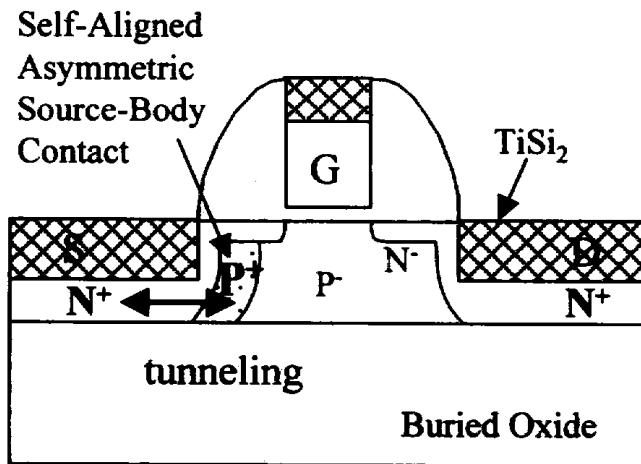


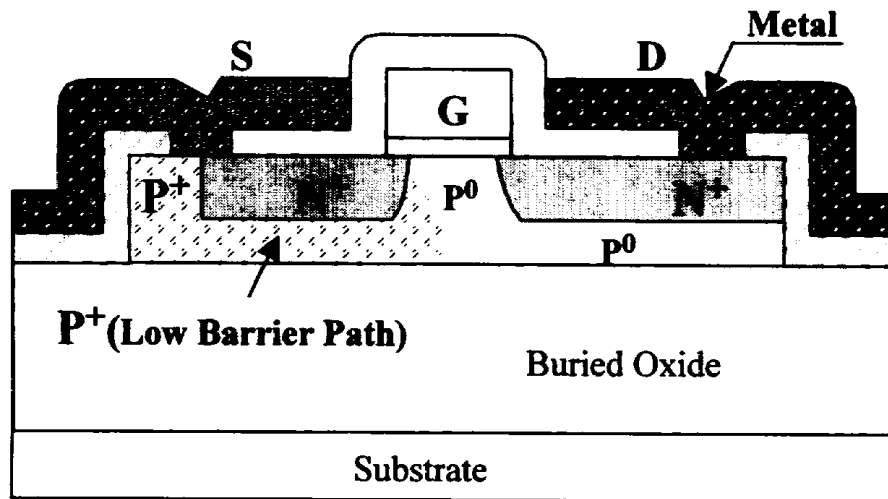
그림 3-5. 소오스-몸체 콘택간 터널링을 이용한 구조

제3-2절. LBBC SOI MOSFET

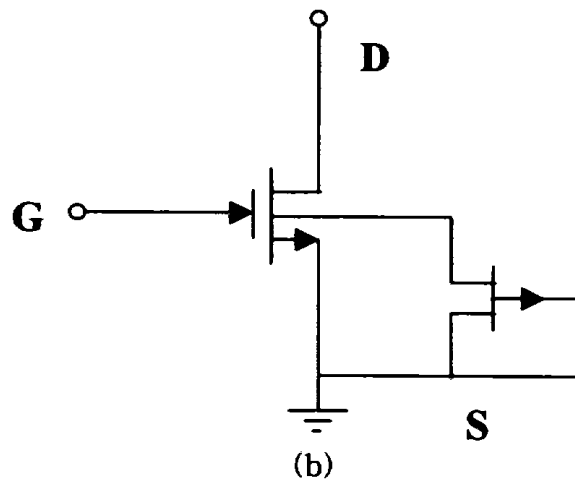
3-2-1 LBBC SOI MOSFET의 구조 및 특성

본 연구에서 다룬 LBBC SOI 소자는 Chan 등이 제안한 구조이다. 그림 3-6(a)가 보여주듯이 MESA 격리 구조를 근간으로 하며, 드레인 부근에서 충격이온화에 의해 발생된 정공전류가 낮은 전위장벽 경로와 소오스 콘택을 통해 빠져나갈 수 있도록 소오스 아래 부분에 B^+ 이온이 주입된 구조이다^[15]. LBBC SOI 소자는 높은 출력저항, 작은 문턱전압 변동, 낮은 flicker noise 등의 장점을 가지며 VLSI 제조공정과 호환성을 갖는다.

그림 3-6(b)는 LBBC PD SOI NMOSFET의 schematic으로서 정공의 낮은 전위장벽 경로는 소오스-몸체간에 JFET(Junction FET)으로 모델링됨을 나타내고 있다. 충격이온화에 의해 발생된 정공들은 모델링된 JFET이 갖는 정공전류의 수집효율(collection efficiency)에 의존하여 소오스쪽으로 흘러가게 된다. 이때, JFET이 갖는 정공전류의 수집효율은 소자의 채널길이나 채널 폭과 같은 물리적인 형태에 구애받지 않는다. 또한, 정공전류가 작은 경우에는 벌크 소자와 비슷한 정도의 수집효율을 갖으며, 애벌런치 항복 영역의 정공전류가 큰 경우 수집효율은 JFET의 포화 전류에 의해 감소하게 된다. 특히, 폭이 넓은 소자의 경우 LBBC 구조는 일반적인 측면 몸체접지 방식(side-body contact scheme)과 모자이크 소오스 방식보다 효과적인 정공전류의 수집효율을 갖는다^[15]. 따라서, LBBC 구조에서 FBE를 감소시키기 위해서는 모델링된 JFET이 갖는 정공전류의 수집효율을 향상시켜야 하며, 결국 JFET의 포화 전류를 향상시켜야 한다.



(a)



(b)

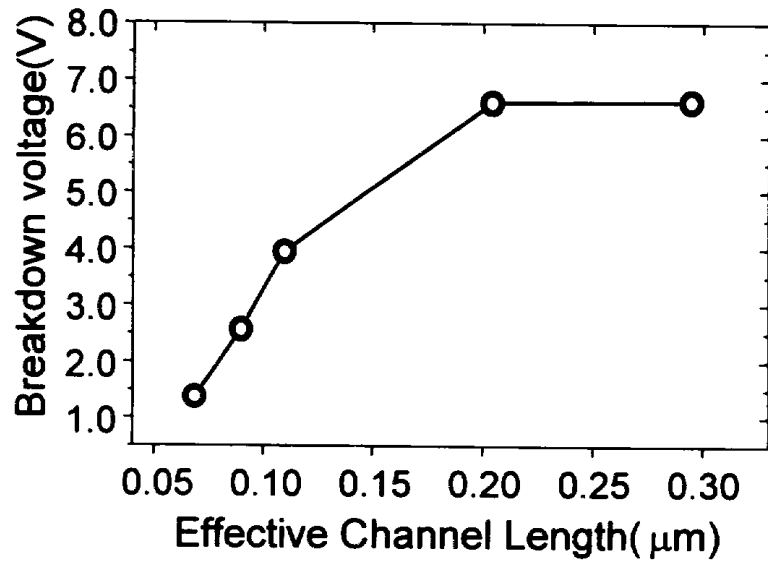
그림 3-6. LBBC SOI MOSFET 구조

(a) LBBC SOI NMOSFET 구조

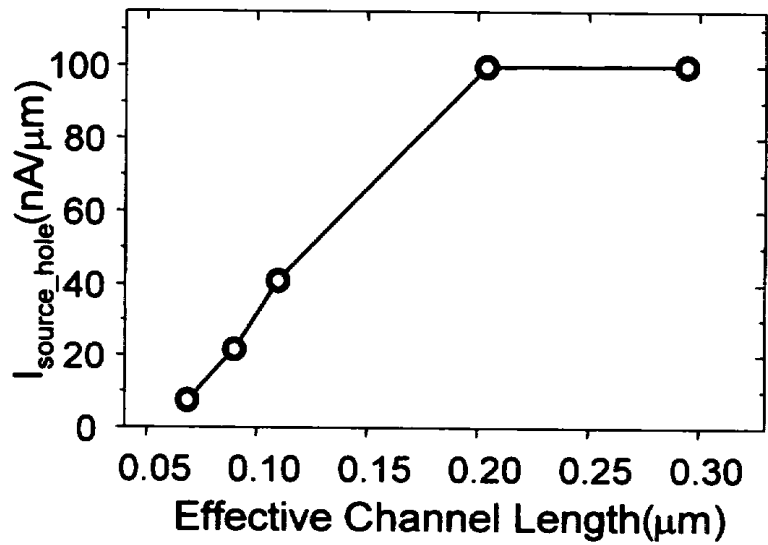
(b) LBBC 구조의 schematic

3-2-2 단채널에서 LBBC SOI MOSFET의 성능악화

유효 채널길이가 감소함에 따라 LBBC 구조의 소자 역시 단채널 효과에 의한 드레인-소오스간 항복전압 감소와 같은 성능악화를 겪게 된다. 그림 3-7은 유효 채널길이가 감소함에 따른 항복전압과 소오스 콘택에서의 정공전류를 보여 준다. 유효 채널길이가 줄어들어 따라 드레인-소오스간 항복전압과 소오스 콘택에서의 정공전류 모두 급격히 감소함을 알 수 있다. 이는 단채널 효과를 발생시키는 가장 중요한 원인들 가운데 하나인 펀치쓰루 효과가 LBBC 구조에서 모델링된 JFET의 정공에 대한 수집효율을 감소시켰기 때문이다^[22]. 그 결과 드레인 부근에서 발생된 정공의 흐름이 low-barrier 경로를 거치지 않고 직접 소오스쪽으로 이동하거나 일부는 몸체에 축적된다. 즉, 펀치쓰루 효과에 의하여 단채널에서는 PD SOI MOSFET에 기존의 LBBC 구조 형성방법을 적용하면 충분한 몸체접지 효과를 얻지 못하므로 FBE에 의한 드레인-소오스간 항복전압 감소를 억제하는데 한계가 있다. 따라서, LBBC 구조를 형성하는 방법의 변화가 요구되며, 본 논문에서는 효과적인 low-barrier 경로 형성을 위한 경사각 이온주입 방법을 제안하였다.



(a)



(b)

그림 3-7. 단채널에서 LBBC 구조의 성능악화

(a) 단채널에서의 항복전압 감소

(b) 소오스 콘택에서의 정공전류

제4장. 시물레이션

제4-1절. 경사각 이온주입의 LBBC 소자

기존의 이온주입 방식 LBBC 소자와 본 연구에서 새로 제안된 경사각 이온주입 방식 LBBC 소자와의 차이점은 정공의 낮은 전위장벽 경로 형성을 위한 소오스 이온주입 방법이다. 그림 4-1에서 보여주는 것과 같이 기존의 LBBC 소자를 위한 이온주입 방법은 이온주입시에 경사각을 갖지 않고 웨이퍼와 수직인 상태를 유지하는데 반해 경사각 이온주입에서는 소오스-몸체 부근에서 B^+ 이온 농도분포를 변형시키기 위해 이온주입시 $5\sim 45^\circ$ 의 경사각을 갖도록 하였다.

그림 4-2는 LBBC 소자내의 불순물 농도 분포를 보이고 있다. 그림 4-2에서 y 좌표는 그림 4-3의 실리콘층에서의 수직적인 위치를 의미한다. 20° 경사각 이온주입 방식 LBBC 소자의 경우 기존의 이온주입 방식 LBBC 소자에 비해 이온주입된 불순물이 채널 표면에 가까운 소오스-몸체와 소오스 콘택 부분에 많이 몰려 있다. 이는 측벽이 이온주입에 대한 장벽 역할을 하여 측벽이 없는 영역으로 주입되는 불순물이 실리콘층 내부로 침투하는 양과 측벽을 통과하면서 에너지를 잃은 불순물이 실리콘층 내부로 침투하는 양의 차이 때문이다. 따라서, 측벽의 두께 및 경사각 이온주입 조건을 잘 선택하면 소오스-몸체 부근의 불순물 농도 분포가 전체적으로 경사를 갖도록 할 수 있으며, 실리콘층의 매우 얇은 산화막과 가까운 깊이에서는 기존의 방식보다 더 급격한 불순물 농도 분포를 갖게 할 수 있다. 반면에 경사각 이온주입은 소오스-몸체 부근의 채널 표면 불순물 농도를 과도하게 증가시켜 문턱전압이 매우 큰 값을 갖게 될 수 있다. 따라서, 경사각 이온주입시 적절한 조건을 선택하여야 한다.

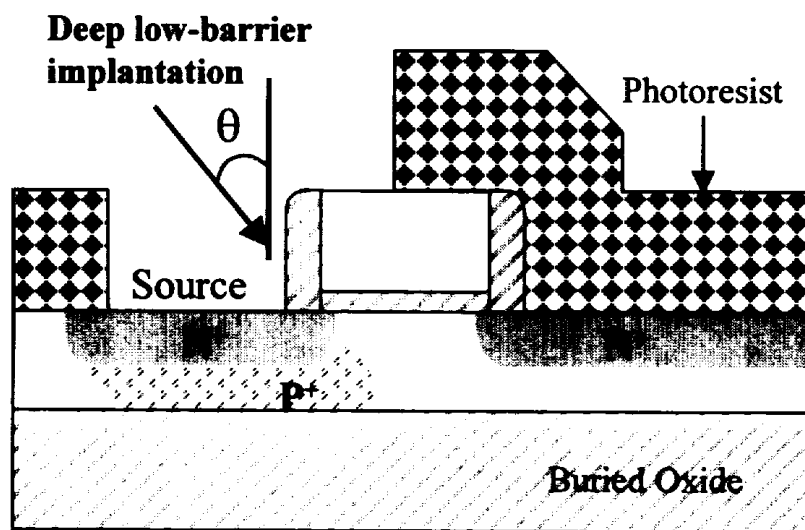
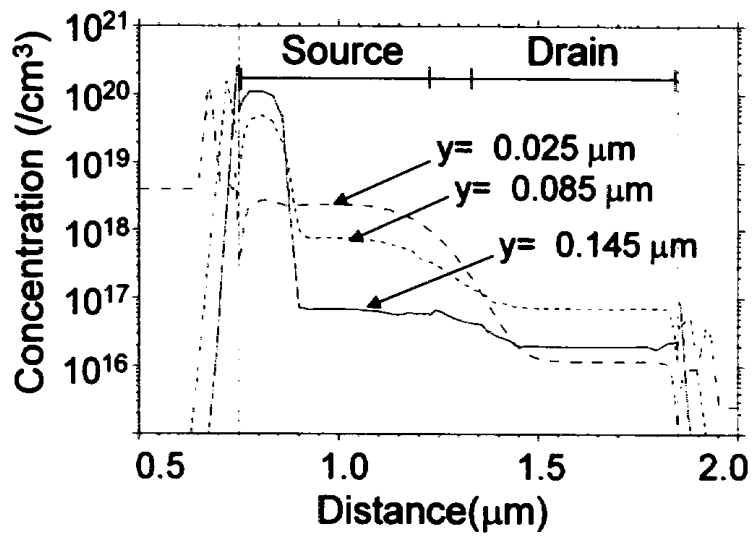
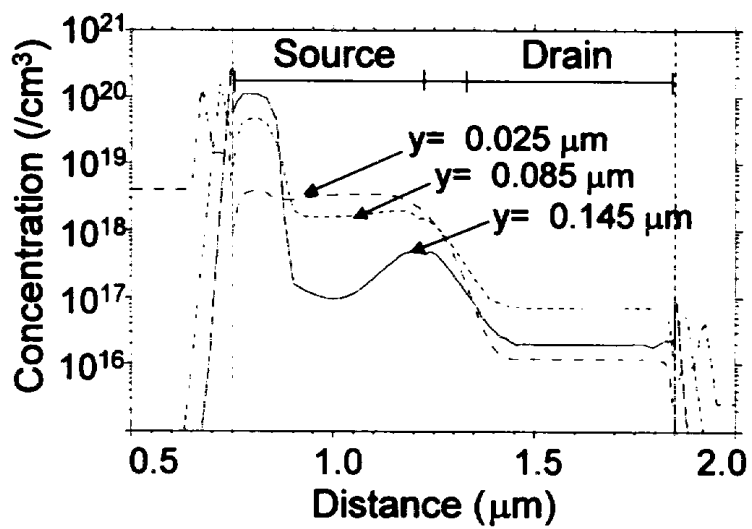


그림 4-1. Deep low-barrier 형성을 위한 경사각 이온주입



(a)



(b)

그림 4-2. 소오스-몸체 부근의 변화된 도핑분포

(a) 기존의 LBBC 구조

(b) 경사각 이온주입을 적용한 LBBC 구조

제4-2절. 시뮬레이션 방법

본 논문에서는 공정 시뮬레이터인 TSUPREM-4를 사용하여 LBBC SOI NMOSFET을 그림 4-3과 같은 스케일로 모의 제작하였다. 모의 제작을 위한 공정 파라미터는 표 2와 같다. 메우기 산화막 두께는 460nm, 메우기 산화막 위의 실리콘층의 두께는 150nm, 게이트 산화막 두께는 7.4nm로 정하고, 문턱전압 조정을 위한 채널 이온 주입(BF_2^+) 조건은 $1 \times 10^{12} / \text{cm}^2$, 60keV, 소오스/드레인 이온주입(As^+) 조건은 $3 \times 10^{15} / \text{cm}^2$, 25keV으로 선택하였다. 소오스 아래 부분에 정공의 낮은 전위장벽 경로의 형성을 위한 이온주입(B^+) 조건은 기존의 LBBC 소자의 경우 $1 \times 10^{14} / \text{cm}^2$, 60keV, 경사각 이온주입 방식 LBBC 소자의 경우 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$, 40~70keV, 5~45°의 경사각을 갖도록 하였다. 최종 어닐링은 1000℃, 30sec의 RTA(Rapid Thermal Annealing)로 수행하였으며, 소오스 콘택-게이트, 드레인 콘택-게이트 거리는 일반적인 design-rule을 사용하여 정하였다. 또한, 경사각 이온주입시 B^+ 이온이 게이트 산화막 내부로 침투하는 현상을 최소화하기 위해 50nm의 측벽을 형성하였다.

항복전압 특성 및 전류-전압 특성은 소자 시뮬레이터인 MEDICI를 이용하여 검증하였다. SOI 소자의 특성을 반영하기 위해 시뮬레이터에서 제공하는 불순물 농도에 따른 SRH(Shockley-Read-Hall) 재결합 모델(CONSRH), 드레인 영역에서 강전계에 의해 발생하는 충격 이온화 모델(IMPACT IONIZATION), AUGER 재결합 모델(AUGER), 높은 불순물 도핑에 따른 밴드갭(band-gap) 감소 모델(BGN), 어닐링 후의 이온화되지 않은 불순물을 고려한 모델(INCOMPLE), 저전계하에서 불순물 농도에 따른 이동도 모델(CONMOB), 고전계하에서의 이동도 모델(HPMOB) 등을 사용하였다^{[4][26]}. 본 논문에서 항복전압은 $V_{gs} - V_t = -0.5\text{V}$ 에서 드레인 전류가 $0.1\mu\text{A}/\mu\text{m}$ 가 되는 드레인 전압으로 정하였다^[3].

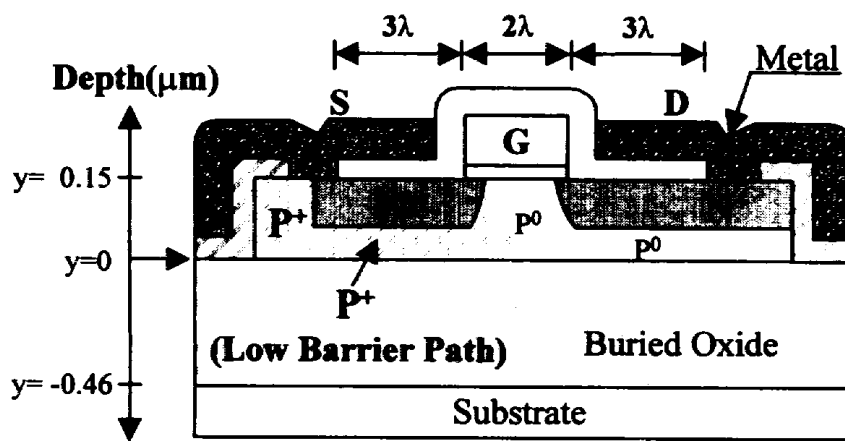


그림 4-3. 모의 제작된 LBBC SOI NMOSFET

표 2. 시뮬레이션 파라미터

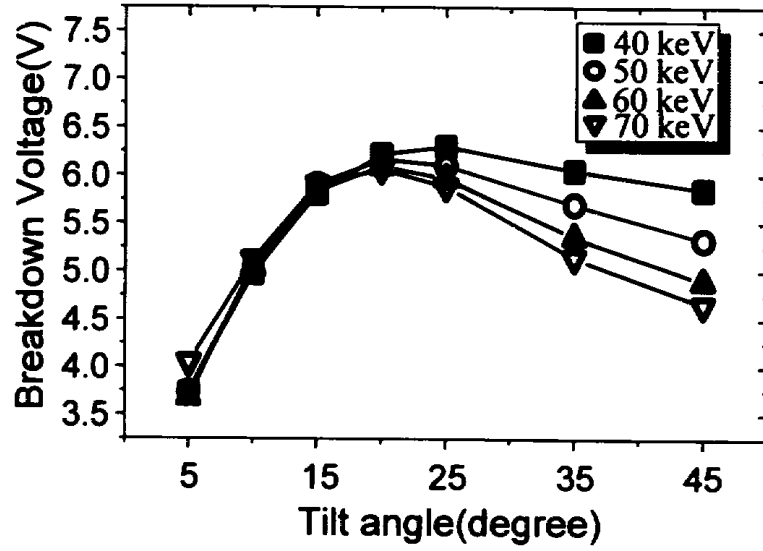
항목	기존의 LBBC	경사각 이온주입 LBBC
실리콘층	150 nm	150~250 nm
메우기 산화막	460 nm	
게이트 산화막	7.4 nm	
채널 이온주입(B ⁺)	$1 \times 10^{12} / \text{cm}^2$, 60 keV	
소오스/드레인 이온주입(As ⁺)	$3 \times 10^{15} / \text{cm}^2$, 25 keV	$1 \times 10^{15} \sim 5 \times 10^{15} / \text{cm}^2$, 25 keV
LBBC 이온주입(B ⁺)	$1 \times 10^{14} / \text{cm}^2$, 60 keV	$1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$, 40~70 keV, 5~45°

제4-3절. 결과 및 분석

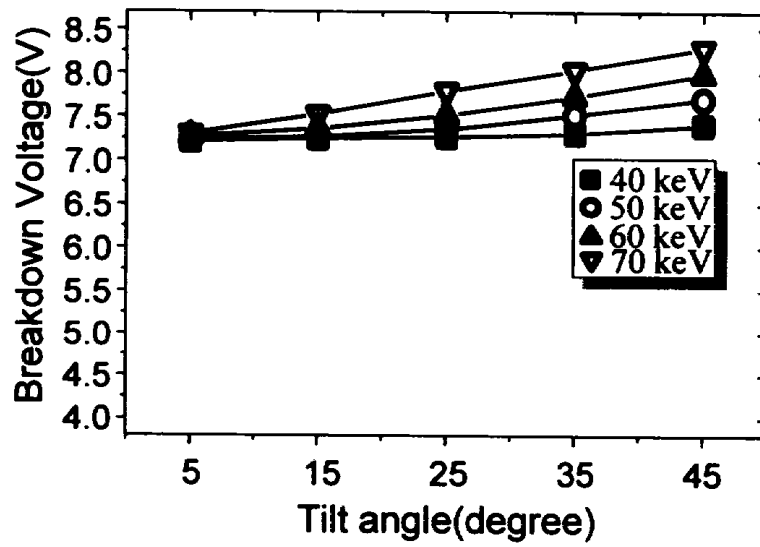
4-3-1 이온주입 경사각, 에너지 변화에 따른 항복전압 특성

그림 4-4는 경사각과 이온주입 에너지에 따른 항복전압 특성을 나타낸 것이다. 그림 4-4(a)에서 $0.12\mu\text{m}$ 의 유효 채널길이를 갖는 소자의 경우 이온주입 경사각이 $5\sim 15^\circ$ 일 때 동일한 이온주입 에너지의 조건하에서 경사각이 증가하거나 역으로 동일한 이온주입 경사각 조건하에서 이온주입 에너지가 증가하면 항복전압이 증가한다. 이 결과는 소오스-몸체 부근에서 경사각과 이온주입 에너지가 증가함에 따라 B^+ 이온이 채널쪽으로 침투하기 때문이다. 즉, LBBC 구조에서 JFET의 채널 영역 불순물 농도가 증가함으로써 JFET의 핀치오프(pinch-off) 전압이 증가하게 되며, JFET의 포화전류는 일반적으로 핀치오프 전압의 제곱에 비례하므로, JFET의 포화전류는 크게 증가하게 된다. 앞서 언급한 바와 같이 JFET의 포화 전류의 증가는 정공전류의 수집효율을 향상시킨다. 또한, 일반적인 소자에서의 halo 이온주입과 유사하게 소오스쪽 채널 아랫부분에서 B^+ 이온 농도의 증가는 드레인 공핍영역이 소오스 공핍영역으로 확장되는 현상을 제한함으로써 핀치쓰루 효과를 감소시킨다^[27]. 결과적으로 항복전압이 향상된 것은 핀치쓰루 현상이 억제되고 JFET의 정공전류 수집효율이 증가하였기 때문이다. 그러나, 20° 이상의 큰 경사각의 경우 이온주입 에너지를 증가시키면 채널의 B^+ 이온 농도가 지나치게 높아져 항복전압은 오히려 감소되며, 문턱전압은 일반적인 소자에 비해 매우 커지게 된다. 이는 그림 4-(a)에서 45° 경사각 이온주입한 소자의 항복전압이 $20\sim 35^\circ$ 경사각 이온주입한 경우에 비해 감소한 이유이다. 따라서, 소자가 적절한 문턱전압과 최대의 항복전압을 갖도록 경사각 이온주입 조건이 선택되어야 한다.

그림 4-4(b)는 $0.5\mu\text{m}$ 의 유효 채널길이를 갖는 소자의 경사각 이온주입 조건에



(a)



(b)

그림 4-4. 이온주입 경사각, 에너지 변화에 따른 항복전압 특성

(a) $L_{\text{eff}}=0.12\mu\text{m}$

(b) $L_{\text{eff}}=0.5\mu\text{m}$

대한 항복전압 특성을 보여준다. $0.12\mu\text{m}$ 의 유효 채널길이를 갖는 소자와 다르게 $0.5\mu\text{m}$ 의 유효 채널길이를 갖는 소자의 항복전압은 경사각 이온주입 조건에 대하여 큰 변동이 없다. 다만, 이온주입 경사각과 에너지가 큰 경우 halo 이온주입 효과를 갖게 되므로 항복전압은 다소 증가한다. 이 결과는 비교적 긴 채널길이를 갖는 소자가 단채널 소자에 비해 편치쓰루의 영향을 적게 받기 때문이다. 즉, 비교적 긴 채널길이를 갖는 LBBC 소자의 경우 편치쓰루에 의한 JFET의 정공전류 수집효율의 감소가 작아 드레인 부근에서 충격이온화에 의해 발생된 정공전류는 대부분 LBBC 소자의 낮은 전위장벽 경로를 통해 소오스쪽으로 흘러 나가게 된다. 따라서, 정공의 낮은 전위장벽 경로 형성을 위해 적용한 경사각 이온주입 방법은 단채널 소자의 편치쓰루 효과를 줄임으로써, LBBC 소자의 항복전압을 기존의 이온주입 방식보다 향상시킬 수 있다.

4-3-2 공정조건 변화에 따른 항복전압 특성

본 절에서는 4-3-1절의 결과를 근거로 하여 소자의 공정조건 변화에 따른 항복전압 특성에 대하여 설명한다. 변화시킨 공정조건은 실리콘층의 두께, 채널 이온주입 도즈, 소오스/드레인 이온주입 도즈와 low-barrier 형성을 위한 이온주입 도즈이다. 앞의 세 가지 공정조건 변화에 대하여 경사각 이온주입 조건 (B^*)은 경사각은 20° , 이온주입 에너지는 40keV , 이온주입 도즈는 $5 \times 10^{13}/\text{cm}^2$ 으로 고정하였고, low-barrier 형성을 위한 이온주입 도즈의 변화에서는 경사각과 이온주입 에너지는 위와 동일한 조건에서 시뮬레이션을 수행하였다.

그림 4-5는 실리콘층의 두께에 따른 경사각 LBBC 구조의 항복전압 특성을 보여주고 있다. 실리콘층의 두께가 증가하더라도 항복전압의 변화는 거의 없음을 알 수 있다. 실리콘층의 두께가 증가하면, 벌크 소자와 특성이 더욱 유사하게 되어 펀치쓰루 현상이 실리콘층의 두께가 작은 경우보다 일어날 가능성이 더 크게 된다^[3]. 그러나, 경사각 이온주입을 통하여 소오스-몸체 부근에 halo 도핑분포를 갖게 되어 펀치쓰루가 일어날 가능성이 현저히 줄어들었기 때문에 항복전압 감소는 나타나지 않았다.

그림 4-6은 채널도핑의 변화에 따른 경사각 LBBC 구조의 항복전압 특성을 보여주고 있다. 벌크 소자의 경우 채널 도핑이 증가하면 단채널 효과는 감소하여 펀치쓰루에 의한 항복전압 감소 현상은 개선될 수 있는 것으로 알려져 있다^[22]. 그러나, 경사각 이온주입 LBBC 구조의 경우에는 채널도핑을 증가시키더라도 항복전압의 변화는 크지 않다. 이는 LBBC SOI 소자는 실리콘층이 얇아 경사각 이온주입에 의한 소오스-채널 부근의 도핑농도는 동일한 조건하의 벌크 소자에 비해 크게 증가하기 때문이다.

그림 4-7은 소오스/드레인 영역을 형성하기 위한 이온주입 도즈의 변화에 따른 항복전압 특성을 보여 주고 있다. 소오스/드레인 이온주입 도즈가 작은 경우

에 항복전압이 반대의 경우에 비해 큼을 알 수 있다. 이것은 소오스/드레인 이온주입 도즈가 작은 경우 다른 조건이 동일할 때 유효 채널길이가 상대적으로 증가하며, 소오스 부근에서의 유효 도너 농도가 감소함으로써 소오스-몸체간 재결합이 증가한다. 또한, 드레인 부근의 유효 전기장(Effective Electric-field)가 감소하여 충격 이온화율이 상대적으로 줄어들게 됨으로써 항복전압이 향상된다^[4]. 그러나, 소오스/드레인 이온주입 도즈가 작은 경우 구동전류의 감소와 같은 단점을 갖게 된다.

그림 4-8은 deep low-barrier 이온주입 도즈의 변화에 따른 항복전압 특성을 보여주고 있다. 이온주입 도즈가 증가하면, 소오스-몸체 부근의 도핑농도는 증가하게 되므로 펀치쓰루에 대한 억제력이 향상됨으로써 항복전압이 증가하게 된다. 그러나, 너무 많은 이온주입 도즈를 선택하면 채널 영역의 유효 도핑농도가 과도하게 증가하여 항복전압은 오히려 감소하는 특성을 보인다.

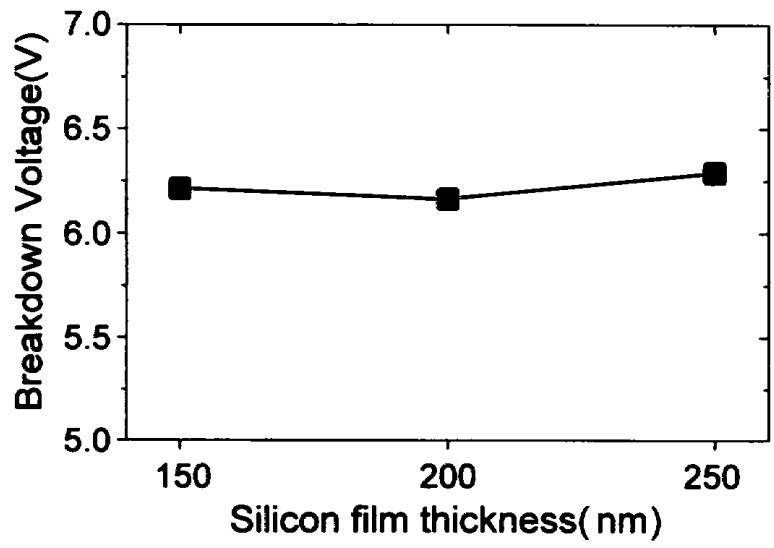


그림 4-5. 실리콘층 두께에 따른 항복전압

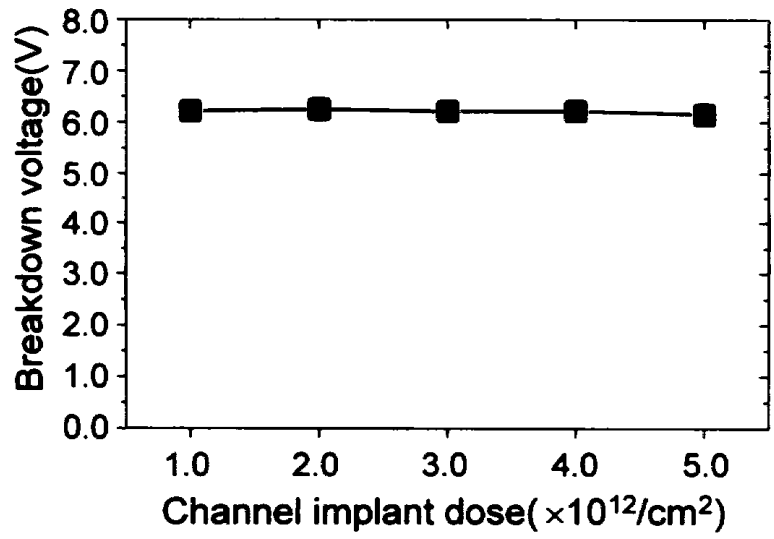


그림 4-6. 채널 이온주입 도즈에 따른 항복전압

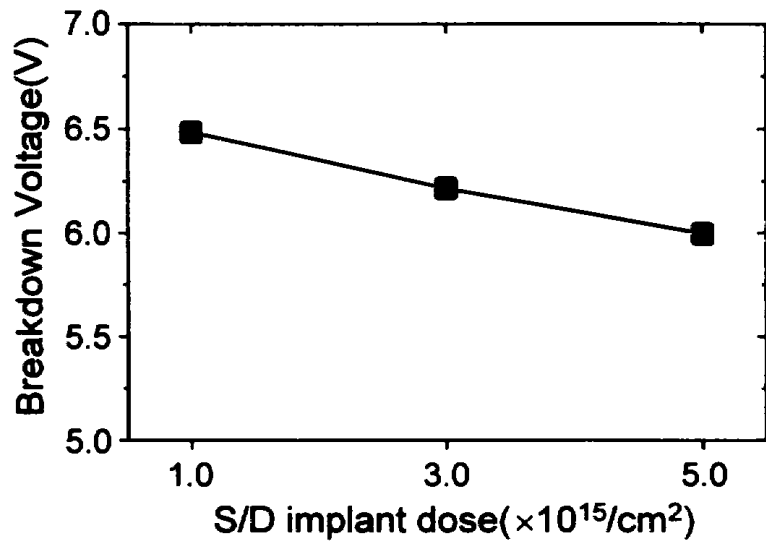


그림 4-7. 소오스/드레인 이온주입 도즈에 따른 항복전압

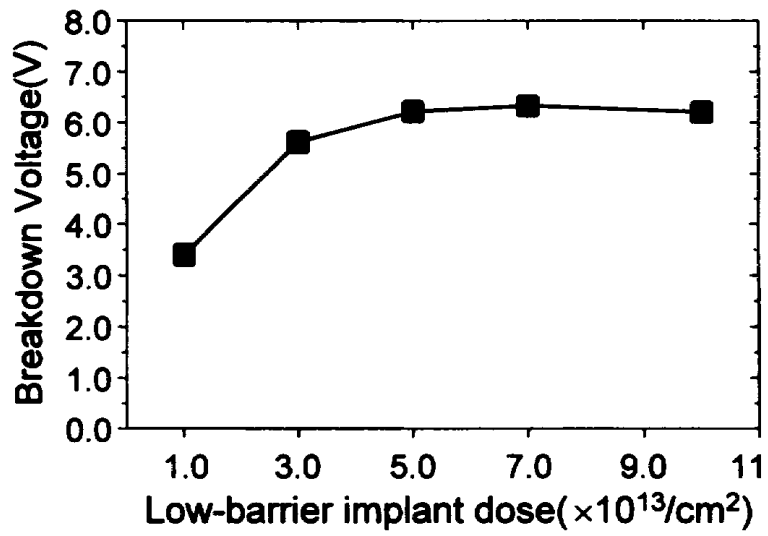


그림 4-8. LBBC 이온주입 도즈에 따른 항복전압

4-3-3 유효 채널길이 변화에 따른 항복전압 특성

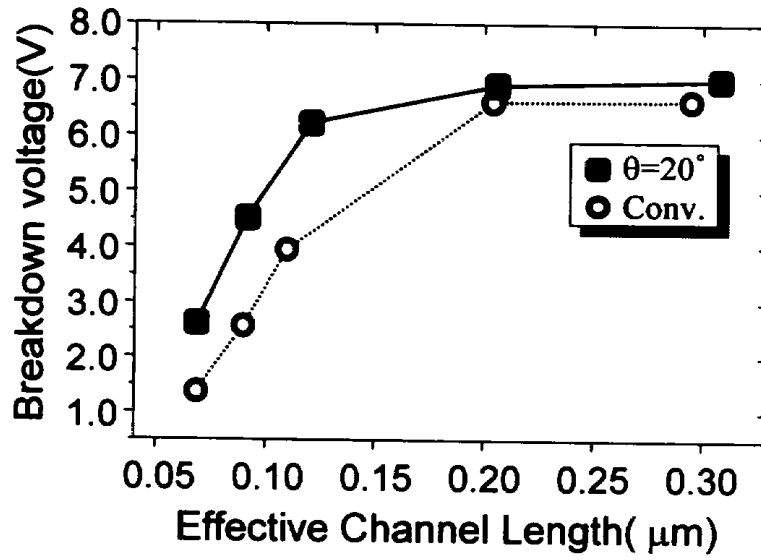
4-2-1절과 4-2-2절의 결과를 근거로 low-barrier 경로 형성을 위한 최적의 경사각 이온주입 조건을 표 3에서 보여주는 것과 같이 결정하였다. 경사각 이온주입 조건은 유효 채널길이가 $0.12\mu\text{m}$ 에서 일반적인 소자의 허용 문턱전압 범위인 $0.4\sim 0.7\text{V}$ 를 유지하면서 최대의 항복전압을 가질 수 있도록 선택되었다^[8]. 즉, 실리콘층은 150nm , 채널 이온주입 조건(B^+)은 $1\times 10^{12}/\text{cm}^2$, 60keV , 소오스/드레인 이온주입 조건(As^+)은 $3\times 10^{15}/\text{cm}^2$, 25keV , low-barrier 경로 형성을 위한 이온주입 조건(B^+)은 20° , $5\times 10^{13}/\text{cm}^2$, 40keV 이다.

그림 4-9(a)는 기존의 이온주입 방식 LBBC 소자와 최적의 경사각 이온주입 조건으로 이온주입한 LBBC 소자의 유효 채널길이 변화에 따른 항복전압 특성의 변화를 나타낸다. 유효 채널길이가 $0.2\mu\text{m}$ 이하의 경우에는 20° 경사각 이온주입 방식 LBBC 소자의 항복전압이 기존의 이온주입 방식 LBBC 소자에 비해 최대 2.3V 더 큰 값을 갖는다. 이것은 앞서 언급한 경사각 이온주입을 통해 소오스-몸체 부근에서의 B^+ 이온 농도분포가 변화하였기 때문이다.

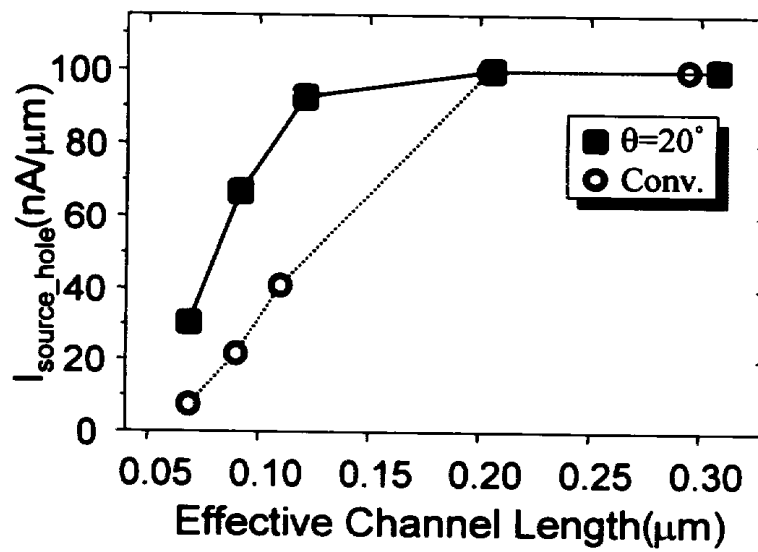
경사각 이온주입에 따른 B^+ 이온 농도분포의 변화는 정공의 낮은 전위장벽 경로를 통하여 소오스 콘택으로 흘러가는 정공전류를 변화시키게 된다. 그림 4-9(b)는 소오스 콘택에서의 정공전류를 비교한 것이다. $0.15\mu\text{m}$ 이하의 유효 채널길이를 갖는 경사각 이온주입 방식 LBBC 소자의 정공전류가 기존의 이온주입 방식 LBBC 소자에 비해 약 2배 크다. 그리고, 소오스 정공전류는 경사각 이온주입 방식과 기존의 이온주입 방식 모두 유효 채널길이 $0.2\mu\text{m}$ 이하의 영역에서 항복현상이 일어나는 드레인 전류로 정의한 $0.1\mu\text{A}/\mu\text{m}$ 보다 작다. 이 결과는 LBBC 소자가 PD SOI를 근간으로 하므로 단채널에서 항복현상은 애벌런치 항복 뿐만 아니라 펀치쓰루 현상에 의해서도 영향을 받기 때문이다^[22].

표 3. 최적의 LBBC 형성을 위한 공정 파라미터

항목	공정 파라미터
실리콘층	150 nm
채널 이온주입(B ⁺)	$1 \times 10^{12} / \text{cm}^2$, 60 keV
소오스/드레인 이온주입(As ⁺)	$3 \times 10^{15} / \text{cm}^2$, 25 keV
LBBC 이온주입(B ⁺)	20° , $5 \times 10^{13} / \text{cm}^2$, 40 keV



(a)



(b)

그림 4-9. 유효 채널길이에 따른 항복전압 및 정공전류

(a) 항복전압 특성 비교 ($V_{\text{gs}} - V_{\text{t}} = -0.5\text{V}$)

(b) 소오스 콘택에서의 정공전류

즉, 펀치쓰루 현상에 의하여 정공전류의 일부가 정공의 낮은 전위장벽 경로를 통하지 않고 빠져나간 결과이다. 이에 반해 비교적 채널이 긴 경우 펀치쓰루의 영향이 작아 충격이온화에 의해 발생한 정공은 효과적으로 낮은 전위장벽을 통해 흘러가므로 소오스 정공전류는 $0.1\mu\text{A}/\mu\text{m}$ 과 비슷하거나 동일하다.

유효 채널길이 $0.2\mu\text{m}$ 이상의 영역에서는 경사각 이온주입 방식이 기존의 이온주입 방식보다 항복전압보다 0.5V 정도 더 크다. 이것은 경사각 이온주입을 적용함에 따라 소오스쪽 채널 아랫부분의 불순물 농도가 증가함으로써 소오스쪽 채널은 펀치쓰루, DIBL(Drain Induced Barrier Lowering)과 같은 단채널 효과에 효과적인 halo 형태의 농도 분포를 갖기 때문이다.

4-3-4 단채널 효과에 대한 특성

그림 4-10은 유효 채널길이의 감소에 따른 문턱전압의 감소(roll-off) 특성을 보여주고 있는데, $0.4\mu\text{m}$ 의 유효 채널길이를 갖는 소자의 문턱전압을 기준으로 하였다. 기존의 이온주입 LBBC 소자의 경우 유효 채널의 길이가 감소함에 따라 약 120mV 의 문턱전압이 감소하며 이러한 문턱전압 감소 현상은 DIBL 특성의 악화에 의한 것이다^[27]. 20° 경사각 이온주입을 적용한 LBBC 소자의 경우는 문턱전압이 증가하는 경향을 보인다. 이는 경사각 이온주입에 의해 B^+ 이온이 채널쪽으로 보다 많이 침투함으로써 유효 채널길이가 줄어들에 따라 문턱전압이 채널 도핑에 의한 것 보다 정공의 낮은 전위장벽 경로 형성을 위한 경사각 이온주입에 더 많은 영향을 받게 됨을 보여 주는 것이다. 즉, 소오스쪽에 높은 B^+ 이온 농도가 linear threshold에서의 역 단채널 효과(Reverse SCE)를 유발시켰기 때문인데, 이러한 역 단채널 효과는 오히려 $0.1\mu\text{m}$ 이하의 유효 채널길이를 갖는 소자의 단채널 효과를 향상시키는 효과를 갖는다^[28].

그림 4-11은 유효 채널길이 변화에 따른 LBBC 소자의 SS 특성을 보여주고 있다. 채널길이 $0.5\mu\text{m}$ 에서 일반적인 PD SOI NMOSFET의 SS 특성은 $70\sim 90\text{mV/dec}$ 의 영역에 위치하는 것으로 알려져 있다^[11]. 유효 채널길이 $0.2\mu\text{m}$ 이상의 영역에서의 SS 특성은 기존의 이온주입 방식 LBBC 소자가 좋은 특성을 갖고 있으나, $0.2\mu\text{m}$ 이하의 영역에서는 20° 경사각 이온주입 방식 LBBC 소자가 유리한 것으로 나타났다. 또한, 20° 경사각 이온주입 방식 LBBC 소자는 기존의 이온주입 소자와 다르게 $0.1\mu\text{m}$ 이하에서도 100mV/dec 이하의 SS값을 갖는데, 이러한 특성은 단채널 효과의 매우 중요한 구성요소인 DIBL(Drain Induced Barrier Lowering)의 향상에 기인한다^{[31][27]}.

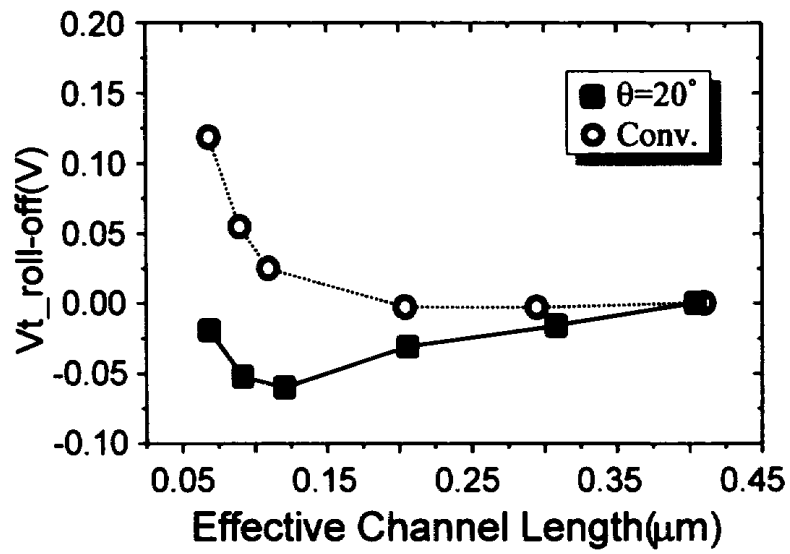


그림 4-10. 문턱전압 감소 특성

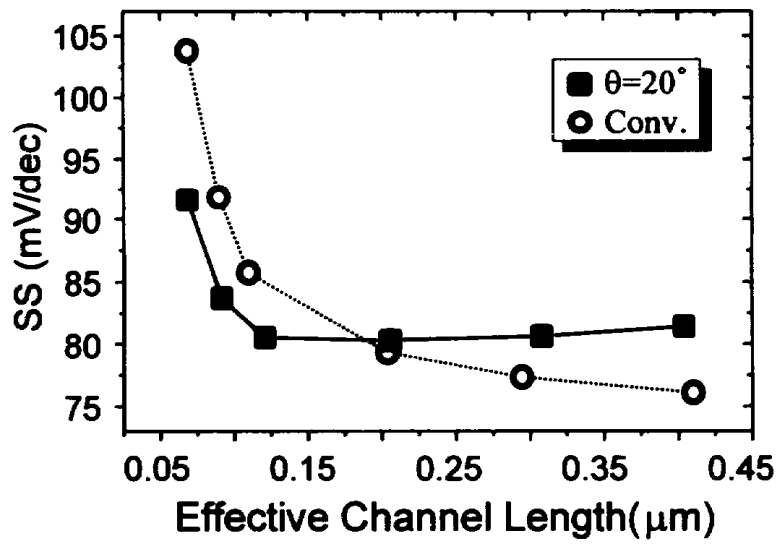
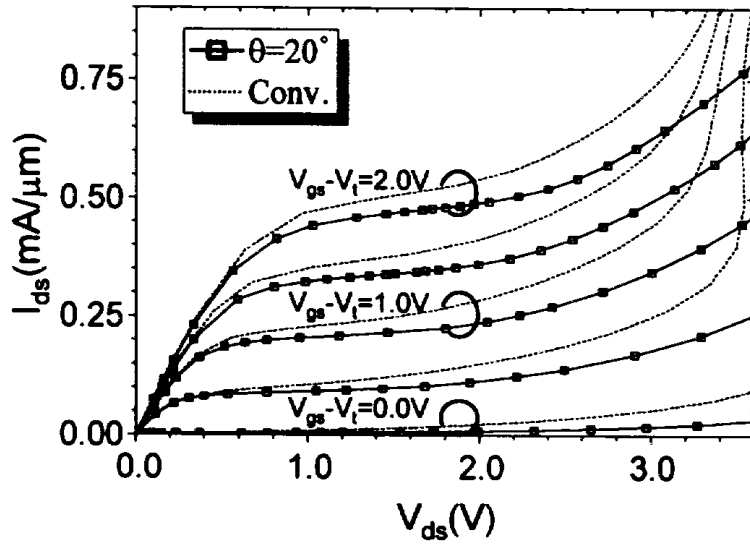


그림 4-11. SS(Subthreshold Swing) 특성

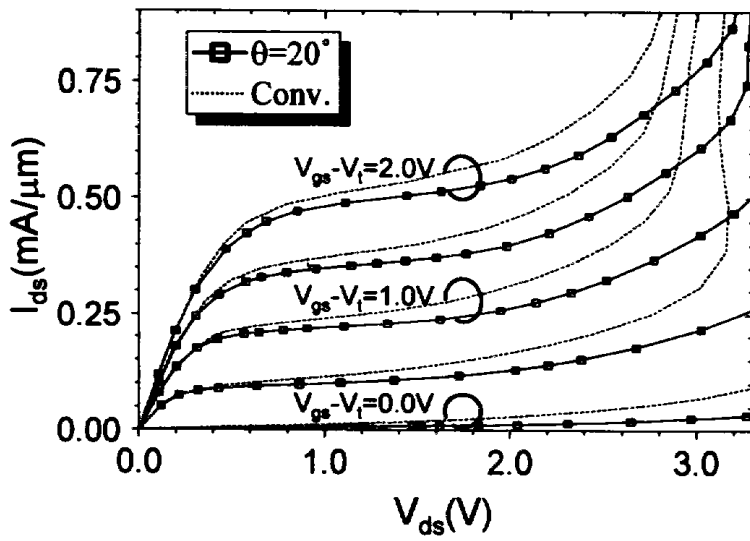
4-3-5 전류-전압 특성

그림 4-12는 $0.12\mu\text{m}$ 의 유효 채널길이를 갖는 기존의 이온주입 방식 LBBC 소자와 20° 경사각 이온주입 방식 LBBC 소자의 전류-전압 특성을 보여 주고 있으며, $V_{gs}-V_t$ 를 0V에서 2.0V까지 0.5V씩 변화시키면서 시뮬레이션한 결과이다. 그림 4-12(a)는 자기정렬 silicide 공정을 수행하지 않은 소자들의 전류-전압 특성을 보여주며, 그림 4-12(b)는 일반적인 자기정렬 silicide 공정을 수행한 소자들의 전류-전압 특성을 보여 주고 있다.

기존의 PD SOI 소자는 드레인 전류에서 kink가 발생하여 아날로그 및 혼합 신호용 회로에는 사용되기 어렵지만, LBBC 구조의 소자는 kink가 발생하지 않는다. 20° 경사각 이온주입 방식 LBBC 소자의 경우에도 기존의 이온주입 방식 LBBC 소자에 비해 비록 포화 전류는 작더라도 기존의 PD SOI NMOSFET에서 문제점으로 지적되어온 문턱전압 이하의 영역에서 kink 효과에 의한 드레인 전류의 급격한 증가현상은 나타나지 않는다. 또한, 자기정렬 silicide 공정을 적용할 경우 포화 전류를 향상시킬 수 있다. 따라서, 항복전압을 향상시키기 위한 경사각 이온주입 방식을 적용하여 LBBC 구조를 형성하더라도 서론에서 언급한 LBBC 구조가 갖는 장점을 유지할 수 있다.



(a)



(b)

그림 4-12. $L_{eff}=0.12\mu\text{m}$ 소자의 전류-전압 특성곡선

(a) 자기정렬 silicide 공정을 수행하지 않은 소자

(b) 자기정렬 silicide 공정을 수행한 소자

제5장. 결론 및 향후 연구과제

최근 저전력, 고속 IC에 대한 관심은 날로 증대되고 있다. 전원전압의 감소는 소모전력을 감소시키며, 집적도를 높이기 위해 보다 얇아진 게이트 산화막을 보호할 수 있는 하나의 해결 방안일 수 있다. 그러나 전원전압이 감소함에 따라 전류 구동력과 동작속도는 감소하게 된다. 동작속도를 유지하는 하나의 방법은 소자의 문턱전압을 낮추는 것이다. 박막 SOI CMOS 트랜지스터는 매우 급격한 SS 특성을 갖고 있어 소자의 문턱전압을 낮추더라도 누설전류와 대기전력에 영향을 주지 않으면서 회로의 동작속도를 유지할 수 있다. 또한, SOI CMOS 트랜지스터는 접합 정전용량이 매우 작기 때문에 전원전압이 낮아짐에 따라 벌크 회로와 비교할 때 보다 월등한 성능을 갖는다. 그러나, SOI 소자는 기생 BJT의 동작과 FBE에 의해 성능이 악화될 수 있다. 이러한 문제점들을 해결하기 위해 Chan 등에 의해 LBBC 구조가 제안되었다. LBBC 구조는 다수 캐리어의 low-barrier를 형성시킴으로써 kink 효과 및 항복전압을 개선하며, 높은 출력저항, 작은 문턱전압 변동, 낮은 flicker noise 등의 장점을 가지며 VLSI 제조공정과 호환성을 갖는다. 그러나, LBBC 구조의 성능도 채널길이가 줄어들어 따라 펀치쓰루등과 같은 단채널 효과에 의해 악화된다.

본 논문에서는 단채널에서의 펀치쓰루 효과를 감소시킴으로써, 펀치쓰루에 의한 항복전압 감소현상을 개선하고자 하였다. 이를 위해 효과적인 LBBC 구조를 형성시키기 위한 경사각 이온주입 방법을 새로이 적용하여 기존의 LBBC 소자에서 소오스-몸체 부근의 B⁺-이온 농도분포를 변화시켰다. 변화된 B⁺-이온 농도분포는 단채널에서 펀치쓰루 현상을 억제하며, 그 결과 몸체에서 소오스 콘택으로의 정공전류가 증가함으로써 항복전압이 향상되었다. 경사각 이온주입 조건에 따른 항복전압 특성은 펀치쓰루 현상의 영향이 중요한 0.12 μm 의 경우 경사

각, 도즈, 에너지의 경사가 이온주입 조건에 대하여 많은 영향을 받는데 반해, 펀치쓰루 현상의 영향이 크지 않은 $0.5\mu\text{m}$ 의 경우 항복전압은 경사가 이온주입 조건에 크게 영향받지 않았다. 경사가 이온주입 LBBC 구조의 공정조건에 따른 항복전압 특성은 소오스/드레인 이온주입 도즈와 low-barrier 이온주입 도즈의 변화시에 큰 변화를 보였다. 반면에 실리콘층 두께의 증가와 채널 이온주입 도즈의 증가는 항복전압 변화가 크지 않았다. 이를 바탕으로 유효 채널길이 $0.12\mu\text{m}$ 를 갖는 소자에 대한 최적의 경사가 이온주입 조건을 결정하였다. 최적화된 경사가 이온주입을 적용할 경우 기존의 LBBC 구조보다 2.3V 높은 항복전압을 가짐을 시뮬레이션으로 확인하였다. 또한, 경사가 이온주입 LBBC 소자는 유효 채널길이 $0.2\mu\text{m}$ 이하의 영역에서 기존의 LBBC 소자보다 유리한 SS 특성을 갖고 있음을 보였다. 드레인 전류-전압 특성에서는 PD SOI NMOSFET에서 문제점으로 지적되어온 문턱전압 이하의 영역에서 kink 현상이 나타나지 않았다. 따라서, 유효 채널길이 $0.2\mu\text{m}$ 이하의 단채널 영역에서 LBBC 구조 형성을 위한 경사가 이온주입 방식의 적용은 기존의 이온주입 방식 LBBC 소자의 장점을 희생하지 않고, 단채널에서 효과적으로 펀치쓰루 현상을 감소시킴으로써 항복전압의 향상이 가능하다.

그러나, 경사가 이온주입 LBBC 소자는 기존의 이온주입 LBBC 소자보다 다소 높은 문턱전압을 갖는다. 이는 소오스-몸체 부근에서 halo 도핑과 유사한 도핑분포가 형성됨으로써 몸체의 유효 도핑농도가 증가하였기 때문이다. 따라서, 기존의 이온주입 LBBC 소자에 비해 소비전력이 증가할 우려가 있다. 이를 해결하기 위해서는 보다 얇은 게이트 막과 적절한 일함수를 갖는 게이트 물질의 사용 등이 필요하다.

향후 위와 같은 문제점을 해결하고 실제 증폭회로에 적용하였을 때의 특성에 대한 연구와 $0.1\mu\text{m}$ 이하의 유효 채널길이를 갖는 소자에 대한 최적의 경사가 이온주입 조건에 대한 연구 및 공정의 단순화에 대한 연구가 요구된다고 생각한다.

참고문헌

- [1] Makoto Yoshimi *et al.*, "Technology Trends of Silicon-On-Insulator -Its Advantages and Problems to be Solved-," *IEDM Tech Dig.*, pp.429-432, 1994.
- [2] Jacques Gautier, Mario M. Pelella, and Jerry G. Fossum, "SOI Floating-Body, Device and Circuit Issues," *IEDM Tech Dig.*, pp. 407-410, 1997.
- [3] Neal Kistler and Jason Woo, "Detailed Characterization and Analysis of the Breakdown Voltage in Fully Depleted SOI n-MOSFET's," *IEEE Trans. Electronic Devices*, vol. 41, pp. 1217-1221, 1994.
- [4] Jin-Young Choi and Jerry G. Fossum, "Analysis and Control of Floating-Body Bipolar Effects in Fully Depleted Submicrometer SOI MOSFET's," *IEEE Trans. Electronic Devices*, vol.38, pp. 1384-1391, 1991.
- [5] Jai-hoon Sim, Chang-Hoon Choi *et al.*, "Elimination of Parasitic Bipolar-Induced Breakdown Effects in Ultra-Thin SOI MOSFET's Using Narrow-Bandgap-Source(NBS) Structure", *IEEE Trans. Electronic Devices*, Vol. 42, No. 8, pp. 1495-1502, Aug. 1995.

- [6] Makoto Yoshimi, Mamoru Terauchi *et al*, "Suppression of the Floating-Body Effect in SOI MOSFET's by the Bandgap Engineering Method Using a $\text{Si}_{1-x}\text{Ge}_x$ Source Structure," *IEEE Trans. Electronic Devices*, Vol. 44, No. 3, pp. 423-430, Mar 1997.
- [7] Terukazu Ohno, Mitsutoshi Takahashi, Yuichi Kado, and Toshiaki Tsuchiya, "Suppression of Parasitic Bipolar Action in Ultra-Thin-Film Fully-Depleted CMOS/SIMOX Devices by Ar-Ion Implantation into Source/Drain Regions," *IEEE Trans. Electronic Devices*, vol. 45, pp. 1071-1076, 1998.
- [8] Lisa T.Su, Jarvis B. Jacobs, James E. Chung, and Dimitri A. Antoniadis, "Deep-Submicrometer Channel Design in Silicon-On-Insulator (SOI) MOSFET's," *IEEE. Electronic Device Letter*, vol. 15, pp.366-369, 1994.
- [9] Hua-Fang Wei, James E. Chung *et al*, "Suppression of Parasitic Bipolar Effects and Off-state Leakage in Fully-Depleted SOI n-MOSFET's Using Ge-Implantation," *IEEE Trans. Electronic Devices*, Vol. 42, No. 12, pp. 2096-2103, Dec. 1995.
- [10] Omura-Y and Izumi-K, "Simplified Analysis of Body Contact Effect for SOI MOSFET," *IEEE Trans. Electronic Devices*, Vol. 35, pp.1391-1393, 1988.

- [11] Eric P. Ver Ploeg, Toshiharu Watanabe *et al.* "Elimination of Bipolar Induced Breakdown in Fully-Depleted SOI MOSFETs," *IEDM Tech Dig.*, pp. 337-340, 1992.
- [12] Masatada Horiuchi and Masao Tamura, "BESS: A Source Structure that Fully Suppresses the Floating Body Effects in SOI CMOSFETs," *IEDM Tech Dig.*, pp. 121-124, 1996.
- [13] Vincent M. C. Chen and Jason C. S. Woo, "Tunneling Source-Body Contact for Partially-Depleted SOI MOSFET," *IEEE Trans. Electronic Devices*, vol. 44, pp. 1143-1147, 1997.
- [14] Yo-Hwan Koh, Min-Rok Oh, Jong-Wook Lee, Ji-Woon Yang, Won-Chang Lee, and Hyung-Ki Kim, "Body-Contacted SOI MOSFET Structure and Its Application to DRAM," *IEEE Trans. Electronic Devices*, vol. 45., pp. 1063-1069, 1998.
- [15] Mansun Chan, Bin Yu, Zhi-Jian Ma, Cuong T. Nguyen, Chenming Hu, and Ping K. Ko, "Comparative Study of Fully Depleted and Body-Grounded Non Fully Depleted SOI MOSFET's for High Performance Analog and Mixed Signal Circuits," *IEEE Trans. Electronic Devices*, vol. 42, pp. 1975-1981, 1995.
- [16] Y. Yamaguchi, Y. Inoue *et al.*, "Improved Characteristics of MOSFETs on Ultra Thin SIMOX," *IEDM Tech Dig.*, pp. 825-828, 1989.

- [17] Makoto Yoshimi, Tetsunori Wada *et al*, "High Performance SOI MOSFET Using Ultra-Thin SOI Film," *IEDM Tech Dig.*, pp. 640-643, 1987.
- [18] Jean-Pierre Colinge, "Thin-Film SOI Technology: The Solution to Many Submicron CMOS Problems," *IEDM Tech Dig.*, pp. 817-820, 1989.
- [19] Michael L. Alles, "Thin-film SOI emerges," *IEEE Spectrum*, pp. 37-45, June 1997.
- [20] D. Flandre, L. F. Ferreira *et al*, "Modelling and Application of Fully Depleted SOI MOSFETs For Low Voltage, Low Power Analogue CMOS Circuits," *Solid-State Electronics*, Vol. 39, No. 4, pp. 455-460, 1996.
- [21] Melanie J. Sherony, Andy Wei *et al*, "Effect of Body-Charge on Fully- and Partially-Depleted SOI MOSFET Design," *IEDM Tech Dig.*, pp. 125-128, 1996.
- [22] Neal Kistler and Jason Woo, "Scaling Behavior of Sub-Micron MOSFETs on Fully Depleted SOI," *Solid-State Electronics*, vol. 39, pp. 445-454, 1996.

- [23] Dongwook Suh and Jerry G. Fossum, "A Physical Charge-Based Model for Non-Fully Depleted SOI MOSFET's and Its Use in Assessing Floating-Body Effects in SOI CMOS Circuits," *IEEE Trans. Electronic Devices*, Vol. 42, No. 4, pp. 728-737, April 1995.
- [24] Jean-Pierre and Colinge, *Silicon-On-Insulator Technology: Materials to VLSI*, Kluwer Academic Publishers, 1991.
- [25] Koichi Kato and Kenji Taniguchi, "Numerical Analysis of Switching Characteristics in SOI MOSFET's," *IEEE Trans. Electronic Devices*, Vol. ED-33, No.1, pp. 133-139, Jan. 1986.
- [26] *TMA MEDICI, Two-Dimensional Device Simulation Program, Version 4.0*, Technology Modeling Associates, Inc., Sunnyvale, CA, 1997.
- [27] T. Matsuki, F. Asakura, S. Saitoh, H. Matsumoto, M. Fukuma, and N. Kawamura, "Laterally-Doped Channel(LDC) Structure for Sub-Quarter Micron MOSFETs," *Dig. Tech Papers 1991 Symp. VLSI Tech.*, p.113, 1991.
- [28] Akira Hiroki, Shinji Odanaka, and Atsushi Hori, "A High Performance 0.1 μ m MOSFET with Asymmetric Channel Profile," *IEDM Tech Dig.*, pp. 439-442, 1995.

Abstract

Breakdown Voltage Optimization of Low-Barrier Body-Contact SOI NMOSFET

Min-Woo Jang

Dept. of Electronic Eng.

The Graduate School

Yonsei University

We optimize the breakdown characteristic for LBBC(Low-Barrier Body-Contact) structure in PD(Partially-Depleted) SOI NMOSFET. This is done by applying tilted implantation to formation of low-barrier path for holes.

The LBBC structure can effectively suppress FBE(Floating Body Effect) and parasitic BJT(Bipolar Junction Transistor) effect in PD SOI MOSFET with long channel length. But its performance becomes worse, as channel length is scaled down, due to SCE(Short Channel Effect). We propose a simple solution to this problem. If the low-barrier implantation angle is tilted, the doping profile at source-body boundary can be changed so that punchthrough effect is suppressed, resulting in the increased breakdown voltages. By simulation, we determine optimum tilted implantation conditions and compare breakdown characteristics of optimized LBBC structure with those of conventional LBBC structure. It shows that devices with optimized

LBBC structure has 2.3V higher breakdown voltages and larger resistance to SCE than those with conventional LBBC structure, at $L_{\text{eff.}}=0.12\mu\text{m}$.

This optimal tilted implantation for LBBC structure can be a good contribution to the design of analog & mixed-signal circuits that must be made of SOI devices having high breakdown voltage.

Key words : SOI, parasitic BJT, FBE, breakdown voltage, punchthrough, SCE, LBBC, tilted implantation