두개의 위상동기루프 전환 기법을 사용한 새로운 구조의 버스트 모드 클록 데이터 복원회로

> 연세대학교 대학원 전기전자공학과

한 평 수

두개의 위상동기루프 전환 기법을 사용한 새로운 구조의 버스트 모드 클록 데이터 복원회로

### 지도 최 우 영 교수

## 이 논문을 석사학위 논문으로 제출함

#### 2003년 12월 일

연세대학교 대학원 전기전자공학과 한 평 수

## 한평수의 석사학위 논문을 인준함

심사위원	<u> </u>
심사위원	<u>୍</u> 1
심사위원	인

- 연세대학교 대학원
- 2003년 12월 일

그림차례
표차례 vi
국문요약 vii
제 1 장. 서론
제 2 장. 연구배경
제 2-1 절. PON 시스템 소개
제 2-2 절. 버스트 모드 데이터 전송의 문제4
제 2-3 절. 기존의 버스트 모드 클록 복원회로에 대한 고찰
제 3 장. 버스트 모드 클록 복원회로의 구성블록 설계외 시뮬레이션
제 3-1 절. 새로운 구조의 제안
제 3-1-1 절. 동작원리
제 3-2 절. Gated VCO의 설계
제 3-2-1 절. 전압제어발진기 지연버퍼의 설계
제 3-2-2 절. Gated VCO의 구조
제 3-3 절. 레플리카 바이어스를 사용한 차동 논리게이트의 설계
제 3-3-1 절. 차동 논리게이트 바이어스 회로 설계
제 3-2-2 절. 차동 논리게이트의 설계
제 3-4 절. 위상주파수 검출기의 설계
제 3-5 절. 위상검출기의 설계
제 3-6 절. 주파수 분주기의 설계

제 3-7 절. 루프필터와 전하펌프의 설계44	
제 3-7-1 절. 전하펌프의 설계	
제 3-7-2 절. 루프필터의 설계	
제 3-8 절. 제어회로의 설계	
제 3-8-1 절. 제어회로의 상태도	
제 4 장. 전체 회로의 시뮬레이션	
제 4-1 절. 기준클록 위상동기루프53	
제 4-2 절. 루프의 전환과 버스트 모드 데이터의 수신	
제 5 장. 측정결과60	
제 5-1 절. 칩과 테스트보드의 제작 결과60	
제 5-2 절. 동작주파수 영역과 기준클록루프의 지터발생 특성64	
제 5-3 절. 루프 전환동작과 버스트 모드 데이트의 클록 복원66	
제 5-3-1 절. 기준클록 주파수 오차와 락킹 타임	
제 5-3-2 절. 펄스폭 왜곡을 포함한 입력 데이터의 영향	
제 5-4 절. 클록복원루프의 특성	
제 5-5 절. 전원전압과 입/출력 버퍼, 소모전력	
제 6 장. 결론	
참고문헌80	
ABSTRACT	

## 그림차례

그림 2.1. PON 시스템의 구조와 상향전송, 하향전송의 동작원리	6
그림 2.2. 버스트 모드 전송에서 발생하는 신호의 크기/위상의 불연속 문제	6
그림 2.3. 링형 발진기를 바탕으로 한 gated VCO의 구조	9
그림 2.4. Gated VCO를 사용한 버스트 모드 클록 데이터 복원회로	9
그림 2.5. 그림 2.4의 버스트 모드 클록 복원회로의 동작원리와 복원된	
클록파형	0
그림 2.6. 다중위상 전압제어발진기를 사용한 버스트 모드 클록 복원회로 1	0
그림 3.1. 제안된 버스트 모드 클록 복원회로의 블록도	3
그림 3.2. 기준클록루프로 동작할 경우 위상동기루프 신호의 흐름	3
그림 3.3. 클록복원루프로 동작할 경우 위상동기루프 신호의 흐름	4
그림 3.4. 루프전환시 입력파형과 출력파형의 변화의 개략적인 형태1	4
그림 3.5. 능동부하를 사용한 지연버퍼의 구조	9
그림 3.6. 선형영역부하와 능동부하의 구조	9
그림 3.7. 선형영역 부하의 전류/전압 특성곡선	0
그림 3.8. 대칭부하의 전류/전압 특성곡선	0
그림 3.9. 설계된 전압제어발진기 지연버퍼와 바이어스 회로	1
그림 3.10. 전압제어발진기 지연버퍼의 크기응답 특성곡선	2
그림 3.11. 전압제어발진기 지연버퍼의 위상응답 특성곡선	2
그림 3.12. 설계된 Gated VCO의 블록도	5
그림 3.13. Gated VCO의 출력위상 재설정 시뮬레이션 파형	5
그림 3.14. Gated VCO의 출력위상 재설정 시뮬레이션 파형 확대	6
그림 3.15. 설계된 Gated VCO의 주파수/제어전압 특성곡선	6
그림 3.16. 차동 논리게이트의 구조와 바이어스 회로	8
그림 3.17. 바이어스 기준전압과 논리게이트의 출력파형	8
그림 3.18. 2-입력 논리 게이트 기본블록	0

그림	3.19. 기본블록을 사용하여 AND/OR게이트 구현
그림	3.20 다중화장치(MUX, Multiplexer) ~~~ 31
그림	3.21. 래치(Latch)
그림	3.22. 배타적 논리합(XOR) 게이트 ~~~~ 32
그림	3.23. 리셋기능이 있는 래치
그림	3.24. RS latch
그림	3.25. 위상 주파수 검출기(PFD, Phase Frequency Detector)
그림	3.26. f <sub>Clk</sub> =210Mhz, f <sub>Ref</sub> =200Mhz에 대한 위상주파수 검출기의 출력파형…35
그림	3.27. PFD출력 Up/Down 펄스폭의 최소값
그림	3.28. PFD Enalble신호에 따른 Up/Down 출력과형
그림	3.29. 위상검출기(PD, Phase Detector)
그림	3.30. 위상검출기의 동작원리와 출력파형
그림	3.31. 위상오차에 따른 위상검출기의 이득곡선 40
그림	3.32. 리셋기능이 있는 주파수 분주기(2분주)42
그림	3.33. 주파수 분주기(4분주)
그림	3.34. 설계된 분주기의 출력파형
그림	3.35 분주기의 제어신호와 출력파형43
그림	3.36. 전하펌프의 회로도와 동작원리
그림	3.37. 전하펌프의 출력전류 시뮬레이션 결과46
그림	3.38. 제어회로 FSM의 상태도
그림	3.39. 차동 SR래치로 구현된 제어회로 FSM
그림	3.40. 루프 전환시의 제어회로 FSM의 출력신호와 해당하는 상태번호52
그림	3.41. 제어회로 FSM과 블록제어신호 발생기의 시뮬레이션 결과파형 52
그림	4.1. 기준클록루프의 동기를 획득하는 과정의 제어전압파형
그림	4.2. 기준클록루프의 동기획득후 제어전압 파형의 확대
그림	4.3. 기준클록루프에서 클록복원루프로 전환하는 과정에서의 제어전압의
	파형(입력 데이터는 650Mbps, 1010)

그림 4.4. 기준클록루프 → 클록복원루프 → 기준클록루프로 전환하는 과정에서의

		제어전압의 파형 확대(입력데이터는 650Mbsp, 1010)
그림	4.5.	기준클록루프 → 클록복원루프로 전환하는 순간의 gated VCO의 위상
		재설정 동작과 복원된 클록
그림	4.6.	클록복원루프 → 기준클록루프로 전환하는 과정, 기준클록과 동위상의
		분주기 출력의 파형
그림	4.7.	입의의 입력데이터 패킷에 대한 루프전환동작과 복원된 클록파형…58
그림	4.8.	임의의 데이터 패킷에 대한 루프전환동작시 제어전압의 파형58
그림	4.9.	임의의 데이터입력으로부터 복원된 클록의 아이다이어그램(Eye
		diagram) 59
그림	5.1.	설계한 회로의 레이아웃과 구성블록61
그림	5.2.	제작된 칩의 현미경 사진62
그림	5.3.	제작된 테스트보드의 전면63
그림	5.4.	제작된 테스트보드의 후면63
그림	5.5.	기준클록루프 동작영역과 지터측정을 위한 측정장비 연결 그림65
그림	5.6.	기준클록루프 출력클록의 지터 히스토그램(histogram)65
그림	5.7.	루프전환과 버스트 모드 데이터 수신을 측정하기 위한 측정장비 연결
		그림
그림	5.8.	버스트 모드 데이터 수신과형(입력데이터 : 10101100111000)67
그림	5.9.	버스트 모드 데이터 수신파형(입력데이터 : 임의 비트열)68
그림	5.10	. 버스트 모드 데이터 수신파형(입력데이터 : 8비트 간격의 8비트 데이터
		패킷)68
그림	5.11	. 펄스폭 왜곡을 포함한 입력 데이터와 복원된 데이터의 파형72
그림	5.12	클록복원루프에서의 특성을 측정하기 위한 측정장비 연결 그림74
그림	5.13	. PRBS31 패턴으로부터 복원된 클록의 지터 히스토그램74
그림	5.14	. PRBS31 패턴으로부터 복원된 데이터의 아이다이어그램75
그림	5.15	. 50cm PCB라인을 통과한 후의 PRBS7 패턴의 아이다이어그램 78

– v –

## 표 차 례

표	3.1.	RS래치의 진리표
표	3.2.	설계된 클록복원회로의 루프특성
표	3.3.	루프 구성블록 제어신호의 정의
丑	5.1.	기준클록루프에서으 출력클록의 지터발생 특성64
丑	5.2.	프리앰블 비트열의 길이에 따른 기준클록 주파수 오차 허용범위70
표	5.3.	클록복원루프에서의 입력데이터 패턴에 따른 동작특성
丑	5.4.	제작된 칩의 사양과 측정결과

#### 국문요약

## 두개의 위상동기루프 전환 기법을 사용한 새로운 구조의 버스트 모드 클록 데이터 복원회로

본 논문에서는 버스트 모드 데이터 전송이 필요한 PON시스템 등에서 사용할 수 있는 새로운 구조의 버스트 모드 클록 데이터 복원회로를 제안하고 실제 칩으 로 구현하여 성능을 검증하였다. 기존에 발표되었던 버스트 모드 클록복원회로와 는 달리, 제안된 구조는 입력 데이터에 포함된 위상 잡음이나 duty cycle 왜곡에 대한 면역성(immunity)를 가지므로 깨끗한 클록을 얻을 수 있다.

제안된 클록복원회로는 내부적으로 2가지의 위상동기루프로 동작하며, 각각 4 분주된 기준클록과 입력 데이터에 동기된다. 루프간의 전환은 FSM으로 구현된 제어회로를 통하여 기준신호의 edge에 동기되어 이루어지므로 일반적인 위상동기 루프에서 필요한 주파수/위상 획득시간(Frequency/Phase acquisition time)이 불필 요하다. 루프간의 전환에 필요한 프리앰블 비트열의 길이는 4비트이다.

설계된 회로는 TSMC 0.25µm 1P5M공정을 통하여 제작되었으며 테스트 보드에 실장되어 성능을 검증하였다. 측정결과 설계목표치인 622Mbps 속도의 버스트모드 데이터로부터 클록을 복원하는 것을 확인하였다.

설계된 회로의 제어블록은 모두 차동 논리게이트를 사용하여 구현되었므로 소 비전력은 다소 높으나 이는 싱글출력 논리게이트로 대체함으로써 개선될 수 있다.

핵심되는 말 : 버스트 모드, 위상동기루프, PON, Gated VCO, 클록 복원회로, 클록 데이터 복원회로, 차동 논리게이트

– vi –

#### 제1장.서론

1998년 국내 최초로 케이블 모뎀을 통한 초고속 인터넷 서비스가 시작된 이래 로 xDSL. LAN, 위성통신 등을 사용한 디지털 가입자망 서비스에 대한 수요는 꾸 준히 증가하여 왔고, 가입자망 보급이 시작된지 불과 4년이 지난 2002년 10월 현 재 정보통신부에 따르면 국내에서만 무려 1,000만명 이상의 가입자가 초고속 인터 넷 서비스를 사용하고 있는 것으로 집계된 바 있다[1].

늘어가는 가입자망 보급률과 더불어 가입자당 사용하는 대역폭에 대한 요구도 꾸준히 증가하고 있다. 정부에서는 2005년까지 1,350만 가입자에 가입자별 20Mbps이상의 대역을 제공할 수 있는 서비스망을 구축하겠다는 계획을 내놓았고, 최근 보급되기 시작한 VDSL의 경우 상향/하향 속도 6.4Mbps/52Mbps, 3Mbps/25Mbps 혹은 양방향 13Mbps를 최대 1.5Km까지 제공하는 것이 가능하여 기존의 ADSL, 케이블 모뎀을 대체할 만한 가입자망 방식으로 알려져 있다.

그러나 최근의 전자우편, 웹 서핑 등의 인터넷 서비스를 비롯, VOD(Video On Demand) 등과 같은 동영상을 포함한 멀티미디어 서비스의 급격한 확장으로 인하 여 가까운 미래 가입자의 요구를 만족시키기 위한 필요 대역은 가입자당 약 65Mbps를 상회할 것으로 예측되고 있는데, 이는 현재 사용되고 있는 구리선 기반 의 가입자망 방식으로는 제공하기에 역부족이다[2].

가입자망의 서비스 구역의 제한, 증가하는 대역폭에 대한 요구들을 해결하기 위하여 최근 들어 제시되고 있는 대안이 바로 광가입자 망(FTTH, Fiber To The Home)이다. 광가입자망에서 사용되는 통신매체인 광케이블은 전송특성이 우수하 고 신호의 손실이 적어 장거리 전송이 가능하며, 전기적 장애가 없고 대역이 거의 무한하므로 미래의 광대역 수요에 대처하기에 적합하다고 할 수 있다.

광가입자망의 여러 방식중에서도 기술적/경제적인 측면에서 가장 현실성 있는 방식으로 생각되고 있는 것이 PON(Passive Optical Network)방식이다. 케이블 모 뎀, xDSL등의 전 세계적인 가입자망 보급 현황을 볼 때, 세계적인 가입자망의 흐 름을 주도하고 있는 우리나라가 차세대 가입자망인 PON 시스템의 적용에 적합하

- 1 -

며, 정부도 장기적인 계획으로 모든 가입자망의 광가입자망화를 제시한 바 있다.

이와 같이 광 가입자망 관련 시장 수요는 국내에 무르익고 있는 반면 관련 기 술은 현재 선진국에서 독점하다시피 하고 있는 현실이다. PON의 경우 IEEE, ITU-T의 양대 진영에서 현재 기가비트급 PON시스템의 국제 표준화 작업을 수행 하고 있고, 미국, 이스라엘, 일본을 비롯한 국가에서는 이미 가 표준 사양을 만족 하는 PON시스템용 기기의 시제품을 제작하여 발표한 바 있다[3].

ADSL, VDSL의 경우 국내 시장 수요를 충당하는 대부분의 기기들의 핵심부품 들이 외국으로부터의 수입에 의존하고 있다는 사실로 미루어 볼 때, 차세대 광 가 입자망에 요구되는 핵심 기술에 대한 연구 개발이 시급하다고 하겠다.

PON시스템의 핵심 기술로는 버스트 모드/연속모드 광 송수신기의 구현과, 이 를 제어하는 매체 접속 제어(MAC, Media Access Control)회로의 구현을 들 수 있다. 본 논문에서는 이중에서도 버스트 모드 수신기의 핵심블록인 버스트 모드 클록 복원회로의 설계와 제작에 대한 연구와 실험 결과를 제시한다.

제안된 회로는 0.25µm CMOS 공정을 사용하여 설계/제작되었으며 622Mbps의 데이터 속도에서 정상적으로 클록과 데이터를 복원해 내는 것을 목표로 하였다.

2장에서는 PON시스템에 대한 간략한 소개와, 버스트 모드 클록 복원회로가 필 요한 이유에 대하여 살펴보고 기존의 버스트 모드 클록 복원회로의 동작원리와 장/단점에 대하여 간략히 설명한다.

3장에서는 기존 구조의 클록 복원회로의 문제점을 해결할 수 있는 새로운 구 조의 버스트 모드 클록 복원회로의 구조를 제시하며, 회로를 구성하는 각 블록들 의 설계결과와 시뮬레이션 결과를 설명한다.

4장에서는 3장에서 설계한 블록들을 사용하여 제안된 클록복원회로를 구성하 고 시뮬레이션을 통하여 그 동작을 검증한다.

5장에서는 실제 칩으로 제작된 회로의 측정 결과를 설명하고 6장에서 결론을 지으며 본 논문을 맺도록 한다.

#### 제 2 장. 연구배경

#### 제 2-1 절. PON 시스템 소개

PON시스템의 구성과 동작원리는 그림 2.1과 같다. 망의 형태는 트리(tree)구조 로서, 광섬유의 접속점에는 수동 광 분배기를 사용하여 광버스(Optical bus)를 구 성하게 된다. 광섬유망의 각 한 끝에는 OLT(Optical Link Termination)가 연결되 며, 나머지 끝에는 다수의 ONU(Optical Network Unit)라 불리는 송수신기기가 연결되며, OLT는 서비스 제공업체 측에, ONU는 가입자측에 위치하게 된다.

PON 시스템에서의 데이터의 전송은 OLT와 ONU간에서만 이루어진다. OLT 에서 ONU로의 전송을 하향전송, ONU에서 OLT로의 전송을 상향전송이라고 부 르기로 한다. PON 시스템에서는 하향전송과 상향전송에 각기 파장이 다른 레이저 를 사용하여 1가닥의 광섬유 채널을 공유한다.

PON 시스템의 하향전송, 즉 OLT로부터 ONU로의 전송에는 시분할 다중화 기 법(TDM, Time Division Multiplexing)을 사용한 브로드캐스팅(broadcasting)방식 이 사용된다. 한편 상향전송에서는 각 ONU들이 송신하는 데이터가 OLT로 전송될 때 데이터간의 충돌이 일어나지 않도록 하기 위하여 OLT에서는 ONU마다 시간을 할당, 모든 ONU는 자신에게 보장된 시간(타임 슬롯, time slot)에서만 데이터를 송 신하도록 하고 있다. 어느 ONU가 데이터를 송신할 때 나머지 다른 ONU들은 송신 중인 ONU를 방해하지 않도록 레이저의 전원을 완전히 차단하여야 한다.

일반적인 광 통신 시스템의 경우 수신측에서 수신된 데이터로부터 클록 정보 를 복원하여 이를 통해 데이터를 시간축에서 재정렬(retiming)하게 되므로, 실제 데이터의 전송이 없을 경우에도 미리 약속된 패턴의 더미(dummy) 데이터를 송신 하여 수신측의 실제 전송되는 데이터가 없을 경우에도 클록 복원회로가 송신기와 의 동기를 유지하게 된다. 이를 연속모드 전송(continuous mode transmission)이 라고 부른다.

반면 PON시스템의 상향전송의 경우에는 OLT와 각 ONU간의 광섬유 채널의

길이와 물리적 환경이 모두 다르며, OLT측에서 수신되는 신호가 각 ONU의 간헐 적인 송신 데이터들의 조합으로 구성되므로 수신 신호의 크기와 위상이 ONU가 바뀔 때마다 무작위로 변하게 된다. 또한 연속모드 전송과는 다르게 데이터의 전 송이 없는 구간에는 더미 데이터의 전송이 이루어지지 않으므로 OLT측의 수신기 는 매번 OLT의 데이터 송신 간격 마다 복원하는 클록의 동기를 잃게 된다. 이러 한 방식을 버스트 모드 전송(Burst mode transmission)이라고 부른다.

연속모드 전송에 사용되는 클록 복원회로의 경우 복원되는 클록에 포함된 위 상잡음(Phase noise)를 줄이기 위하여 클록 위상에 대한 전달함수(transfer function)의 대역폭을 사용 클록 주파수의 수% 미만으로 설정하는 것이 일반적이 다. 그러므로 버스트 모드 전송에서와 같은 큰 위상의 변화(phase step error)가 가해질 경우 이를 복구하는데 수십~수백 비트(bit) 이상의 시간이 소요되며 극단 적인 경우 위상의 동기가 깨어지게 된다.

그러므로 PON시스템의 상향전송과 같은 버스트 모드 전송에서는 데이터 전송 단위(이하 데이터 패킷, data packet)마다 수신측 클록 복원회로의 위상을 해당 통 신 규약이 지정하는 시간(일반적으로 수십 비트 내외) 내에 추적하여 복구하거나 혹은 재설정하는 특수한 구조가 필요하게 된다.

#### 제 2-2 절. 버스트 모드 데이터 전송의 문제

앞절에서 설명한 바와 같이 버스트 모드 전송에서 데이터 패킷별로 그 신호의 크기와 위상이 불연속적이게 된다. 이는 OLT단에서부터 각 ONU단까지의 물리적 인 거리가 일정하지 않기 때문에 발생한다. 이러한 문제가 그림 2.2에 나타나 있 다. 그림 2.2에 나타난 ONU#1은 ONU#2보다 OLT에 더 가깝게 위치하므로 ONU#1과 ONU#2가 같은 출력의 레이저를 신호원으로 사용한다고 가정할 경우 ONU#1의 신호가 OLT에서는 더 큰 크기를 가진 것으로 보이게 된다. 또한 ONU#1과 ONU#2의 전송클록은 서로 동기되어 있지 않으므로 만약 OLT단에 연 속모드용 클록 복원회로를 사용할 경우에 OLT는 ONU#2의 데이터가 도착하는 순

- 4 -

간 임의의 크기의 데이터 클록 위상오차를 겪게 된다.

대부분의 버스트 모드 전송의 경우 수신측에서 신호의 크기정보와 위상정보를 감지하여 클록과 데이터를 올바르게 복원할 수 있도록 데이터 패킷의 앞부분에 프리앰블(preamble) 신호를 추가한다. 예를 들어 622Mbps급 GPON 표준에서는 28비트의 프리앰블 신호를 정의하며[4], 수신기는 이 시간동안 신호의 크기정보와 위상정보를 복원하여야 한다. 그림 2.2에 나타난 Ton, Toff는 ONU의 버스트 모드 송신기의 레이저 다이오드를 켜고 끄는데 소요되는 시간(turn-on/off time)을 나타 내고 Thr, Tcr은 각각 크기정보 복원시간(level recovery time), 클록정보 복원시간 (clock recovery time)을 나타낸다. 다음 절에서는 기존에 발표되어 있는 버스트 모드 클록 복원회로의 종류와 구조들을 살펴보고 각각의 장단점을 살펴보기로 한 다.



그림 2.1. PON 시스템의 구조와 상향전송, 하향전송의 동작원리



그림 2.2. 버스트 모드 전송에서 발생하는 신호의 크기/위상의 불연속 문제

#### 제 2-3 절. 기존의 버스트 모드 클록 복원회로에 대한 고찰

지금까지 발표된 바 있는 버스트 모드 클록 복원회로는 크게 두 가지 종류로 나누어 생각할 수 있다. 첫 번째는 위상 제어가 가능한 전압 제어 발진기(Phase Resettable Gated VCO, Voltage Controlled Oscillator, 이하 gated VCO)를 사용 한 구조[5], 두 번째는 다중 위상 전압 제어 발진기(multi-phase VCO)를 사용한 클록 합성방식[6]이다.

첫 번째 구조의 경우 제어신호에 따라 발진하는 위상을 리셋(reset)할 수 있도 록 설계된 gated VCO를 입력 데이터로 직접 제어하여 클록을 복원하는 방식으로 동작한다. Gated VCO는 링형 발진기(Ring Oscillator)의 일종으로 링을 구성하는 지연소자 중의 하나를 다중화기(MUX, Multiplexer)나 AND게이트로 대치하여 발 진기의 출력을 외부신호로서 제어할 수 있도록 한 것을 말한다. 그림 2.3과 2.4에 각각 gated VCO와 이를 이용한 버스트 모드 클록 복원회로의 블록도가 나타나 있다.

그림 2.4에서 보이는 것과 같이, 이러한 구조의 버스트 모드 클록복원회로는 로 컬 기준 주파수에 동기되어 gated VCO에 제어전압을 공급하는 PLL(Phase Locked Loop)과 클록을 합성해내는 gated VCO 2개로 구성된다. Reference VCO 와 gated VCO#1, #2는 동일한 구조로 주의 깊게 설계하여 하나의 제어전압을 공 유하며 모두 같은 주파수로 발진하도록 한다. PLLGated VCO#1과 gated VCO#2 는 각각 입력 데이터의 high와 low구간에서만 발진하도록 되어 있다.

그림 2.5에서와 같이 데이터가 입력되면 각 gated VCO#1은 데이터의 positive edge에, gated VCO#2는 negative edge에 각각 동기되어 데이터 클록의 절반씩을 생성해 낸다. 두 출력을 OR연산을 거치면 그림 2.5의 4)와 같은 완전한 클록을 복 원해 낼 수 있다.

이와 같은 구조의 경우 회로의 구성이 간단하고 소비전력이 적으며, 특히 데이 터가 주어지는 즉시 클록을 복원해 낼 수 있으므로 프리앰블 비트열이 필요없다 는 장점을 지닌다. 반면에 입력되는 데이터에 포함된 지터(jitter)가 복원된 출력에

- 7 -

그대로 나타나게 된다는 단점이 있다. 더욱이 데이터의 duty cycle이 정확히 50% 가 아닐 경우 복원된 클록에 duty cycle의 왜곡 정도에 비례하는 deterministic jitter가 나타나게 되며, 이는 데이터 전송 링크의 비트 오류율(BER, Bit Error Ratio)를 증가시키는 원인이 된다.

다중위상 전압제어 발진기를 사용하는 두 번째 방식의 경우, 링형 발진기의 각 단에서 일정한 위상차를 갖는 클록을 얻고, 이를 들어오는 데이터의 위상과 비교 하여 가장 적절한 클록을 선택하는 방식으로 클록을 복원한다[6]. 그림 2.6에 이러 한 방식의 버스트 모드 클록 복원회로의 블록도가 나타나 있다.

이러한 구조의 클록 복원회로는 첫 번째 방식과는 달리 피드백(feed-back)구조 를 취하고 있으므로 입력 데이터의 지터를 적절히 제거하는 기능을 가지며, 3비트 길이의 프리앰블 비트열으로 클록을 복원해 낼 수 있다. 그러나 한편 회로의 동작 을 위하여 복잡한 논리회로와 제어블록들이 추가되어 전력의 소모가 많고 최대 동작속도가 제한받게 된다.



그림 2.3. 링형 발진기를 바탕으로 한 gated VCO의 구조



그림 2.4. Gated VCO를 사용한 버스트 모드 클록 데이터 복원회로



그림 2.5. 그림 2.4의 버스트 모드 클록 복원회로의 동작원리와 복원된 클록 파형



그림 2.6. 다중위상 전압제어발진기를 사용한 버스트 모드 클록 복원회로

- 10 -

# 제 3 장. 버스트 모드 클록 복원회로의 구성블록 설계와 시뮬레이션

#### 제 3-1 절. 새로운 구조의 제안

본 절에서는 앞서 소개한 두 가지 구조와는 다른 새로운 구조의 버스트 모드 클록 복원회로를 제안한다. 제안된 구조의 클록 복원회로는 클록 복원 동작을 위 해 4비트 길이의 프리앰블 비트열이 필요하며, PLL기반의 클록 복원회로로 설계 되어 입력 데이터에 포함된 지터를 제거하는 기능과 데이터의 duty cycle 왜곡에 대한 이뮤니티(immunity)를 가진다. 또한 비교적 간단한 구조의 제어회로를 사용 함으로써 고속동작에 유리하다.

#### 제 3-1-1 절. 동작원리

그림 3.1에 제안된 회로의 블록도를 나타내었다. 제안된 클록 복원회로는 두 개 의 위상 동기 루프가 하나의 gated VCO를 공유하고 있는 형태로 이루어져 있다. 두 개의 루프는 각각 위상검출기(PD, Phase Detector)와 위상 주파수 검출기(PFD, Phase Frequency Detector)를 통해 위상오차를 되먹임(feed-back) 하는 루프를 구 성한다. 그림 3.1에서 보이는 제어회로(Control Logic)은 루프 전환 요구 신호 BSTE(BurST Enable)에 따라 각 블록을 on/off하여 두개의 루프가 서로 교대로 동작하도록 한다. 앞으로의 설명에서는 위상주파수 검출기를 사용하여 4분주된 로 컬 기준 클록(Local reference clock)에 동기되는 루프를 "기준클록루프", 위상검출 기를 사용하여 데이터 신호에 동기되는 루프를 "클록복원루프"라고 부르기로 한다.

기준클록 루프로 동작할 경우의 위상동기루프의 형태를 그림 3.2에 나타내었 다. 기준클록 루프는 데이터 패킷이 없을 때, 즉 데이터를 수신하고 있지 않을 때 활성화 되며, 회로에 전원이 인가된 직후 위상동기루프가 주파수 획득(Frequency acquisition)을 통해 실제 동작 주파수 영역으로 들어오도록 하는 역할과, 전압제어 발진기의 제어전압이 누설 전류(Leakage current)에 의하여 적정 발진 영역을 벗

- 11 -

어나는 것을 방지하는 역할을 한다. 이 루프는 전압제어 발진기, 주파수 분주기, 위상 주파수 검출기, 전하 펌프(Charge pump), 루프필터(Loop filter)로 구성되며, 수신하고자 하는 데이터의 속도(bit rate)의 1/4배 주파수인 기준 클록에 동기되는 위상동기루프이다. 기준클록루프는 실제로 일반적인 위상동기루프와 동일한 구조 를 가진다.

그림 3.3은 제안된 회로가 클록복원루프로 동작할 때의 위상동기루프를 나타낸 다. 클록복원루프는 실제로 데이터 패킷을 수신하고 있을 때 전압제어 발진기의 출력을 데이터의 위상에 동기시키는 역할을 하며, 전압제어 발진기, 위상검출기, 전하펌프, 루프 필터로 구성된다. 클록복원루프는 입력 기준신호의 천이 (transition)가 있을 경우에만 오차 신호를 발생시키는 방식[7]을 사용하므로 NRZ(Non Return to Zero) 형식의 데이터와 전압제어 발진기의 클록의 위상을 비 교하여 그 오차를 되먹임 하게 된다. 클록복원루프의 경우 일반적인 구조의 연속 모드 클록 복원회로와 동일한 구조를 가진다.

기준클록루프와 클록복원루프간의 전환은 클록 복원회로 외부에서 주어지는 신호인 루프 전환 요구 신호 BSTE에 의하여 이루어진다. 제어블록은 루프전환 요구가 들어오면, 전환 이후의 기준신호 - 즉 루프 전환이 일어난 후에 루프가 동 기될 신호. 예를 들면 기준클록 루프에서 클록 복원루프로 전환이 일어날 경우에 는 데이터 신호(그림 3.3에서 Data in)가 기준신호가 된다 - 의 천이가 일어날 때 마다 전환이 필요한 구성블록들을 차례로 on/off시키게 되며, gated VCO의 출력 또한 기준신호의 천이시점에 동기되도록 위상이 재조정 된다.

결과적으로 전환이 일어난 직후의 gated VCO의 출력은 동기를 획득하여야 하 는 기준신호와 같은 위상을 가지게 되며, 일반적인 위상 동기루프와는 달리 별도 의 위상 획득(Phase acquisition)과정을 거치지 않고 즉각 동기를 얻게 된다. 루프 전환에 필요한 각 구성블록들의 on/off 신호는 그림 3.1에 DIVE, VCOE, PFDE, PDE로 표시되어 있고, 각각 주파수 분주기, 전압제어 발진기, 위상주파수 검출기, 위상검출기를 on/off시키는 신호를 나타낸다.

그림 3.4는 위에 설명한 과정을 통해 루프의 전환이 일어난 경우 입력파형과 출력 파형의 변화를 도식적으로 나타내고 있다.

- 12 -



그림 3.1. 제안된 버스트 모드 클록 복원회로의 블록도



그림 3.2. 기준클록루프로 동작할 경우 위상동기루프 신호의 흐름



그림 3.3. 클록복원루프로 동작할 경우 위상동기루프 신호의 흐름



그림 3.4. 루프전환시 입력 파형과 출력 파형의 변화의 개략적인 형태

#### 제 3-2 절. Gated VCO의 설계

CMOS 공정을 이용한 VLSI설계에서 일반적으로 많이 사용되는 전압 제어 발 진기의 구조는 크게 링형 발진기와 LC 공진기를 사용한 발진기로 나뉘어진다. 링 형 발진기의 경우 구조가 간단하고 차지하는 칩 면적이 작아 직접화가 용이하며 주파수 발진 범위가 넓어 일반적인 응용분야에서 많이 사용된다. LC 발진기의 경 우 링형 발진기보다 발진 안정성이 뛰어나 출력 파형의 위상 잡음(phase noise)이 훨씬 적으므로 안정된 주파수의 신호를 발생시켜야 하는 주파수 합성기 (Frequency synthesizer) 등에 많이 사용되나, 인덕터(Inductor)의 집적화가 어렵고 칩 면적을 많이 차지하므로 제한적으로 사용되고 있다. 본절에서 설명할 gated VCO의 경우 구조상의 특징으로 인하여 LC 발진기로는 구현하기가 곤란하며, 링 형 발진기를 바탕으로 설계하기로 한다.

#### 제 3-2-1 절. 전압제어발진기 지연버퍼의 설계

 링형 전압제어 발진기에 사용되는 지연버퍼는 제어전압에 의해 입력/출력 신호 간 지연시간을 조정할 수 있는 기능을 가지고 있어야 하며, 보통은 출력저항이나 출력 전류량을 조절하는 방법을 사용하게 된다. 일반적으로 많이 사용되는 차동형 버퍼는 그림 3.5과 같은 구조를 가지며, 제어전압으로서 능동부하의 저항값을 조절 하여 지연되는 시간을 변화시킨다.

C는 다음 단 입력 노드에서 발생하는 기생 캐패시턴스를 나타낸다.

그림 3.5에서 M<sub>4</sub>, M<sub>5</sub>가 선형 영역(Linear region)에서 동작하도록 V<sub>cnt</sub>를 정하 면 입력/출력간의 지연량은 식(3.1)와 같이 계산된다[8].

$$T_{Delay} = R_{M4,5}C = \frac{C}{\mu_p C_{ox} \left(\frac{W}{L}\right)_{M4,5} \left(V_{DD} - V_{cnt} - |V_{THP}|\right)}$$
.....(3.1)

- 15 -

한편, 링형 발진기의 발진 주파수는 T<sub>Delay</sub>에 반비례하므로

$$F_c \propto \frac{1}{T_{Delay}} = \frac{\mu_p C_{ox} \left(\frac{W}{L}\right)_{M4,5} \left(V_{DD} - V_{cnt} - |V_{THP}|\right)}{C} \qquad (3.2)$$

와 같이 구해지며, V<sub>cnt</sub>에 비례하는 값을 가진다.

그림 3.5의 지연버퍼의 경우 발진 주파수와 제어전압 사이의 선형성이 유지된 다는 장점을 가지고 있으나, 부하로 사용된 M4, M5가 선형영역에서 동작하도록 하기 위해 V<sub>cnt</sub>가 가질 수 있는 값이 제한받게 되고 - 특히 전원전압이 점차 낮아 지고 있는 CMOS공정의 추세에 비추어 볼 때 불리하다 - 따라서 발진할 수 있는 주파수의 범위가 좁아진다는 단점이 있다. 또한 선형영역에서 동작하는 MOS 능 동부하는 큰 신호(Large signal)에 대하여 그 등가 저항의 선형성이 좋지 못하므 로, 차동회로의 장점인 공통모드 잡음 거부특성(CMRR, Common Mode Rejection Ratio)을 떨어뜨리게 된다.

전압으로 조절 가능한 능동부하의 다른 구조로서 대칭부하(symmetric load)라 고 불리우는 형태가 존재한다[9]. 그림 3.6의 (a), (b)에 각각 선형영역 부하와 대 칭부하의 구조가 나타나 있다. 대칭부하를 이루는 M<sub>2</sub>, M<sub>3</sub>는 같은 크기의 MOS 트 랜지스터이며, M<sub>2</sub>의 게이트 단자는 제어전압(V<sub>ent</sub>)에, M<sub>3</sub>의 게이트와 드레인 단자 는 모두 출력 단자에 연결되어 다이오드 연결(Diode connected)을 형성하고 있다.

선형영역 부하와 대칭부하의 전압/전류 특성을 시뮬레이션한 결과를 그림 3.7, 그림 3.8에 보였다. 선형영역 부하의 경우 M<sub>1</sub>을 L=0.5µm, W=10µm를 사용하였고 대칭부하의 경우 M<sub>2</sub>, M<sub>3</sub>를 모두 L=0.5µm, W=5µm 크기로 사용하여 1.5V, 2.5V의 V<sub>ent</sub>에 대하여 출력단자의 전압(Vout)대 출력전류(Iout)의 관계를 나타내었다.

그림 3.7에서 보이는 것과 같이 선형영역 부하의 경우 (3.7)[10]의 MOS 트랜지 스터의 동작조건에 의하여 V<sub>cnt</sub> - V<sub>th</sub>가 V<sub>out</sub>보다 큰 영역에서만 선형적인 전류/전

- 16 -

압 관계를 보이는 것을 알 수 있다. 따라서 실제로 선형영역 부하를 차동회로에 사용하게 될 경우에는 출력전압의 범위가 부하의 선형성이 유지되는 범위 안에 들어오도록 바이어스 전류를 조정해 주어야 할 필요가 있다. 또한 그림 3.7의 그 래프와 선형영역의 동작조건에서 알 수 있듯이 Vout, 즉 차동회로의 출력전압 범위 가 VDD부터 VDD - (V<sub>cnt</sub> - V<sub>th</sub>)로 제한되어, V<sub>cnt</sub>가 V<sub>th</sub>보다 작거나 두 전압이 비슷할 경우 부하로서 사용할 수 없게 된다.

$V_{GS} \leq V_{TH}$	Cut off
$\left\{ V_{GS} > V_{TH}, V_{GS} - V_{TH} > V_{DS} \right\}$	Linear
$\left(V_{GS} > V_{TH}, V_{GS} - V_{TH} < V_{DS}\right)$	<i>Saturation</i> (3.3)

한편 그림 3.8에 나타나 있는 대칭부하의 경우, Vout의 범위가 0V부터 Vcnt까 지로 제한되기는 하나 선형영역부하에 비해 훨씬 좋은 선형성을 보여준다. 한가지 특기할 만한 사항은 전류/전압 특성곡선이 Vout의 범위 0V부터 Vcnt까지에서 중간 전압을 기준으로 대칭을 이루고 있다는 점으로, 대칭부하를 사용한 차동회로에서 출력신호의 공통전압을 VDD와 Vcnt의 중간전압으로 설정할 경우 완전히 선형인 부하를 사용한 것과 같은 공통모드 전압 거부특성을 얻을 수 있다[9].

그림 3.9의 (a)에 대칭부하를 사용하여 설계된 지연버퍼의 구조를 나타내었다. M<sub>4</sub>~M<sub>7</sub>이 능동부하로 사용된 차동 버퍼의 형태를 하고 있으며, V<sub>cnt</sub>가 제어전압으 로 M<sub>5</sub>, M<sub>6</sub>의 게이트 단자에 연결되어 있다.

앞서 설명한 바와 같이 대칭부하의 전류/전압 특성곡선의 이점을 활용하기 위 해서는 지연버퍼의 출력전압의 공통전압을 VDD와 V<sub>cnt</sub>의 중간값으로 설정해 줄 필요가 있으므로, 그림 3.9 (b)의 바이어스 회로를 사용하여 전류원으로 쓰인 M<sub>1</sub> 의 게이트 전압을 조정하여 I<sub>b</sub>를 결정하도록 한다. 능동부하의 등가저항을 R이라 고 하면 출력신호의 전압범위는 최대전압 VDD, 최소전압 VDD-RI<sub>b</sub>를 가지게 되 고, VDD-RI<sub>b</sub>가 V<sub>cnt</sub>와 같도록 하면 출력신호의 공통모드 전압은 등가저항 특성곡 선의 대칭점에 있게 된다. 그림 3.9 (b)는 일종의 레플리카(Replica) 바이어스 회로

- 17 -

로서, 지연버퍼에 사용된 것과 같은 크기의  $M_{10}$ ,  $M_{11}$ 으로 구성된 대칭부하에  $I_b$ 가 흘렀을 때 일어나는 전압강하량(Voltage Drop)량이 VDD -  $V_{cnt}$ 와 같아지도록 되 먹임 제어를 통해  $V_{bsn}$ 을 제어한다.

바이어스 회로에 사용된 차동 증폭기는 PMOS 차동회로로 구성된 간단한 1-stage OTA(Operational Transconductance Amplifier)로 구현하였다. 전압제어 발진기의 바이어스 회로에 사용된 되먹임 루프는 전압제어발진기를 구성하는 각 단의 전류원 트랜지스터의 게이트 입력에 발생하는 기생 캐패시턴스에 의하여 안 정화 되므로 별도의 보상 캐패시터가 필요없다[9].

그림 3.10과 그림 3.11은 설계된 지연버퍼의 주파수 특성을 시뮬레이션한 것이 다. 0.5V~2V의 제어전압 범위에서 크기응답과 위상응답을 나타내었다. 8단의 링 형 전압제어발진기를 구성한다고 할 때 한단의 지연버퍼당 180/8°만큼의 위상쉬 프트(phase shift)가 일어나는 지점에서 발진 주파수가 결정되므로 수십Mhz~수 Ghz영역의 발진주파수를 얻을 수 있을 것으로 예측할 수 있다.



그림 3.5. 능동부하를 사용한 지연버퍼의 구조



(b) Symmetric load

(a) Linear region load

그림 3.6. 선형영역부하와 능동부하의 구조



그림 3.7. 선형영역 부하의 전류/전압 특성곡선



그림 3.8. 대칭부하의 전류/전압 특성곡선



(a) VCO delay stage

(b) VCO bias circuit

그림 3.9. 설계된 전압제어발진기 지연버퍼와 바이어스 회로



그림 3.10. 전압제어발진기 지연버퍼의 크기응답 특성곡선



#### 제 3-2-2 절. Gated VCO의 구조

Gated VCO는 일반적인 링형 전압제어 발진기의 출력단에 다중화기(MUX)나 AND 게이트를 사용하여 외부의 신호로써 발진기의 발진을 정지/시작 시킬 수 있 는 구조를 말한다. 그림 3.12에 설계된 gated VCO의 블록도가 나타나 있다.

MUX는 제어신호 VCOE(VCO Enable)에 따라 입력 A<sub>in</sub>와 B<sub>in</sub>중 하나를 선택 한다. VCOE가 high일 때는 입력 B<sub>in</sub>이 선택되고, 그림 3.12의 회로는 일반적인 링 발진기와 마찬가지로 동작하게 된다. 즉 지연소자들로 구성된 지연라인(delay line)의 출력이 반전되어 다시 입력으로 되먹임 되므로 불안정한 루프를 구성하게 되고, 링을 구성하는 지연소자의 각 단에서 발진이 일어난다.

한편 VCOE가 low가 되면 입력 A<sub>in</sub>이 선택되고 발진기의 출력은 즉각 high가 된다. 이때 되먹임 루프는 MUX의 입력 Bin에서 끊기게 되므로, Bin의 값은 발진 기의 출력이 반전된 값인 low로 유지되며 발진이 중지된다. VCOE가 다시 high가 되어 Bin의 값이 선택되면, 발진기의 출력은 high에서 low로 변하면서 발진이 다 시 시작된다. 이와 같은 동작을 통해 VCOE의 값이 high로 변하는 순간 출력 클 록의 위상이 재설정 되는 효과를 얻을 수 있다.

그림 3.13, 그림 3.14는 설계된 gated VCO의 위상 재설정 기능을 시뮬레이션을 통해 보인 것이다. 위의 파형이 gated VCO의 출력이며, 아래의 파형이 VCO의 MUX에 주어진 제어 신호의 파형이다. 출력 신호는 약 1.25V<sub>p2p</sub>의 크기를 가지도 록 출력버퍼를 바이어스 하였으며 이에 대해서는 다음 절에서 설명한다. 제어신호 가 high일 때 VCO는 출력파형의 위상이 high에서 low로 떨어지며 발진을 시작하 고, 제어 신호가 low가 되면 VCO의 출력은 곧장 high가 되며 발진을 멈추는 것 을 확인 할 수 있다.

시뮬레이션을 통해 설계된 Gated VCO의 제어전압 V<sub>cnt</sub>를 변화시켜 가며 발진 하는 신호의 주파수를 측정, 주파수/제어전압 특성 곡선을 얻었다. 시뮬레이션은 MOSIS[11]에서 제공하는 0.25µm 1-poly 5-metal CMOS 공정 파라미터 (parameter)를 사용하였고, SS, TT, FF의 세 가지 프로세스 코너(Process corner) 에 대하여 행하였다. 구해진 VCO 주파수/제어전압 특성곡선이 그림 3.15에 나타

- 23 -

나 있다.

TT 파라미터 기준으로 설계된 Gated VCO는 180Mhz~850Mhz의 비교적 넓은 발진 범위를 보였으며, 목표 주파수인 622Mhz대역에서 약 500Mhz/V의 이득을 가 지는 것을 관찰하였다. SS, FF 파라미터에 의한 시뮬레이션에서도 모두 목표 주 파수인 622Mhz를 발진할 수 있다는 것을 확인하였다.



그림 3.12. 설계된 Gated VCO의 블록도



그림 3.13 Gated VCO의 출력 위상 재설정 시뮬레이션 파형



그림 3.14. Gated VCO의 출력 위상 재설정 시뮬레이션 파형 확대


# 제 3-3 절. 레플리카 바이어스를 사용한 차동 논리게이트의 설계

본 회로에서 사용된 논리 게이트들은 모두 차동회로로 구성되었다. 차동회로의 부하로는 제 3-2-2 절에서 설명한 대칭부하가 사용되었다. VCO의 지연버퍼에서 대칭부하는 VCO 제어전압과 출력전압의 최소값이 같아지도록 바이어스 되었으므 로 VCO 제어전압의 변화에 따라 그 출력 신호의 진폭이 변화하게 된다. 한편 논 리 게이트에서는 출력신호의 진폭이 변화할 필요가 없으므로 필요한 만큼의 신호 진폭을 줄 수 있도록 전류원을 바이어스 하면 된다.

#### 제 3-3-1 절 차동 논리 게이트 바이어스 회로 설계

그림 3.16의 (a)와 (b)는 각각 차동 논리 게이트의 구조와 바이어스 회로를 나 타낸 것이다. 그림 3.16 (a)의 M<sub>2</sub>~M<sub>5</sub>가 차동부하이며, 'Differential Logic Network' 블록이 입력 신호에 따라 전류 I<sub>b</sub>를 A나 B로 전환하는 역할을 한다. 전 류가 A방향으로 흐르게 되면 Vout은 high가 되며 B방향으로 흐를 경우에는 low 가 된다. 'Differential Logic Network'은 구현하고자 하는 논리 게이트의 종류에 따라 달라지며, 다음 절에서 실제 설계된 논리 게이트의 구조를 보인다.

그림 3.16 (b)는 (a)의 차동 논리 게이트 회로가 일정한 범위의 출력 전압을 갖 도록 바이어스하는 회로이다. 논리 게이트 바이어스 회로는 앞 절에서 설명한 VCO 지연버퍼의 바이어스 회로와 마찬가지로 차동 회로의 출력 신호의 최소값을 주어진 전압과 같도록 되먹임 제어하는 구조로 되어 있다. 기준전압으로는 직렬 연결된 두 개의 저항 R을 통해 전원전압을 1/2로 나눈 값을 사용하였으므로, 바이 어스된 논리 게이트들은 0.5VDD V<sub>p2p</sub>의 신호폭을 가지게 된다.

그림 3.17은 설계한 바이어스 회로에 각각 1V, 1.25V, 1.5V의 기준전압을 인가 하여 바이어스된 논리 게이트의 출력파형을 시뮬레이션한 결과이다. 출력신호의 최소값이 기준전압과 일치하는 것을 확인할 수 있다. 이러한 바이어스 회로를 사 용하게 되면 공정과 동작환경의 변화에 상관없이 설계한 회로가 항상 일정한 신 호폭을 가지게 되므로 회로동작의 신뢰도를 높일 수 있다.

- 27 -



(a) Differential logic gate

(b) Logic gates bias circuit

그림 3.16 차동 논리게이트의 구조와 바이어스 회로



그림 3.17. 바이어스 기준전압과 논리 게이트의 출력파형

## 제 3-3-2 절. 차동 논리게이트의 설계

본절에서는 앞절에서 설명한 대칭부하와 바이어스 회로를 사용하는 차동 논리 게이트들을 설명한다. 설계된 논리게이트 회로는 전원전압의 1/2의 신호폭을 가지 도록 바이어스하여 사용한다.

그림 3.18은 차동 논리게이트 기본 블록의 구조이다. 차동신호를 사용하므로 그림 3.18의 블록을 바꾸지 않고 그대로 사용하되, 입력과 출력의 극성을 바꾸어줌 으로써 그림 3.19와 같이 AND 게이트나 OR 게이트를 쉽게 구현할 수 있다.

그림 3.20은 멀티플렉서의 회로도이다. 회로의 기본 구조는 CML(Current Mode Logic)과 동일하며, 그림의 'Sel'신호에 의하여 Ib가 A혹은 B로 흘러 선택 된 입력신호가 출력으로 나타나도록 되어 있다.

그림 3.21은 멀티플렉서 구조를 응용하여 래치(latch)를 구현한 것이다. 멀티플 렉서의 두 번째 입력 단자 B를 극성을 반대로 출력에 연결하여 래치를 구성하여 B입력이 선택되었을 경우 기존의 입력신호의 변화와 상관없이 출력이 유지된다.

그림 3.22는 XOR게이트의 구조를 나타낸다. XOR또한 멀티플렉서의 구조로부 터 약간의 변형을 통해 쉽게 구현할 수 있다.

그림 3.23은 래치구조를 변형하여 리셋기능을 추가한 회로이다. 'Reset'신호가 low일 때는 I<sub>b</sub>가 M<sub>3</sub>를 통하여 흘러 그림 3.21의 래치와 동일하게 동작한다. 'Reset'이 high가 되면 출력은 'Reset Value'의 값으로 초기화된다.

그림 3.24는 그림 3.23의 회로를 응용하여 RS 래치(RS latch)를 구성한 것이다. RS 래치는 Set, Reset의 두 개의 입력에 따라 출력 V<sub>out</sub>의 값을 결정한다. RS래치 는 Set이 high일 경우 출력이 high, Reset이 high일 경우 출력이 low가 되며, Set 이나 Reset이 low로 변할 경우에는 출력을 유지한다. 보통의 RS래치는 Set과 Reset이 동시에 high일 경우의 출력이 정의되지 않으나, 그림 3.24의 회로의 경우 Set이 우선순위를 가지므로 high가 된다. 표 3.1에 그림 3.24의 RS래치의 진리표 를 나타내었다.

- 29 -



그림 3.18. 2-입력 논리 게이트 기본블록



그림 3.19. 기본블록을 사용하여 AND/OR게이트 구현



그림 3.20. 다중화장치(MUX, Multiplexer)



- 31 -



그림 3.22. 배타적 논리합(XOR) 게이트



그림 3.23. 리셋 기능이 있는 래치



그림 3.24. RS latch

Set	Reset	Q(Vout)		
L	L	Q <sub>-1</sub>		
L	Н	L		
Н	L	Н		
Н	Н	Н		

표 3.1. RS래치의 진리표

# 제 3-4 절. 위상주파수 검출기의 설계

제 3-3-2 절에서 설계한 논리게이트들을 이용하여 위상주파수 검출기를 설계 하였다. 기본적인 구조는 전통적인 방식의 위상주파수 검출기와 같다[12]. 단 resettable래치를 사용하여 플립플롭(Flipflop)을 구성함으로써 외부 제어신호에 의 하여 위상주파수 검출기의 동작을 켜고 끌 수 있는 기능이 부가되었다. 위상주파 수 검출기는 제어회로에 의하여 클록 데이터 복원회로가 "기준클록 루프"상태에 있을 때에만 켜지도록 제어된다. 그림 3.25에 설계한 위상주파수 검출기의 구조가 나타나 있다.

그림 3.26은 클록신호에 주파수 210Mhz, 기준신호에 주파수 200Mhz의 구형파 입력을 가했을 경우의 위상주파수 검출기의 출력파형을 시뮬레이션 한 것이다. 파 형의 순서는 위로부터 클록신호, 기준신호, Up, Down이다. 클록이 기준신호보다 주파수가 높으므로 Down신호의 펄스폭이 Up신호의 펄스폭보다 커지는 것을 알 수 있다.

그림 3.27은 위상주파수 검출기의 Up/Down출력의 최소 펄스폭을 나타낸 것이 다. Up/Down신호가 동시에 high가 되었다가 low로 떨어지기까지의 최소 시간은 약 1ns으로서 설계한 위상주파수 검출기는 약 1Ghz까지의 클록 주파수에서 동작 할 수 있음을 알 수 있다. 그림 3.28은 PFD Enable신호에 의하여 위상주파수 검 출기의 출력이 on/off되는 것을 보여주는 파형이다.

- 34 -









그림 3.27. 위상주파수 검출기출력 Up/Down 펄스폭의 최소값



그림 3.28. PFD Enable신호에 따른 Up/Down 출력파형

# 제 3-5 절. 위상검출기의 설계

제안된 클록 복원회로는 기준클록 루프에서 주파수 획득과 전압제어발진기의 제어전압 유지를 행하며 클록복원 루프에서는 입력되는 NRZ 데이터 패킷으로부 터 클록을 추출하는 동작을 한다. 통상의 위상주파수 검출기와 위상검출기의 경우 임의로 변화하는 데이터의 위상을 검출하는데는 사용이 불가능하며, 데이터의 천 이시점에만 클록과 위상을 비교하는 특별히 설계된 위상검출기가 필요하다. 이러 한 위상검출기의 종류에는 Hogge PD[13], Alexander PD[14] 등이 있으며 입력위 상오차와 출력값의 관계에 따라 선형 위상검출기와 Band-bang 위상검출기로 나 누어진다.

선형 위상검출기는 입력 위상오차에 비례하는 출력값을 가지는 위상검출기의 종류를 말하며, 위상주파수 검출기, Hogge PD가 이에 해당한다. 선형위상검출기 를 사용한 위상동기루프는 위상이 동기된 이후에는 이를 유지하기 위한 최소한의 오차신호만을 출력하므로 전압제어발진기의 제어전압의 변동이 적고, 출력클록의 위상잡음이 적다는 장점을 가진다.

반면 bang-bang 위상검출기는 이름에서 보이는 것과 같이 입력신호의 위상이 기준신호보다 빠르냐 늦냐에 따라 0 과 1의 값중 하나를 선택하는 구조로서 위상 동기를 획득한 후에도 0 과 1의 출력이 반복되는 meta-stable상태에 머무르므로 출력되는 클록에 위상잡음이 많이 포함되어 나오게 된다[15].

본절에서는 NRZ데이터에 적합한 선형위상검출기로서 [7]에서 제안된 위상검출 기를 약간 수정하여 설계하도록 한다.

그림 3.29에 설계된 위상검출기의 블록도가 나타나 있다. Pi/2 delay 블록은 전 압제어발진기 지연버퍼 4단을 연결하여 입력신호를 전압제어발진기의 발진 주파 수의 π/2에 해당하는 시간동안 지연시키는 역할을 한다. 그러므로 A노드에는 데이 터, B노드에는 π/2만큼 지연된 데이터, C노드에는 π만큼 지연된 데이터가 보이게 된다.

그림 3.30에 위상검출기의 입력/출력 파형을 나타내었다. 데이터의 천이가 일어

날 때마다 A와 B의 XOR값인 Ref는 클록 주기의 π/2, 즉 4분의 1에 해당하는 펄 스폭을 가진 기준신호를 출력한다. 한편 A와 C의 XOR값은 클록주기의 π, 즉 절 반에 해당하는 폭을 가진 펄스가 되는데, 이를 클록신호와 AND연산하여 Err신호 를 생성한다. 클록의 falling에지가 노드 B에서의 데이터의 천이시점과 같이 일어 날 때 Ref와 Err신호는 같은 폭의 펄스신호를 출력하게 되며, 노드 B에서 데이터 와 클록이 동기된다. 클록이 늦거나 빠른 경우 각각 Err신호의 펄스폭이 좁아지거 나 넓어지게 된다. Ref신호와 Err신호를 각각 Up, Down신호로 사용하여 위상동기 루프을 구성하면 클록 복원회로를 구성할 수 있다.

XOR1과 AND2는 Ref신호와 Err신호의 게이트를 통한 지연값을 동일하게 하 기 위하여 추가되었다.

그림 3.31은 설계된 위상검출기의 이득곡선을 시뮬레이션한 결과이다. 일정한 위상오차를 갖는 데이터와 클록신호에 대해 출력으로 얻어지는 Ref신호와 Err신 호를 임의의 전하펌프에 인가하여, 단위 캐패시터에 충전되는 전하량을 통해 Ref 와 Err신호의 평균값을 구하였다. 구해진 평균값의 차이로부터 위상검출기의 이득 을 구할 수 있다. 그래프의 y축에 나타난 값은 임의의 전하펌프에 의한 평균 출력 전류값으로 정규화 되지 않은 값이다.

위상검출기의 구조상 위상오차 검출 불가영역(Dead zone)은 존재하지 않으나, 약 5°정도의 위상 오프셋(offset)을 가지는 것을 확인하였다. 위상오차 검출 가능 범위는 -100°에서 60°까지로 약 160°정도의 값을 가지며 클록 복원에는 문제가 없이 사용될 수 있다.



그림 3.29. 위상 검출기(PD, Phase Detector)



그림 3.30. 위상검출기의 동작원리와 출력파형



그림 3.31. 위상오차에 따른 위상검출기의 이득곡선

# 제 3-6 절. 주파수 분주기의 설계

일반적으로 주파수 분주기는 D-플립플롭의 반전된 출력을 입력으로 되먹임하 여 구현한다. 1개의 플립플롭을 사용하여 2분주기를 구현할 수 있고 2분주기를 n 개 직렬로 연결하면 2<sup>n</sup>배 분주된 출력을 얻는 것이 가능하다.

제안된 회로가 기준클록 루프에서 동작할 때는 전압제어발진기의 출력을 4분 주하여 데이터 속도의 1/4인 기준클록에 동기되도록 되어있다. 한편 제어회로가 클록복원 루프에서 기준클록 루프로 전환하는 과정에서, 루프의 전환이 완료되는 즉시 주파수 분주기는 기준클록과 동위상의 분주된 클록을 발생시켜야 위상획득 에 필요한 시간을 최소화 할 수 있으므로, 일반적인 D-플립플롭을 사용한 구조의 분주기는 사용할 수 없게 된다.

그러므로 본 논문에서는 제 3-3-2 절에서 설계한 리셋기능이 있는 래치를 사 용하여 플립플롭을 구성하고 이를 이용하여 주파수 분주기를 설계하였다. 그림 3.32는 리셋기능을 부가한 주파수 분주기의 기본 단위블록(2분주기)를 나타낸다. 설계한 회로는 Divider Enable신호가 high일 때 일반적인 분주기로 동작하며, Divider Enable신호가 low가 되면 분주기의 출력이 high로 고정된다.

그림 3.32의 2분주기를 2개 직렬로 연결하여 4분주기를 구성한 형태를 그림 3.33에 나타내었다. Divider Enable신호를 공유하여 외부에서 분주기의 상태를 조 정할 수 있도록 하였다.

설계된 주파수 분주기의 시뮬레이션 결과가 그림 3.34에 나타나 있다. (a)에 입 력클록, (b)에 2분주된 클록, (c)에 4분주된 클록의 파형을 보였다. 시뮬레이션에서 인가한 입력 클록의 주파수는 1Ghz로서 본 회로의 목표 동작속도 622Mhz를 상회 하는 것을 확인하였다. 그림 3.35는 분주기에 제어신호를 인가하여 동작을 확인한 것이다. 제어신호가 high가 될 때 분주기의 출력이 negative edge로부터 시작하고, 제어신호가 low가 되면 출력이 high로 고정되며 동작을 멈추는 것을 알 수 있다.

- 41 -



그림 3.32. 리셋기능이 있는 주파수 분주기(2분주)



그림 3.33. 주파수 분주기(4분주)

- 42 -



그림 3.34. 설계된 분주기의 출력파형



그림 3.35. 분주기의 제어신호와 출력파형

# 제 3-7 절. 루프필터와 전하펌프의 설계

## 제 3-7-1 절. 전하펌프의 설계

전하펌프 PLL은 실제로는 이산시간 시스템이며 이를 해석하는 데는 복잡한 계 산이 필요하다[12]. 따라서 일반적인 전하펌프 PLL설계에는 이를 연속시간, 선형 시스템으로 가정하여 꾸민 모델을 사용하게 된다[12].

대칭부하를 전류복사회로로 사용하여 두 개의 차동회로를 연결, 그림 3.36과 같 은 전하펌프를 설계하였다[9]. 그림 3.36의 왼쪽의 차동회로는 Down신호에 따라 전류의 방향을 제어하는 회로이며, Down 신호가 high가 되면 M<sub>1</sub>에 흐르는 I<sub>CP</sub>는 M<sub>4</sub>, M<sub>5</sub>를 통해 I<sub>down</sub>으로 흐르게 된다. I<sub>down</sub>은 M<sub>13</sub>, M<sub>14</sub>에 의해 복사되어 Out노드 로 출력된다. 오른쪽의 차동회로는 Up신호에 의하여 제어되며, Up신호가 high가 되면 M8을 통해 흐르는 I<sub>CP</sub>가 I<sub>up</sub>으로 흐르게 된다.

전하펌프의 동작을 시뮬레이션한 결과를 그림 3.37에 보였다. 출력전류 I<sub>CP</sub> = 500#A를 사용하여 I<sub>up</sub>, I<sub>down</sub>, I<sub>up</sub> - I<sub>down</sub>, 그리고 Up, Down신호가 모두 low일 때의 누설전류값을 Out 노드의 전압을 바꾸어가며 출력 전류를 측정하였다. 전하펌프의 출력노드의 전류가 루프필터를 거쳐 전압으로 바뀐 값이 곧 전압제어발진기의 제 어전압이 되므로, 제어전압에 따른 I<sub>up</sub>과 I<sub>down</sub>의 불일치(mismatch)와 누설전류를 측정하는 것은 신뢰성있는 동작을 보장할 수 있는 전압제어발진기의 제어전압의 범위를 측정한다는 의미에서 중요하다.

Iup과 Idown의 불일치나 누설전류가 크게 되면 PLL의 위상이 동기된 상태에서의 정적 위상오차가 커지게 되며, 이를 보상하기 위한 전하펌프의 주기적인 동작이 제어전압에 고주파성분을 발생시켜 출력신호의 지터(jitter)를 유발한다[17].

전류의 오차 I<sub>err</sub>로 인한 정적 위상오차 θ<sub>err</sub>은, θ<sub>err</sub>만큼의 스텝오차(step error)가 입력되었을 때의 출력전류와 같으므로

- 44 -

$$I_{err} = \frac{I_{CP}}{2\pi} \theta_{err} \tag{3.4}$$

과 같은 식으로 구할 수 있으며, K<sub>VCO</sub>=500Mhz/V의 전압제어발진기를 사용한 전하펌프 위상동기루프에 대해 5°의 위상오차를 유발하는 전류오차 I<sub>err</sub>은 30µA로 구해진다. 시뮬레이션 결과를 통해 설계된 전하펌프의 전류오차가 30µA보다 작은 제어전압의 구간은 0.77V~1.9V로서 제 3-3-2절에서 설계된 전압제어발진기의 동 작범위와 대략 일치한다.



그림 3.36. 전하펌프의 회로도와 동작원리



그림 3.37. 전하펌프의 출력전류 시뮬레이션 결과

- 46 -

### 제 3-7-2 절 루프필터의 설계

설계한 클록 데이터 복원회로에는 2차의 루프필터를 사용하여 전체 위상동기 루프는 3차가 되도록 설계하였다. 일반적으로는 2차 피드백 시스템을 설계할 때, 계단응답(step response)의 안정화 시간(settling time)과 오버슈트(over shoot)간의 트레이드-오프(trade-off)에 의한 최적의 감쇄상수는 0.707로 알려져 있다[9].

제안된 클록복원회로가 기준클록 루프로 동작하는 경우와 클록복원 루프로 동 작하는 경우에 주파수 분주비율 N이 각각 4와 1로 서로 다르므로, 위상동기루프 의 감쇄상수와 대역폭도 함께 변화하게 된다. 한편 기준클록 루프의 경우 입력신 호가 클록신호인 반면 클록복원 루프의 경우에는 입력신호가 임의의 데이터이므 로 신호의 천이밀도(transition density) 또한 고려하여야 한다.

임의의 데이터신호는 0과 1을 반복하는 신호에 대해 그 천이밀도가 1/2인 것으 로 알려져 있다. 그러므로 임의의 데이터를 위상검출기의 입력으로 사용하였을 경 우 연속된 1010을 입력으로 사용했을 때의 위상동기루프의 오픈루프 이득이 1/2이 됨을 의미하며, 이는 감쇄상수와 루프 대역폭의 관점에서 N=2인 주파수 분주기를 사용한 것과 같은 결과가 된다.

제안된 회로에서는 제 3-2-3절의 시뮬레이션 결과를 따라 K<sub>vco</sub>는 500Mhz/V 를, 전하펌프 바이어스 전류 I<sub>CP</sub>는 500µA를 사용하였고, 루프필터로는 C<sub>1</sub>은 150pF, C<sub>2</sub>는 10pF, R=500요을 사용하였으며, 식 (3.12)에 의하여 표 3.2와 같은 루프 특성 을 갖도록 설계하였다.

	기준클록 루프	클록복원 루프			
K <sub>vco</sub>	500Mhz/V				
ICP	500uA				
R/C <sub>1</sub> /C <sub>2</sub>	500Ω/150pF/10pF				
Input signal frequency(baudrate)	155.5Mhz	622Mbps			
Input signal transition density	1	0.5			
Frequency division ratio	4	1			
Damping factor	0.6	0.85			
Loop bandwidth	15Mhz	21Mhz			

## 표 3.2. 설계된 클록복원회로의 루프특성

# 제 3-8 절. 제어회로의 설계

### 제 3-8-1 절. 제어회로의 상태도

제안된 회로의 기준클록 루프와 클록복원 루프간의 전환은 회로 외부에서 Burst enable신호를 high로 만들어줌으로써 제어회로에 루프전환을 요구한 이후, 제어회로가 루프를 옮아갈 기준신호를 검사하여 기준신호의 천이에 동기되어 루 프의 각 구성블록들을 켜고 끔으로써 이루어진다. 이러한 동작을 위해 제어회로는 10개의 상태를 가지는 FSM(Finite State Machine)으로 설계되었으며 그 상태도는 그림 3.38과 같다.

제어회로 FSM은 기준클록 루프와 클록복원 루프로의 동작을 위해 각각 0과 5 의 안정된 상태를 가진다. Burst enable신호가 low인 상태를 유지하고 회로에 전 원이 공급되었다고 가정하면, 일정한 시간 뒤에 제어회로는 상태 0에 도달하고 회 로는 기준클록 루프로 동작하게 된다.

데이터 패킷이 수신될 때, Burst enable신호를 high로 하면 제어회로는 입력되 는 데이터를 검사하여 비트가 반전될 때마다 상태를 천이하고, 정해진 순서에 따 라 각 블록을 제어한다. 상태 5에 이르러 클록복원 루프로 동작하게 되며, 데이터 패킷의 수신이 끝나고 다시 Burst enable 신호를 low로 하면 제어회로는 상태 6~9를 거쳐 상태 0로 천이하게 되고 다시 기준클록 루프로 동작하는 과정을 반복 하게 된다.

루프간의 전환시에 필요한 데이터/기준클록 신호의 천이는 최대 4회인데, 이는 데이터의 경우 프리앰블 비트로서 '1010'의 패턴이 필요함을 의미한다.

제어회로 FSM은 차동 SR래치를 사용하여 그림 3.29와 같이 구현되었다. 제어 회로는 모두 8개의 출력을 가지는데, 루프 전환시의 각 신호의 출력과 해당하는 상태는 그림 3.40과 같다. 루프를 구성하는 각 블록들의 제어신호는 논리값은 제 어회로 FSM의 상태 번호에 따라 표 3.3과 같이 정의되며 식(3.14)의 논리식에 의 하여 제어회로의 8개의 출력값으로부터 변환된다. 설계된 제어회로의 시뮬레이션 을 통하여 그림 3.41과 같은 파형을 얻었다.

- 49 -





그림 3.38. 제어회로 FSM의 상태도

	0	1	2	3	4	5	6	7	8	9
VCO enable										
PD enable										
PFD enable										
Divider enable										

표 3.3. 루프 구성블록 제어신호의 정의



그림 3.39. 차동 SR래치로 구현된 제어회로 FSM



그림 3.40. 루프 전환시의 제어회로 FSM의 출력신호와 해당하는 상태번호



그림 3.41. 제어회로 FSM과 블록제어신호 발생기의 시뮬레이션 결과 파형

# 제 4 장. 전체 회로의 시뮬레이션

설계된 블록들을 사용하여 제 3-1 절에서 제안한 구조의 클록복원회로를 구성 하였다. 이장에서는 전체 클록복원회로의 시뮬레이션 결과를 보이기로 한다.

# 제 4-1 절. 기준클록 위상동기루프

기준클록루프의 역할 중 한가지는 회로의 동작 초기에 활성화되어 전압제어발 진기가 로컬기준클록에 동기되도록 하는 것이다. 그림 4.1에 이 과정을 시뮬레이 션한 결과가 나타나 있다.

V<sub>cnt</sub>는 전압제어발진기의 제어전압이며 V<sub>C1</sub>은 루프필터에서 저항 R에 의한 전 압강하분을 제외한 제어전압, 즉 그림 3.37의 루프필터에서의 C<sub>1</sub>의 양단간의 전압 을 나타낸다. 기준신호와 발진신호의 주파수나 위상차가 클수록 전하펌프가 자주, 또 많이 동작하게 되므로 V<sub>cnt</sub>와 V<sub>C1</sub>간의 차이가 크게 나타나고, 루프가 동기되면 두 전압이 거의 같아진다. 기준클록루프의 감쇄상수는 0.6으로 제어전압에 약간의 오버슈트(overshoot)가 보이는 것을 알 수 있다.

기준신호는 650Mhz를 4분주한 162.5Mhz를 사용하였고, 제어전압 V<sub>cnt</sub>의 초기 값은 0V로 하였을 때 기준클록루프가 동기되기까지 약 600ns정도가 소요되는 것 을 알 수 있다.

그림 4.2는 기준클록루프가 동기된 이후 제어전압의 파형을 확대한 그림이다. 루프가 동기된 이후에도 전하펌프는 Up/Down 전류의 차이와 누설전류에 비례하 는 만큼의 동작을 통해 동기를 유지하게 되는데, 이는 제어전압에 주기적인 리플 (ripple)의 형태로 나타나며, 약 10mV<sub>p2p</sub>의 값을 가지는 것을 확인하였다.

- 53 -



그림 4.1. 기준클록루프의 동기를 획득하는 과정의 제어전압파형



그림 4.2. 기준클록루프의 동기획득후 제어전압파형의 확대

# 제 4-2 절. 루프의 전환과 버스트 모드 데이터의 수신

그림 4.3은 초기 기준클록루프 동기를 거쳐 클록복원루프로 전환되는 과정에서 의 제어전압의 변화를 시뮬레이션한 것이다. 입력데이터는 연속된 '1010'을 사용하 였다. 루프전환 직후 위상오차를 보상하기 위한 제어전압의 출렁임이 보이나, 10mV이하의 값으로 클록복원에는 거의 영향이 없다.

그림 4.4는 기준클록루프 → 클록복원루프 → 기준클록루프의 순서로 전환되는 과정의 제어전압을 나타낸다.

그림 4.5는 기준클록루프에서 클록복원루프로 전환되는 과정에서의 gated VCO 의 출력파형을 나타낸 것이다. 루프전환동작 이후 gated VCO가 발진을 멈추었다 가 데이터의 천이에 맞추어 다시 동위상으로 발진을 시작함으로서 클록이 복원되 기 시작하는 것을 알 수 있다.

그림 4.6은 클록복원루프에서 기준클록루프로 전환되는 과정을 시뮬레이션한 것이다. 그림 4.5의 경우와 마찬가지로 로컬기준클록의 천이시점 (A)에서 주파수 분주기의 출력이 동위상으로 재시작함으로써 위상획득과정이 없이 로컬기준클록 에 동기되는 과정을 확인할 수 있다.

그림 4.7은 임의의 데이터에 대한 버스트 모드 수신과정을 시뮬레이션한 것으 로 복원된 클록과 데이터의 파형이 나타나 있다. 시뮬레이션의 편의를 위해 PRBS 생성 블록을 사용하지 않고 Matlab으로 생성한 임의의 비트열을 파일로 저장하여 넷리스트(netlist)에서 불러오는 방식을 사용하였다.

그림 4.8은 그림 4.7의 임의의 데이터를 수신하는 과정에서의 제어전압의 파형 을 나타낸 것이며, 그림 4.9는 700ns간의 복원된 클록출력파형을 데이터의 아이다 이어그램와 함께 나타낸 것이다. 시뮬레이션에서 잡음의 영향은 고려하지 않았으 며, 복원된 클록은 약 85ps의 peak-to-peak 지터를 보이는 것을 확인하였다.

- 55 -



그림 4.3. 기준클록루프에서 클록복원루프로 전환하는 과정에서의 제어전압의 파형(입력데이터는 650Mbps, 1010)



그림 4.4. 기준클록루프 → 클록복원루프 → 기준클록루프로 전환하는 과정에서의 제어전압의 파형 확대(입력데이터는 650Mbps, 1010)



그림 4.5. 기준클록루프 → 클록복원루프로 전환하는 순간의 gated VCO의 위상 재설정 동작과 복원된 클록



그림 4.6. 클록복원루프 → 기준클록루프로 전환하는 과정, 기준클록과 동위상의 분주기 출력의 파형



그림 4.7. 임의의 입력데이터 패킷에 대한 루프전환동작과 복원된 클록파형



그림 4.8. 임의의 데이터 패킷에 대한 루프전환동작시 제어전압의 파형



그림 4.9. 임의의 데이터입력으로부터 복원된 클록의 아이다이어그램(Eye diagram)

# 제 5 장. 측정결과

# 제 5-1 절. 칩과 테스트보드의 제작 결과

설계한 회로는 TSMC사의 정격전압 2.5V의 0.25µm 1-poly 5-metal CMOS공정 파라미터를 사용하여 레이아웃 되었으며 44-pin TQFP(Thin Quard Flat Package)를 사용하여 패키징되었다. 제작된 칩은 이중 22개의 핀을 사용한다.

레이아웃을 마친 회로의 모습을 그림 5.1에 나타내었다. 입력버퍼는 입력단자 에 ESD(Electro Static Discharg) 방지회로를 갖춘 구조로 되어 있으며 출력버퍼 는 출력전류를 외부에서 조정할 수 있는 CML(Current Mode Logic) 구조를 사용 하였다. 입/출력버퍼는 모두 차동신호를 사용하며, 입력신호는 데이터, Burst Enable, 로컬클록의 세가지이며 출력신호는 복원된 클록과 데이터의 두가지이다.

논리게이트의 출력레벨을 정의하기 위하여 사용한 피드백 바이어스회로를 안 정화시키기 위하여 그림 5.1과 같이 논리게이트 바이어스회로에 캐패시터가 부가 되었다. 입/출력 버퍼를 제외한 코어(Core) 블록, 루프필터와 바이어스회로는 모두 칩 내부에 실장되었으며, 그 면적은 바이어스 회로를 제외하고 600µm×900µm이다.

그림 5.2에 제작된 칩의 현미경 사진을 보였다.

제작된 칩을 위한 테스트 보드를 설계하여 제작하였으며 칩이 실장된 보드의 모습이 그림 5.3과 그림 5.4에 나타나 있다. 전원전압의 노이즈를 줄이기 위한 필 터와 디커플링 캐패시터(decoupling capacitor)가 칩의 후면에 부착되었다. 계측기 기와 입/출력 신호를 주고받기 위하여 SMA(Subminiature Microwave type-A)커 넥터를 사용하였고 부착점으로부터의 임피던스 불연속을 최소한으로 줄이기 위해 보드의 후면에 부착하였다[18].

- 60 -



그림 5.1 설계한 회로의 레이아웃과 구성블록



그림 5.2. 제작된 칩의 현미경 사진


그림 5.3. 제작된 테스트보드의 전면



그림 5.4. 제작된 테스트 보드의 후면

## 제 5-2 절. 동작주파수 영역과 기준클록루프의 지터발생 특성

그림 5.5는 제작된 칩의 기준클록루프에서의 동작을 측정하기 위한 측정장비의 연결 그림을 나타낸다. 임의파형 발생기 AWG610에서 루프전환을 위한 신호 Burst Enable을 발생시키되 기준클록루프로 동작시키기 위하여 이를 low로 유지 한다. Anritsu MP1632A는 임의의 데이터를 발생시키는 기능과 BER 테스트를 수 행할 수 있는 기능을 가지고 있으며 여기서는 4분주된 기준클록을 발생시키는 용 도로 사용하였다.

본래 제안된 회로는 2.5V의 전원전압을 사용하도록 설계되었으나, 설계상의 오 류로 인해서 최소 3.3V이상의 전원전압에서 안정적으로 동작함을 확인하였다. 이 에 대한 내용은 본장의 마지막에 상술하도록 하겠다.

기준클록루프로 동작하는 상태에서 로컬 기준클록의 주파수를 변화시켜가며 위상동기루프의 동작 주파수 영역을 측정하였다. 제작된 칩은 320Mhz~720Mhz의 영역에서 기준클록에 동기되는 것을 확인하였다. 기준클록루프가 동기된 상태에서 의 출력 클록 지터는 표 5.1과 같이 측정되었다. 깨끗한 기준클록을 사용하였으므 로 측정된 지터값은 회로 내부에서 발생하는 지터발생 특성으로 볼 수 있으며, 모 든 주파수 영역에서 3.7ps[rms]이하의 낮은 값을 가짐을 확인하였다. 오실로스코프 (oscilloscope)에서 관찰한 클록지터 히스토그램(histogram)이 그림 5.6에 나타나 있다.

Frequency	p2p jitter	rms jitter
320Mhz	26ps	3.4ps
620Mhz	24ps	3.2ps
720Mhz	26ps	3.7ps

표 5.1. 기준클록루프에서의 출력클록의 지터발생 특성



그림 5.5. 기준클록루프 동작영역과 지터측정을 위한 측정장비 연결 그림



그림 5.6. 기준클록루프 출력클록의 지터 히스토그램(histogram)

#### 제 5-3 절. 루프전환동작과 버스트 모드 데이터의 클록복원

루프전환동작과 버스트 모드 데이터 수신실험을 위한 측정장비 연결 그림을 그림 5.7에 나타내었다. 임의파형 발생기에서 프리앰블 신호를 포함한 Burst Enable 신호를 생성하고 기준클록은 BER테스터에서 생성하여 보드에 공급하였다. 데이터의 속도는 622.08Mbps이고 4분주된 클록은 155.52Mhz를 사용하였다.

임의파형 발생기에서 Burst Enable신호에 동기된 트리거(trigger)신호를 출력하 여 오실로스코프의 트리거 입력으로 사용하여 루프전환이 일어나는 순간의 데이 터/클록 출력파형을 관찰할 수 있도록 하였다.

그림 5.8은 10101100패턴의 버스트 모드 데이터 입력에 대하여 루프전환 직후 복원된 클록과 데이터의 파형을 나타낸 것이며 그림 5.9.는 긴 동일 비트를 포함 한 데이터를 입력으로 하였을 때의 파형을 보인 것이다.

그림 5.10은 8비트의 데이터 패킷을 8비트의 데이터에 해당하는 시간간격을 두 고 입력하면서 클록복원루프와 기준클록루프 사이의 전환을 반복했을 때 얻어진 출력을 보인 것이다. 오실로스코프의 트리거신호가 데이터패킷과 동기되어 있으므 로 기준클록루프에서의 출력 클록은 임의로 변화하는 위상을 가진 것으로 관찰되 며, 클록복원루프로 전환되면서 출력클록의 위상이 데이터와 동위상으로 동기되어 나오는 것을 확인할 수 있다.



그림 5.7. 루프전환과 버스트 모드 데이터 수신을 측정하기 위한 측정장비 연결 그림



그림 5.8. 버스트 모드 데이터 수신파형 (입력데이터 : 1010100111000)



그림 5.9. 버스트 모드 데이터 수신파형 (입력데이터 : 임의 비트열)



그림 5.10. 버스트 모드 데이터 수신파형 (입력데이터 : 8비트 데이터 패킷)

#### 제 5-3-1 절. 기준클록 주파수 오차와 락킹 타임

제안된 회로의 경우 루프 전환 동작과정에서 데이터의 천이시점에 복원클록의 위상을 재설정하게 되므로 루프 전환 직후 위상오차는 매우 작게 됨을 앞 절에서 설명하였다. 그러나 만약 기준 클록(f<sub>0</sub>)과 데이터의 속도(f<sub>DR</sub>) 사이에 작은 주파수 오차(f<sub>err</sub> = f<sub>DR</sub> - f<sub>0</sub>)가 존재할 경우, 매 비트마다

 $\boldsymbol{\theta}_{err} = \frac{2\pi f_{err}}{f_0 + f_{err}} \quad \dots \tag{5.1}$ 

에 해당하는 위상오차가 누적되게 된다. 데이터의 천이가 충분히 잦을 경우 클 록 복원루프의 피드백에 의하여 시간이 지남에 따라 주파수 오차는 사라지게 되 나, 이러한 주파수 오차가 존재하는 상태로 많은 개수의 연속된 0이나 1을 포함한 데이터를 입력으로 받아들일 경우 매 클록마다 누적된 위상오차에 의하여, 복원된 클록의 위상이 빨라지거나 늦어지게 되어 복원된 클록과 데이터와의 위상동기가 깨어지는 일이 발생할 수 있다.

이러한 현상을 방지하기 위한 수단으로 다음과 같은 두 가지 방법을 생각해 볼 수 있다. 첫 번째는 입력데이터가 일정개수 이상의 연속된 0이나 1을 포함하지 않도록 하는 코드를 사용하는 방법이다. 4B5B, 8B10B 등의 코딩기법은 전송되는 데이터가 포함하는 연속된 0과 1의 최대 개수를 제한하게 되므로 수신측에서의 클록 복원이 용이해지는 장점이 있는데, 반면 전송 데이터의 양을 일정 비율 증가 시키게 된다는 단점이 있다.

다른 한 가지 방법은 루프의 전환 직후 일정 길이의 연속된 1010패턴을 가진 데이터를 입력으로 사용하므로써 주파수 오차를 없애는 방법이다. 이 경우 1010 패턴은 프리앰블의 뒷 부분에 포함시키면 되는데, 이 방법은 프리앰블의 길이가 늘어나게 되어 실질적인 락킹 타임이 증가하게 된다는 문제가 있다.

기준 클록의 주파수 오차와 프리앰블의 길이가 연속된 0이나 1이 입력으로 사

- 69 -

용되었을 때 클록복원에 어떠한 영향을 주는지를 알아보기 위하여, 루프 전환 직 후 '0000000011111111'의 데이터 패턴을 오류없이 제대로 복원해 내기 위한 프리앰 블 비트 개수에 따른 주파수 오차 허용범위를 측정하였다. 측정한 결과는 표 5.2 와 같다.

이더넷 등과 같이 4B5B 코드를 사용하는 경우 연속된 동일 비트의 최대 개수 는 5개 이하로 보장된다. 또한 일반적인 수정 진동자를 사용한 발진기의 경우 발 진 주파수 오차는 수백 ppm이하로 유지된다. 제작된 회로의 경우 1바이트의 프리 앰블 패턴을 사용하면, 기준 클록의 주파수 오차가 1.12%이하이기만 하면 연속된 동일 비트가 최대 8비트이상 포함된 데이터도 정상적으로 복원할 수 있음을 확인 하였다.

Preamble bit number	Preamble pattern	Data pattern	Error-free reference frequency range
8	10101010	111111100000000	±1.12%
6	101010	111111100000000	±1%
4	1010	111111100000000	±0.8%

표 5.2. 프리앰블 비트열의 길이에 따른 기준 클록 주파수 오차 허용범위

#### 제 5-3-2 절. 펄스폭 왜곡을 포함한 입력 데이터의 영향

제안된 회로는 입력 데이터가 펄스폭 왜곡(Pulse Width Distortion)을 포함하고 있는 경우에도 이러한 왜곡이 출력 클록에 듀티 사이클(duty cycle)에 영향을 주 지 않는 구조로 고안되었다.

Gated VCO를 기반으로 한 기존의 구조의 경우 데이터의 모든 천이시점에서 출력 클록의 위상이 재설정 되므로 데이터가 가진 펄스폭 왜곡이 출력 클록과 데 이터에 그대로 나타나게 된다. 한편 제안된 회로의 경우 루프전환 이후에 보통의 연속모드 클록복원회로와 같이 동작하게 되므로 데이터에 포함된 펄스폭 왜곡은 출력 클록에 영향을 주지 않게 된다.

다시 말해 데이터 신호의 듀티 사이클이 정확히 50%가 아닐 경우, 예를 들어 50%보다 작을 경우 상승 에지가 듀티 사이클 50%의 경우보다 더 늦은 위상에서, 하강에지는 더 빠른 위상에서 발생하게 되며, 듀티 사이클이 50%보다 클 경우에 는 데이터 신호의 상승에지가 본래보다 더 빠른 위상에서, 하강에지는 더 늦은 위 상에서 나타나게 된다. Gated VCO방식의 경우 이러한 데이터 천이시점의 오차가 클록복원회로의 출력에 직접 영향을 미치게 된다.

제안된 구조의 경우 연속모드 클록 복원회로와 마찬가지로, 루프 필터의 저역 통과 특성으로 말미암아 데이터의 천이시점에서의 위상오차의 평균값(average)이 피드백 되므로 데이터 신호의 펄스 폭 오차와 관계없이 항상 해당 비트 구간의 정 가운데에 클록에지를 위치하도록 하여 최소의 BER을 얻도록 한다.

그림 5.12는 듀티 사이클이 62.5%인 입력 신호와 이 신호로부터 추출된 클록을 바탕으로 복원된 데이터의 파형을 보인 것이다. 복원된 데이터의 경우 거의 50% 의 듀티 사이클을 가지고 있음을 확인할 수 있다.

- 71 -



그림 5.11. 펄스폭 왜곡을 포함한 입력 데이터와 복원된 데이터의 파형

### 제 5-4 절. 클록복원루프의 특성

그림 5.11에 클록복원루프에서의 동작특성을 실험하기 위한 측정장비의 연결그 림을 나타내었다. 앞절의 실험과는 달리 기준클록을 임의파형 발생기에서 공급하 고 BER테스터에서 PRBS(Pseudo Random Bit Sequence)데이터를 발생하여 데이 터 입력에 인가한다. 클록복원루프로 전환하여 PRBS데이터로부터 복원된 클록과 데이터를 다시 BER테스터의 입력으로 사용하여 입력 데이터가 정상적으로 복원 되는지를 확인하였다.

데이터 입력으로 PRBS31 패턴을 사용하였을 때 추출된 클록의 히스토그램과 복원된 데이터의 아이다이어그램을 각각 그림 5.12과 그림 5.13에 보였다.

입력데이터와 채널의 조건별 실험과 그에 따른 결과를 표 5.3에 정리하였고 제 작된 칩의 사양과 전체적인 측정결과를 표 5.4에 나타내었다.

Data rate	Data pattern	Channel	Clock jitter (p2p/rms)	measured BER
622.08Mbps	PRBS31	direct	58ps/7.7ps	no error for more than 10 <sup>12</sup> bits
	PRBS7	50cm PCB line	130ps/25.57p s	10 <sup>-3</sup>

표 5.3. 클록복원루프에서의 입력데이터 패턴에 따른 동작특성



그림 5.12. 클록복원루프에서의 특성을 측정하기 위한 측정장비 연결 그림



그림 5.13. PRBS31패턴으로부터 복원된 클록의 지터 히스토그램

- 74 -



그림 5.14. PRBS31 패턴으로부터 복원된 데이터의 아이다이어그램

Operation frequency range	320Mbps~720Mbps	
VCO jitter generation	less than 26ps(p2p), 3.7ps(rms)	
Required preamble pattern	1010	
tolerable reference clock frequency range	±1%(±1000ppm) @ 622Mbps	
Recovered clock jitter from PRBS31	58ps/7.7ps	
Power consumption	100mW without I/O	
Power supply voltage	3.3V	
Chip area	600µm×900µm	

#### 표 5.4. 제작된 칩의 사양과 측정결과

### 제 5-5 절. 전원전압과 입/출력 버퍼, 소모전력

본 논문을 통해 제안된 회로는 본래 2.5V정격전압으로 설계되었으나 제작된 칩의 경우 3.3V이상의 전원전압에서 안정된 동작을 하는 것으로 관찰되었다.

원인을 분석한 결과, 이는 그림 3.24에 보인 차동회로로 구성된 래치의 구조가 5개의 트랜지스터를 쌓은 구조이므로 작동가능한 전원전압의 마진(margin)이 극히 좁기 때문에, 실제 제작된 칩의 전원공급 경로에서 발생한 IR drop으로 실제 회로 에는 2.5V보다 낮은 전압이 인가되었기 때문이라고 예측된다.

제 5-4절에서의 50cm PCB라인을 통한 PRBS데이터를 입력으로 사용한 클록 복원루프의 동작에서 BER을 측정한 결과 10<sup>-3</sup>이상의 큰 값을 얻었는데, 이는 사 용한 I/O회로가 본래 2.5V에서 정상적으로 동작하도록 설계되었으므로, 그림 5.4와 같이 마진이 적은 입력신호에 대해서는 버퍼의 기능을 제대로 수행하지 못하였기 때문이라고 예측된다.

실험결과 제작된 칩은 기준클록루프, 클록복원루프에서 모두 입출력버퍼를 포 함하여 300mW의 전력을 소모하는 것을 측정되었으며 버퍼를 제외한 코어의 소모 전력은 100mW 이하이다. 칩의 소모전력이 비교적 큰 것은 사용한 논리 게이트들 이 모두 차동구조를 하고 있으므로 동작하지 않을 때에도 계속하여 전류를 흘리 게 되기 때문인데, 이를 싱글출력 논리게이트로 대체할 경우 더 적은 전력으로 동 작하게 설계할 수 있을 것으로 생각한다.





## 제 6 장. 결 론

본 논문에서는 4비트 안에 클록복원이 가능하고 기존의 연속모드 클록복원회 로와 동등한 지터특성을 가지는 새로운 구조의 버스트 모드 클록 데이터 복원회 로를 제안하였다. 제안된 회로는 0.25µm 1-poly 5-metal CMOS공정 파라메터에 의하여 설계되었고 시뮬레이션을 통하여 동작을 검증하였다.

제작된 칩은 테스트보드에 실장되어 측정을 통해 성능을 검증하였다. 로컬기준 클록에 따라 320Mbps~720Mbps의 데이터 속도에서 버스트 모드 데이터 패킷을 입력으로 클록을 복원함을 확인하였고 짧은 길이의 연속된 데이터 패킷에도 안정 적으로 동작함을 보았다.

차동구조의 논리 게이트로 회로를 설계하여 전원전압이 정격보다 높고 소모전 력이 비교적 크다는 단점이 있으나 이는 싱글출력 논리게이트로 대체할 경우 개 선할 수 있을 것으로 생각된다.

제안된 회로는 PON시스템 등의 버스트 모드 응용분야에서 수신기를 구성하는 핵심블록인 버스트 모드 클록 데이터 복원회로에서 충분히 응용할 수 있을 것으 로 기대된다.

## 참고문헌

- [1] 정보통신부 보도자료, "초고속 인터넷 1,000만 시대 열어, 디지털 경제시대 본격 진입의 계기 마련", 2002.11.6
- [2] 김종안, 유건일, 김운하, "FTTH 광가입자망 기술 및 진화방안", 2003년 3월 전자공학회지 제30권 제3호
- [3] 삼성전자(주) 종합기술원, "초고속 무선통신용 분배망 및 밀리미터파 송수신 기술 연구 = Millimeter-wave communication technology ans its optical distribution network research", 2000, 과학기술부
- [4] "G.984.2, Gigabit-capable passive optical networks(GPON):Physical media dependent(PMD) layer specification), ITU-T, 2003
- [5] M. banu and A. E. Dunlop, "Clock Recovery Circuit with Instantaneous Locking", Electronic letters, Vol. 28, No. 23, pp. 2127 - 2130, 1992
- [6] Nobusuke Yamaoka, et al., "A CMOS Data and Clock Recovery Macrocell for Burst-Mode/Continuos-Mode Transmissions", Proc. of the IEEE Custom Integrated Circuits Conference, pp. 45 - 48, 1997
- [7] 이재욱, 이천오, 최우영, "새로운 구조의 적응형 위상 검출기를 갖는 Gbps급 CMOS 클럭/데이터 복원 회로", 한국 통신학회, Vol. 27, No. 10c, pp. 987
  992, 2002
- [8] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill, 2001
- [9] John G. Maneatis and Mark A. Horowitz, "Precise Delay Generation Using Coupled Oscillators", JSSC, Vol. 28, No. 12, 1993
- [10] 한건희, "전자회로", 교보문고, 2000
- [11] http://www.mosis.org

- [12] Behzad Razavi, "Monolithic Phase-Locked Loops and Clock Recovery Circuits, Theory and Design", IEEE press, 1996
- [13] C. R. Hogge, "A Self-Correcting Clock Recovery Circuit", IEEE Journal of Lightwave Technology, Vol. LT-3, pp. 1312 - 1314, December 1985
- [14] J. D. H. Alexander, "Clock Recovery from Random Binary Signals", Electronic letters, Vol. 11, pp. 541 - 542, October 1975
- [15] S. Soliman, et al., "An Overview of Design Techniques for CMOS Phase Detectors", ISCAS, Vol. 5, pp. V-457 - V-460, May 2002
- [16] F. M. Gardner, "Charge-Pump Phase-Locked Loops", IEEE Trnas. Comm., Vol. COM-28, pp. 1849 - 1858, November 1980
- [17] R. E. Best, "Phase-Locked Loop : Theory, Design, and Applications", McGraw-Hill, 1984
- [18] 이천오, "Gbps급 LVDS I/O에 관한 연구", 연세대학교 석사논문, 2003

# ABSTRACT

# A New Burst Mode Clock and Data Recovery Circuit Using Two Loop Switching Technique

Pyung-Su Han Dept. of Electrical and Electronic Engineering Graduated School Yonsei University

This paper describes a novel burst-mode CDR(Clock and Data Recovery) circuit can be used in 622Mbps burst mode applications. The designed circuit is basically a PLL(Phase Locked Loop) has 2 PD(Phase Detector)s each for reference clock and NRZ(Non Return to Zero) type data.

Control logic circuit can alter these loops in step with data/local reference clock edges, the initial phase acquisition time is not required, in other words, the loop lock instantly.

Required preamble bit pattern length is 4 and the control logic circuit was designed differential. Power consumption can be reduced by single-ended logic conversion.

This CDR was fabricated in 1-poly 5-metal 0.25µm CMOS technology. Jitter generation, burst/continuous mode data receptions were tested and experimental results are presented.

Keywords : Burst mode, Phase Locked Loop, PON, Gated VCO, CDR, differential logic gate