

SMIA(Standard Mobile Imaging
Architecture)용
저전압 광대역 PLL 설계

연세대학교 대학원
전기전자공학과
이 윤 우

SMIA(Standard Mobile Imaging
Architecture)용
저전압 광대역 PLL 설계

지도 최 우 영 교수

이 논문을 석사 학위논문으로 제출함

2005년 12월 일

연세대학교 대학원

전기전자공학과

이 윤 우

차 례

그림차례	iii
표 차례	v
국문요약	vi
제 1 장. 서론	1
제 2 장. 연구배경	3
제 2-1 절. Standard Mobile Imaging Architecture 소개	3
제 2-2 절. 광 대역 저 전압 PLL의 필요성	3
제 2-3 절. PLL 기본 동작원리	7
제 3 장. PLL의 구성 블록 설계와 시뮬레이션	11
제 3-1 절. 설계된 PLL 회로 구조	11
제 3-2 절. 위상 주파수 검출기(Phase-Frequency Detector)	12
제 3-2-1 절. 위상 주파수 검출기의 동작 특성	12
제 3-2-2 절. 위상 주파수 검출기의 설계 및 시뮬레이션	15
제 3-3 절. 전하 펌프와 루프 필터(Charge Pump & Loop Filter)	17
제 3-3-1 절. 전하펌프와 루프필터의 동작특성	17
제 3-3-2 절. 전하펌프와 루프필터의 설계 및 시뮬레이션	20
제 3-4 절. 전압제어 발진기(Voltage-Controlled Oscillator)	24
제 3-4-1 절. 전압제어 발진기 동작 특성	24
제 3-4-2 절. 전압제어 발진기의 설계 및 시뮬레이션	28
제 3-5 절. D2S(differential-to-single-ended) 변환기	33
제 4 장. 전체 회로의 시뮬레이션	34

제 5 장. 측정결과	39
제 5-1 절. PLL 칩과 테스트 보드의 제작 결과	39
제 5-2 절. 전압제어 발진기의 이득 평가 결과	41
제 5-3 절. 설계된 위상동기 회로의 특성 평가 결과	44
제 6 장. 결론	50
참고문헌	51
ABSTRACT	54

그림차례

그림 2.1. 디지털 카메라 모듈과 모바일 폰의 전기적 인터페이스	5
그림 2.2. 디지털 카메라 모듈의 내부 블록도	5
그림 2.3. PLL 회로의 기본 블록	9
그림 2.4. 위상비교기의 파형	9
그림 2.5. 그림 2.3에 주파수 분주기가 추가된 구조	10
그림 2.6. 그림 2.5에 프리 스케일러가 추가된 구조	10
그림 3.1. 설계된 위상동기 회로 구조	11
그림 3.2. 순서회로(Sequential Logic D-F/F) 위상 주파수 검출기	13
그림 3.3. 위상 주파수 검출기의 논리상태도	14
그림 3.4. 위상 주파수 검출기의 회로도	16
그림 3.5. 위상 주파수 검출기의 입출력 시뮬레이션 파형	16
그림 3.6. 전하펌프와 루프필터 구조	19
그림 3.7. 전하펌프와 루프필터의 입출력 파형	19
그림 3.8. 설계된 전하펌프 회로도	22
그림 3.9. 루프필터 구조	22
그림 3.10. 설계된 전하펌프의 정합 특성(@3.3V,85uA)	23
그림 3.11. 설계된 전하펌프의 정합 특성(@2.9V, 80uA)	23
그림 3.12. 설계된 전하펌프의 정합 특성(@2.4V, 68uA)	23
그림 3.13. 홀수 단으로 연결된 싱글 링 발진기 구조	27
그림 3.14. 짝수 단으로 연결된 차동 링 발진기 구조	27
그림 3.15. 설계된 DC-DC 변환기 구조	30
그림 3.16. 설계된 차동 인버터의 회로도	30
그림 3.17. 설계된 DC-DC 변환기 특성	31
그림 3.18. 설계된 전압 제어 발진기 특성(@3.3V)	31
그림 3.19. 설계된 전압제어 발진기 특성(@2.9V)	32
그림 3.20. 설계된 전압제어 발진기 특성(@2.4V)	32

그림 3.21. D2S(Differential-to-single-ended) 변환기 구조	33
그림 4.1 전체 회로 시뮬레이션 결과(@3.3V)	35
그림 4.2 전체 회로 시뮬레이션 결과(@2.9V)	36
그림 4.3 전체 회로 시뮬레이션 결과(@2.4V)	37
그림 5.1 설계된 위상동기 회로의 레이아웃	40
그림 5.2. 제작된 테스트 보드 전면	40
그림 5.3. PLL의 특성평가를 위한 계측기 연결 배치도	42
그림 5.4. VCO 이득의 측정값과 시뮬레이션 데이터 비교(@3.3V)	42
그림 5.5. VCO 이득의 측정값과 시뮬레이션 데이터 비교(@2.9V)	43
그림 5.6. VCO 이득의 측정값과 시뮬레이션 데이터 비교(@2.4V)	43
그림 5.7. 위상동기 회로의 440MHz 출력 파형(@2.4V)	46
그림 5.8. 위상동기 회로의 440MHz 출력의 지터 히스토그램(@2.4V)	46
그림 5.9. 위상동기 회로의 768MHz 출력 파형(@3.3V)	47
그림 5.10. 위상동기 회로의 768MHz 출력의 지터 히스토그램(@3.3V)	47
그림 5.11. 위상동기 회로의 768MHz 출력의 지터 특성 Pre-Simulation 결과 (@3.3V)	48
그림 5.12. 위상동기 회로의 768MHz 출력의 지터 특성 Post-Simulation 결과 (@3.3V)	48
그림 5.13. 출력 버퍼 회로도	49
그림 5.14. VCO 출력 파형(@2.4V)	49
그림 5.15. 출력 버퍼의 출력 파형(@2.3V)	49

표 차 례

표 2.1. SMIA 적용을 위한 PLL 설계 규격	6
표 4.1 설계된 위상동기 회로의 성능 시뮬레이션 결과	38
표 5.1 설계된 위상동기 회로의 성능 측정결과	45

국문 요약

본 논문은 Standard Mobile Imaging Architecture 용 저 전압 광 대역 주파수합성 위상동기 회로의 설계에 대한 것으로 PVT(Process, Voltage, Temperature) 각 조건에서도 SMIA(Standard Mobile Imaging Architecture) 규격($V_{DD}=2.4V\sim 2.9V$, 출력주파수= $325MHz\sim 650MHz$)을 만족시키는 위상동기 회로를 설계하였다. 설계된 회로는 동부아남 반도체의 $3.3V$ $0.18\mu m$ CMOS 공정 파라미터를 사용하여 설계 및 레이아웃이 진행되었으며, 시뮬레이션을 통하여 동작을 검증하였다.

제작된 칩은 테스트 보드에 실장되어 측정을 통해 성능을 검증하였으나, 전원전압 $2.4V\sim 2.9V$ 범위 내에서는 $32MHz\sim 440MHz$ 의 동작범위를 확인하여 저 전압 규격(출력주파수= $325MHz\sim 650MHz$)을 만족시키지는 못했다. 이는 레이아웃 후 포스트 시뮬레이션(Post-simulation) 검증을 진행하지 않아 레이아웃 후 발생된 기생 저항이나 커패시턴스에 의한 영향이 반영되지 못했고, 또한 공정 진행 시 트랜지스터 특성이 스피드가 낮은 공정조건으로 진행된 것으로 추정된다. 포스트 시뮬레이션(Post-simulation)을 진행한 결과 12%의 차이로 측정 데이터와 유사한 수준의 전압제어 발진기 이득 특성을 확인할 수 있었다.

그러나 $3.3V$ 전원전압에서는 $32MHz\sim 768MHz$ 의 동작범위를 갖는 광 대역 위상동기 회로의 설계를 완성하였다.

설계된 회로는 CD-ROM이나 DVD-ROM 등과 같이 광 대역 주파수를 필요로 하는 주파수합성 위상동기 회로의 응용분야에 충분히 활용 가능할 것으로 판단된다.

제 1 장. 서론

최근 CMOS 공정의 최소 크기가 $0.13\mu\text{m}$ 또는 그 이하로 줄어들어 따라 디지털 회로는 칩 면적, 공급전압과 전력소모가 크게 감소하는데 비해 외부 인터페이스 회로와 아날로그 회로는 공급전압이 대체로 3.3V 수준의 비교적 큰 값에 머무르고 있다. 또한, 최소 크기도 그다지 줄어들지 않아 칩 면적과 전력소모가 별로 감소하지 않고 있다. 이러한 단점을 개선하기 위해 아날로그 CMOS 회로 설계 연구가 현재 활발하게 진행되고 있다.

위상동기 회로(Phase-Locked Loop : PLL)는 통신, 무선 시스템, 디지털 회로, 그리고 디스크 드라이브 등의 응용 영역에서 광범위하게 사용되고 있으며, DLL(Delay-Locked Loop)과 더불어 대표적인 클럭 생성 회로이다. PLL은 DLL과 비교해 칩 면적을 많이 차지하고, 위상잡음이 축적되어 설계가 까다로운 단점이 있으나, 주파수 합성에 의한 다양한 클럭 생성이 가능하고 CDR(Clock Data Recovery)이 쉬운 장점으로 인하여 널리 쓰이고 있다. 특히 최근에 칩의 동작속도가 수 GHz를 넘어섬에 따라 앞으로 고성능 시스템의 설계에 있어서 필수적인 회로로써, IC 설계 기술의 발전과 더불어 그 응용 분야도 더욱 넓어지리라 생각된다.

CMOS PLL의 최근 연구 동향은 대체로 다음 세 가지 방식으로 나누어 볼 수 있다[7].

첫 번째 방식은 셀프 바이어스(Self-bias) 기법인데, 이는 PLL 루프특성인 대역폭 비(입력 주파수와 PLL 대역폭의 비율)와 감쇄상수(Damping Factor)를 분주비, 입력 클럭 주파수와 PVT(Process, Voltage, Temperature) 변동에 무관하게 함으로써 PLL이 모든 조건에서 안정되게 동작하도록 하는 방식이다[2].

두 번째 방식은 이중경로 루프(Dual-path Loop) 기법이다[19]. 종래의 PLL은 루프필터(Loop Filter)로 주로 저항과 커패시터의 직렬 회로를 사용하고 있는데, 저항은 락킹(Locking) 과정에서 주파수 안정도를 유지시켜 락킹을 빨리 되게 하지만, 락이 된 후에는 입력 클럭의 매 주기마다 전하펌프(Charge Pump) 전류와 저항 값의 곱에 해당하는 전압 스파이크(Spike)를 전압제어 발전기(Voltage

Controlled Oscillator : VCO) 의 제어 전압에 발생시켜 출력 지터(Jitter) 특성을 나쁘게 한다. 이중경로 루프 방식에서는 이 문제를 개선하기 위해 루프필터를 두 개의 경로(Integral, Proportional)로 분리하고, 샘플링 기법을 이용하여 전압 제어 발전기의 제어 전압에 전압 스파이크를 제거하여 출력 지터를 크게 감소시켰다.

세 번째 방식은 디지털 PLL이다[20]. 보통 PLL의 클럭 제어는 아날로그 전압을 제어하여 VCO의 주파수를 조절하는 방식으로 진행되어 왔다. 아날로그 방식은 회로의 공정이 바뀌면 회로를 다시 설계하는데 디지털 방식에 비해 설계 시간이 크게 증가하는 단점이 있다. 또한 0.13 μm 이하의 미세 공정에서는 공급전압이 1.0V 혹은, 그 이하로 내려가게 되는데 이렇게 되면 아날로그 전압 제어는 매우 힘들게 된다. 이를 극복하기 위해 디지털 PLL이 새롭게 부각되고 있다. 특히 SoC(System On a Chip)같은 대규모 칩에서는 디지털 합성으로 모든 작업이 마무리 되는 디지털 PLL은 설계 시 매우 큰 장점을 지니게 된다.

본 논문에서는 첫 번째 방식인 셀프 바이어스 기법을 이용하여 SMIA(Standard Mobile Imaging Architecture)라 불리는 Nokia사와 STMicroelectronics사의 포괄적인 휴대기기용 카메라 모듈 규격에 맞는 저 전압 광 대역 PLL의 설계와 제작에 대한 연구와 실험 결과를 제시한다.

설계된 PLL은 0.18 μm CMOS 3.3V 공정을 이용하여 설계 및 실리콘 제작이 진행되었으며, 입력주파수 6~27MHz, 출력주파수 325~650MHz, Power 2.4~2.9V, 일반 동작 온도(-25~55도)에서 정상적인 동작특성을 목표로 하였다.

2장에서는 SMIA에 대한 간략한 소개와 PLL의 동작원리 및 저 전압 광 대역 PLL이 필요한 이유에 대하여 설명한다.

3장에서는 PLL의 블록별 동작특성을 설명하고, 블록을 구성하는 각 회로의 설계와 시뮬레이션 결과를 설명한다.

4장에서는 3장에서 설계한 블록들을 사용하여 저 전압 광 대역 주파수합성 PLL을 구성하고, 전체 회로 시뮬레이션을 통하여 그 동작을 검증한다.

5장에서는 시뮬레이션과 측정결과간의 차이에 대한 원인 분석을 진행하고, 마지막으로 6장에서 결론을 맺는다.

제 2 장. 연구배경

제 2-1 절. Standard Mobile Imaging Architecture 소개

SMIA 라고 불리는 이 규격은 2004년 7월 Nokia사와 STMicroelectronics사가 발표한 포괄적인 휴대기기용 카메라 모듈 규격으로 영상정보를 휴대폰 본체로 연결하는 고속 인터페이스 등을 상세히 규정하고 있다[8]. 특히 PLL 관련 부분을 살펴보면, 그림 2.1에서 보는 바와 같이 디지털 카메라 모듈과 모바일 폰(Mobile Phone)의 송신단(Tx)과 수신단(Rx) 사이의 인터페이스는 표준 데이터 전송과 제어로 구성된다. 데이터 전송 인터페이스는 데이터와 클럭, 스트로브(Strobe)를 갖는 단 방향 차동 직렬 인터페이스(Unidirectional Differential Serial Interface)이며, 제어 인터페이스는 I2C 표준에 적합한 양방향 제어 인터페이스이다. 또한 데이터와 스트로브 신호를 생성하기 위한 클럭은 PLL을 사용한 시스템 클럭에서 생성하게 된다.

제 2-2 절. 광 대역 저 전압 PLL의 필요성

SMIA 규격에서 데이터와 스트로브 신호를 생성하기 위한 클럭은 외부 크리스탈 오실레이터(Crystal Oscillator)를 통하여 PLL의 입력으로 들어와 필요한 시스템 클럭을 생성하여 그림 2.2와 같이 클럭 발생기(Clock Generator)에 의해서 각 불럭에 필요한 주파수를 공급하게 된다. 이때 필요한 클럭의 주파수는 직렬 인터페이스 1.0 메가픽셀 해상도(VS6650, ST: 1152V x 864H)의 30fps(frame per second) 대역폭을 만족시키기 위해서는 PLL 동작 주파수 $325\text{Mhz}((1152+\text{Blank}) \times (864+\text{Blank}) \times 1/\text{Fdclk}=1/30)$ 를 만족시켜야하며, 동시에 클럭 발생기를 통하여 시스템 구조상 2배의 주파수(650MHz)를 필요 블록에 공급해야 한다. 2.0 메가픽셀 해상도(UXGA: 1600 x 1200)의 30pfs(frame per second) 대역폭을 만족시키기 위해서는 $650\text{Mhz}((1600+\text{Blank}) \times (1200+\text{Blank}) \times 1/\text{Fdclk}=1/30)$ 의 주파수를 필요로

하나, 목적에 따라 프레임 비(Frame Rate)를 조절하는 경우도 있다. 또한 그 이상의 해상도에 대해서는 프레임 비를 1/2이나 그 이상으로 줄임으로써 PLL 출력 주파수는 SMIA 규격에 맞춰 사용하게 된다. 이로써 SMIA 규격에 적합한 PLL의 규격은 표 2.1 과 같이 출력주파수는 325~650MHz의 광 대역 주파수 범위를 확보해야 하며, 사용전압은 전력 소모를 줄이기 위해 2.4V ~ 2.9V를 표준으로 사용하고 있어 3.3V 공정일지라도 저 전압 광 대역 설계를 필요로 한다.

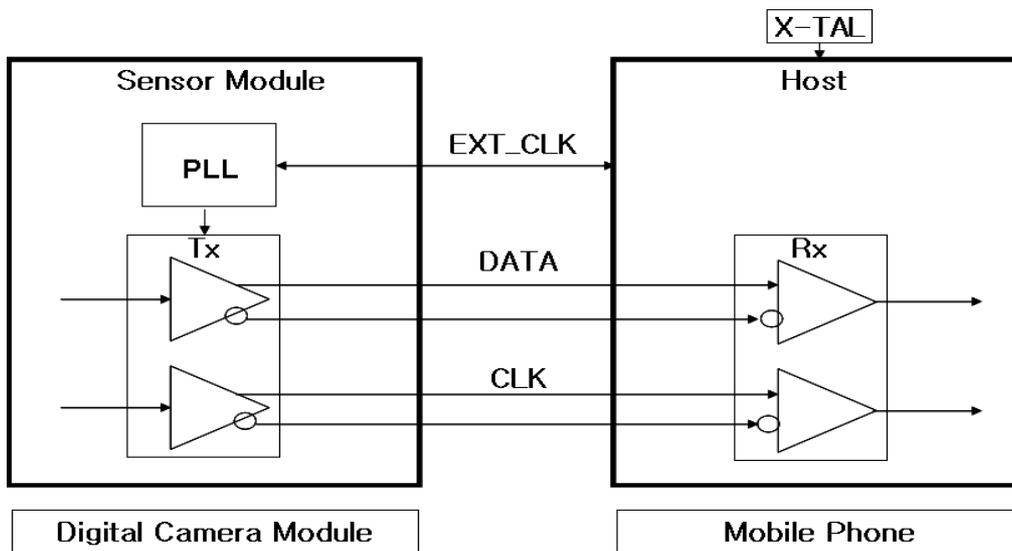


그림 2.1. 디지털 카메라 모듈과 모바일 폰의 전기적 인터페이스

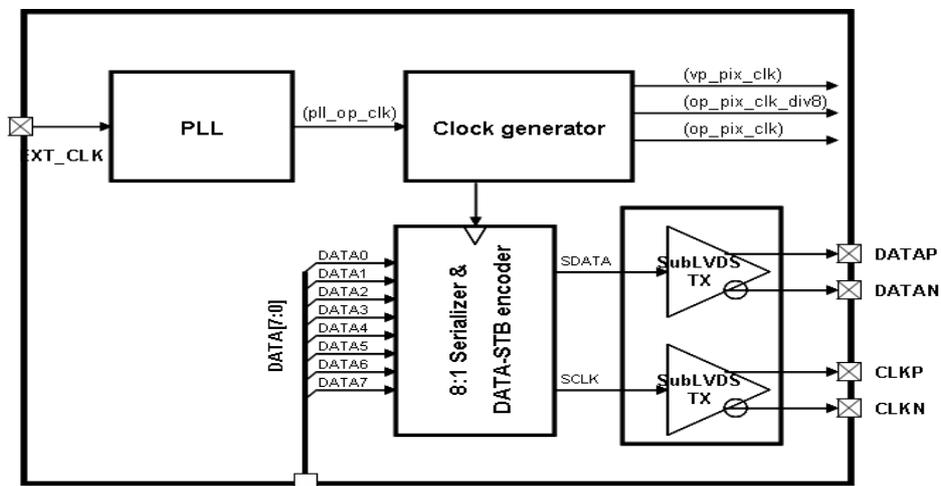


그림 2.2. 디지털 카메라 모듈의 내부 블록도

표 2.1. SMIA 적용을 위한 PLL 설계 규격

항목	SMIA 규격
전원전압	2.4~2.9V
소모전류	10mA(@2.9V)
입력주파수	6~27MHz
출력주파수	325~650MHz
지터	5%(77ps@650MHz)
Duty Cycle	45~55%
락킹 시간	< 1ms
온도범위	-25~55도
루프필터	외장형

제 2-3 절. PLL 기본 동작원리

PLL은 기준 입력 신호에 대한 전압제어 발진기 출력의 신호 주파수를 항상 일정하게 유지하도록 구성된 주파수 부궤환 회로이다. PLL의 기본 구성을 그림 2.3에 나타내었다. 여기서 위상 비교기는 기준 주파수 f_r 과 비교주파수 f_p 의 위상차에 따른 펄스폭을 가진 펄스를 출력한다.

이 위상 비교기는 그림 2.4의 PDout과 같이 f_r 에 대해 f_p 의 위상이 앞서는가, 뒤지는가에 따라 "H" 또는 "L"을 출력하며, 펄스폭은 각각의 위상차에 따라 변화한다. 위상차 분의 펄스를 출력하고 있는 이외의 시간은 위상주파수 비교기의 출력단자가 높은 임피던스로 된다.

위상비교기의 출력을 저역 통과 필터(LPF)에 통하게 하고, 평활하여 얻어진 직류분의 전압을 전압 제어 발진기(Voltage Controlled Oscillator : VCO)에 입력한다. 이 출력(주파수 f_p)을 위상주파수 비교기에 귀환함으로써 그림 2.3의 회로는 항상 f_r 과 f_p 가 같은 주파수에서 같은 위상이 되도록 동작한다.

즉, $f_p = f_r$ (2.1)

이라는 관계가 성립한다.

다음으로 그림 2.5에 나타낸 바와 같이 VCO의 출력 주파수를 주파수 분주기(Frequency Divider)로 1/N분주하고, 비교 주파수 f_p 로 귀환한다.

이때 VCO의 출력 주파수를 f_{vco} 라 하면 다음 식이 성립한다.

$$f_p = f_{vco}/N$$

(2.1) 식에서 $f_p = f_r$ 이므로

$$f_{vco} = Nf_r$$
 (2.2)

(2.2) 식에서 N을 바꿈으로써 f_r 의 스텝으로 f_{vco} 를 변화 시킬 수 있다는 것을 알 수 있다.

이 f_{vco} 를 각종 통신기의 로컬 오실레이터 등에 사용하면 1개의 수정발진기로

여러 가지 주파수를 수정과 동등한 안정도로 이용할 수 있다. f_{vco} 가 높아지면 주파수 분주기로 직접 분주하기가 어려워진다.

그래서 그림 2.6에 나타낸 바와 같이 고속으로 동작하는 프리스케일러를 사용하는 것을 생각해 본다. VCO의 출력은 먼저 프리스케일러에서 $1/M$ 로 되고, 다시 주파수 분주기에서 $1/N$ 로 된다. 주파수 분주기는 f_{vco}/M 로 동작하면 되는 셈이다.

$$f_p = f_{vco}/(NM), f_p=f_r \text{이므로,} \\ f_{vco} = NMf_r \dots\dots\dots (2.3)$$

(2.3) 식에서 주파수 분주기의 분주비 N 을 변화시키면 f_{vco} 주파수는 Mf_r 의 스텝으로 변화함을 알 수 있다. 이 때문에 채널과 채널의 주파수 간격인 채널 선폰레이션은 Mf_r 로 되고, 이 신시사이저에서의 f_r 은 채널 선폰레이션의 $1/M$ 로 된다.

f_r 이 낮아지면 앞서 언급한 루프필터의 시정수를 크게 설계해야 하므로 C, R 이 커진다. 또 PLL이 락에 필요로 하는 시간(Lock Time)도 커져서 좋지 않다. 또한 f_r 이 너무 낮아지면 오디오 계통의 노이즈 등에 의한 방해도 고려하지 않으면 안 된다.

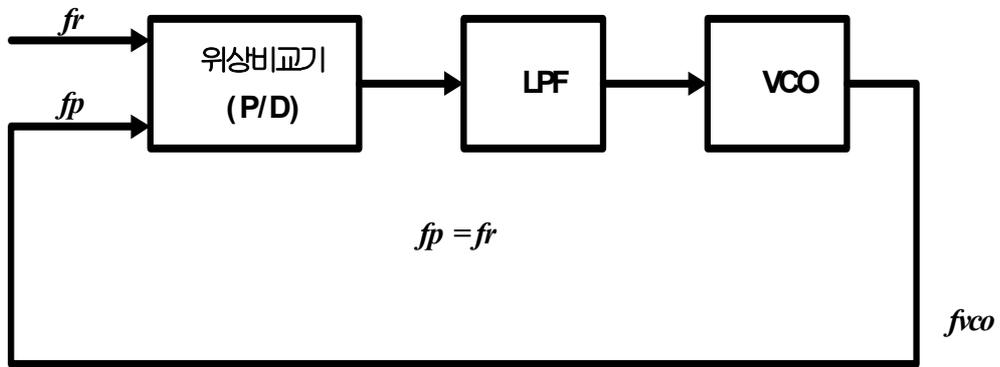


그림 2.3. PLL 회로의 기본 블록

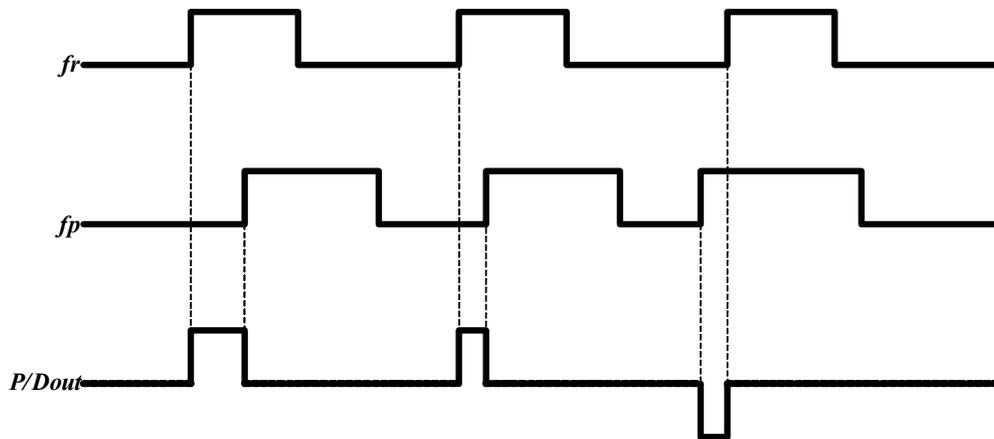


그림 2.4. 위상비교기의 파형

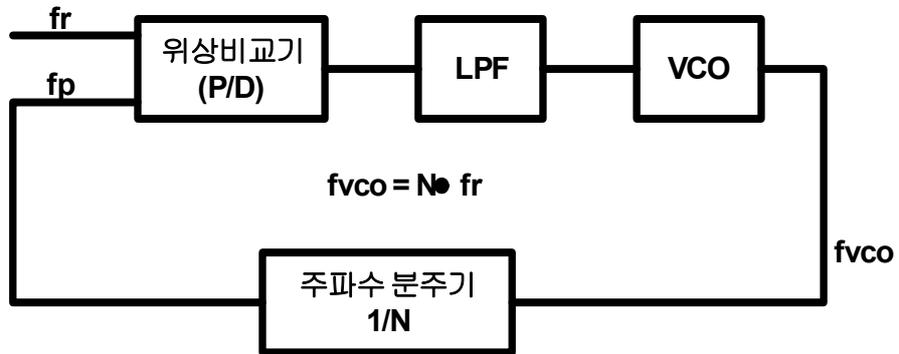


그림 2.5. 그림2.3에 주파수 분주기가 추가된 구조

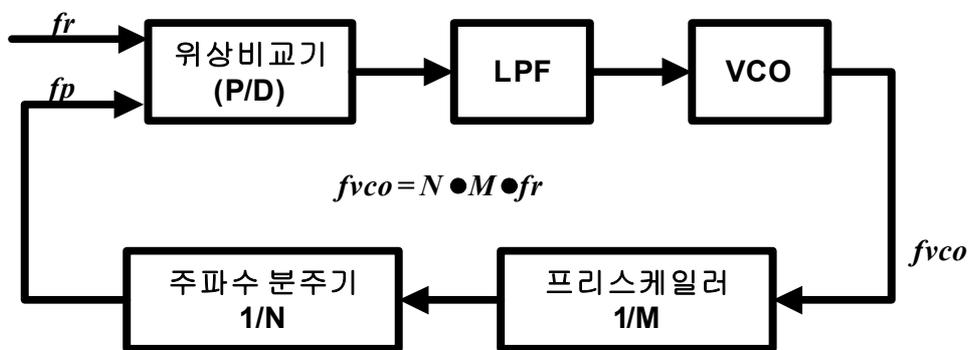


그림 2.6. 그림2.5에 프리 스케일러가 추가된 구조

제 3 장. PLL의 구성 블록 설계와 시뮬레이션

제 3-1 절. 설계된 PLL 회로 구조

설계된 위상동기 회로는 그림 3.1와 같이 위상 주파수 검출기 (Phase-Frequency Detector : PFD), 전하 펌프(Charge Pump), 루프필터 (Loop Filter), 전압 제어 발진기(Voltage-Controlled Oscillator : VCO), 주파수 분주기(Frequency Divider), D2S(differential-to-single-ended)변환기, 출력버퍼(Output Buffer)로 구성되어, 기준 입력신호에 대한 전압 제어 발진기 출력의 분주된 신호의 위상을 동기 시켜 주파수를 항상 일정하게 유지하도록 한다. D2S(Differential-to-single-ended) 변환기 블록은 50%의 Duty를 만족시키며, 회로가 갖는 최고의 동작 주파수를 출력 버퍼를 통하여 출력한다[5]. 출력버퍼를 VCO 출력 단에 연결하여 차동 신호를 바로 측정하여 주파수 및 지터 특성을 확인할 수 있도록 하였으며, 주파수 분주기의 분주 비율을 조절하여 32/256/768/1024 분주로 32MHz, 325MHz, 650MHz, 1GHz의 출력주파수 동작을 검토할 수 있도록 했다.

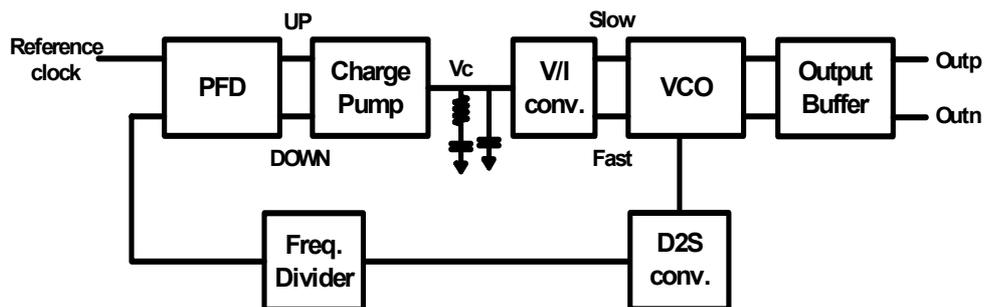
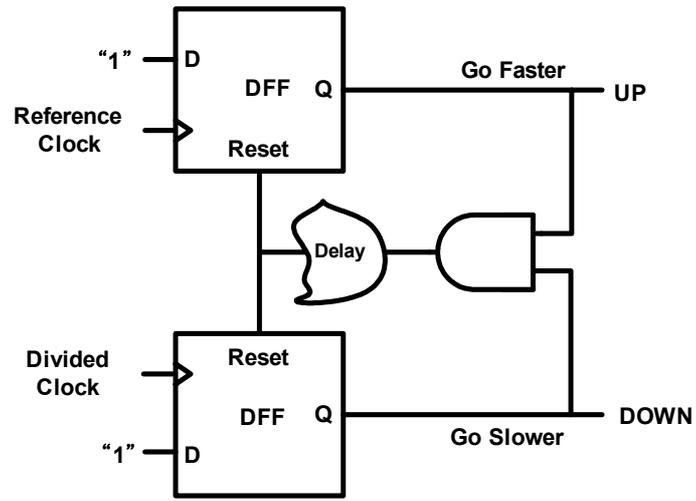


그림 3.1. 설계된 위상동기 회로 구조

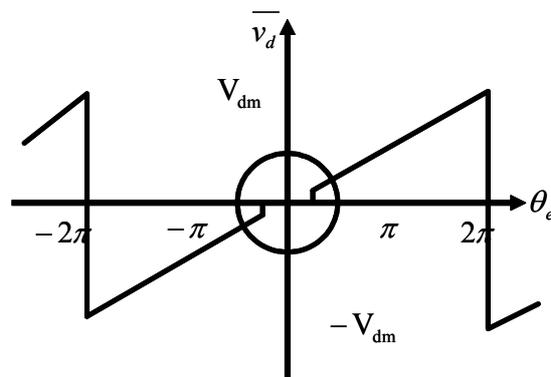
제 3-2 절. 위상주파수 검출기(Phase-Frequency Detector)

제 3-2-1 절. 위상 주파수 검출기의 동작 특성

위상 주파수 검출기의 역할은 주파수 입력신호와 피드백 된 출력 주파수와의 위상과 주파수 차이를 비교하여 위상과 주파수를 모두 검출해 내는 것이다. 그림 3.2(b)의 순서회로(Sequential Logic D-F/F) 위상 주파수 검출기로 특성을 살펴보면, Lock이 되었을 경우 위상차는 0도이며, 검출해낼 수 있는 범위는 $-2\pi \sim +2\pi$ 로 넓은 선형영역과 넓은 락킹 범위를 갖는다. 출력 값은 입력 신호의 크기와 Duty 사이클에 무관하며, 주파수 차이를 구별해 낼 수 있다. 그러나 게이트 지연(Gate Delay)에 의한 Dead Zone이 발생하며, 이로 인한 지터와 위상잡음에 취약해질 수 있다. 이러한 Dead Zone 문제를 극복하기 위해 그림 3.2(a)의 지연 소자(Delay Chain) 영역이 추가되어 전하펌프가 동작할 수 있는 최소한의 펄스 폭을 만들어 낸다. 위와 같은 특성을 갖는 위상 주파수 검출기의 동작은 그림 3.3의 논리상태도와 같이 두개의 출력 값이 세 가지의 논리 상태 즉, UP/DOWN=10, UP/DOWN=01, UP/DOWN=00 을 가져야 하며, 각 상태의 전환은 입력되는 두 신호의 상승천이 때 일어나야 한다. 기준 클럭(Reference Clock)이 빠른 경우 UP 신호가 논리 '1'이 먼저 되어 전하펌프를 구동하여 분주된 클럭(Divided Clock)을 빠르게 구동시키고, 분주된 클럭이 빠른 경우 'DOWN' 신호가 논리 '1' 이 먼저 되어 분주된 클럭을 느리게 한다. UP/DOWN 신호가 모두 '1/1'이 되었을 경우 AND 게이트의 출력이 논리 '1'의 값을 갖고 리셋 되어 UP/DOWN 신호를 논리 '0'으로 만든다. 두 입력신호의 위상차는 전하펌프에 위상 차 만큼의 UP/DOWN 신호가 전달되어 전압 제어 발진기의 주파수를 증가 또는 감소시킨다. 천이 순간에만 동작하기 때문에 위상차에 관계없이 $0 \sim 2\pi$ 까지 검출이 가능하고 위상차가 미세하여 검출해 낼 수 없는 영역을 피할 수 있다[18].



(a) 위상 주파수 검출기 블록도



(b) 위상 주파수 검출기의 동작 특성

그림 3.2. 순서회로(Sequential Logic D-F/F) 위상 주파수 검출기

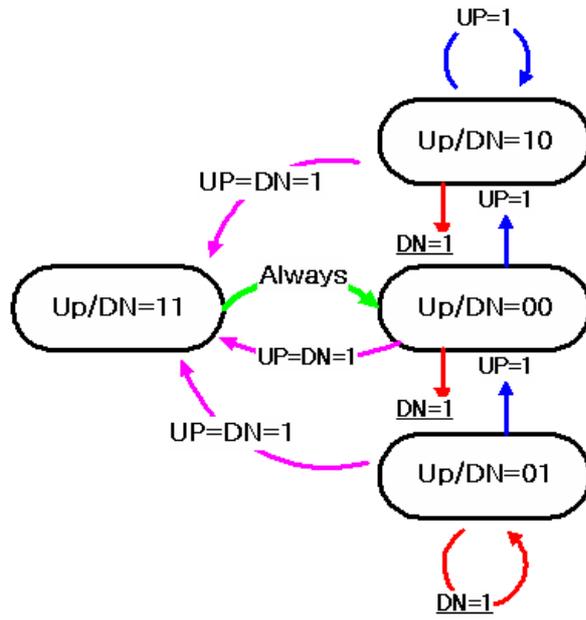


그림 3.3. 위상 주파수 검출기의 논리상태도

제 3-2-2 절. 위상 주파수 검출기의 설계 및 시뮬레이션

본 연구에서 설계한 위상동기 회로는 외부 수정 발진기(Crystal Oscillator)의 낮은 주파수(6~27MHz)로부터 입력을 받아 프리스케일러를 통하여 1MHz로 분주되어 동작되는 구조로, 그림 3.4와 같이 순서회로를 이용한 위상 주파수 검출기를 이용하여 6 게이트 리셋 시간을 가지며, Dead Zone 문제를 해결하였다[18].

그림 3.5는 위상 주파수 검출기의 입출력 시뮬레이션 파형으로 입력에 8ns의 기준(Reference) 클럭과 분주된(Divided) 클럭을 각각 입력하여 진행하였다. 시뮬레이션 결과 파형에서 보면, 기준(Reference) 클럭의 하강 모서리에서 UP 신호가 상승하고, 분주된(Divided) 클럭의 하강 모서리에서 DOWN 신호가 상승하였으며, UP과 DOWN 신호가 모두 논리 '1'의 상태가 되면 두 신호 모두 논리 '0'상태로 리셋 되어 위상 주파수 검출기로서의 기능을 충실히 수행하였다. 또한 위상 주파수 검출기의 리셋 시간은 375ps로 전하펌프의 스위치를 켜고 끄는데 필요한 최소한의 펄스폭인 150ps(0.18 μ m 공정 기준) 보다 비교적 긴 리셋 시간을 가지고 있다.

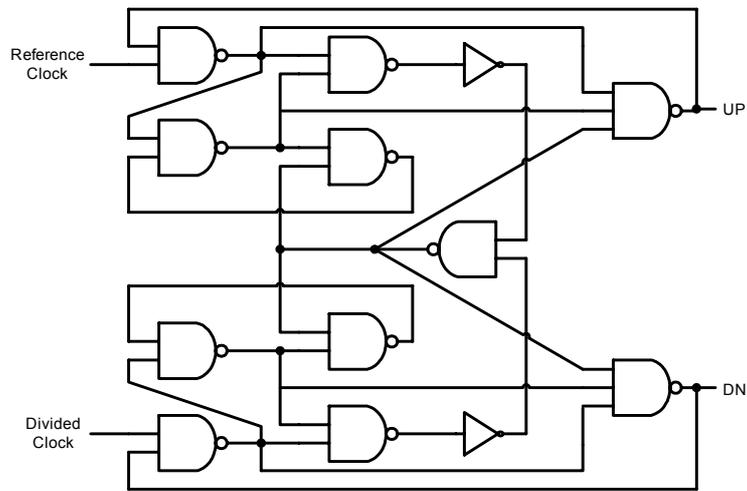


그림 3.4. 위상 주파수 검출기의 회로도

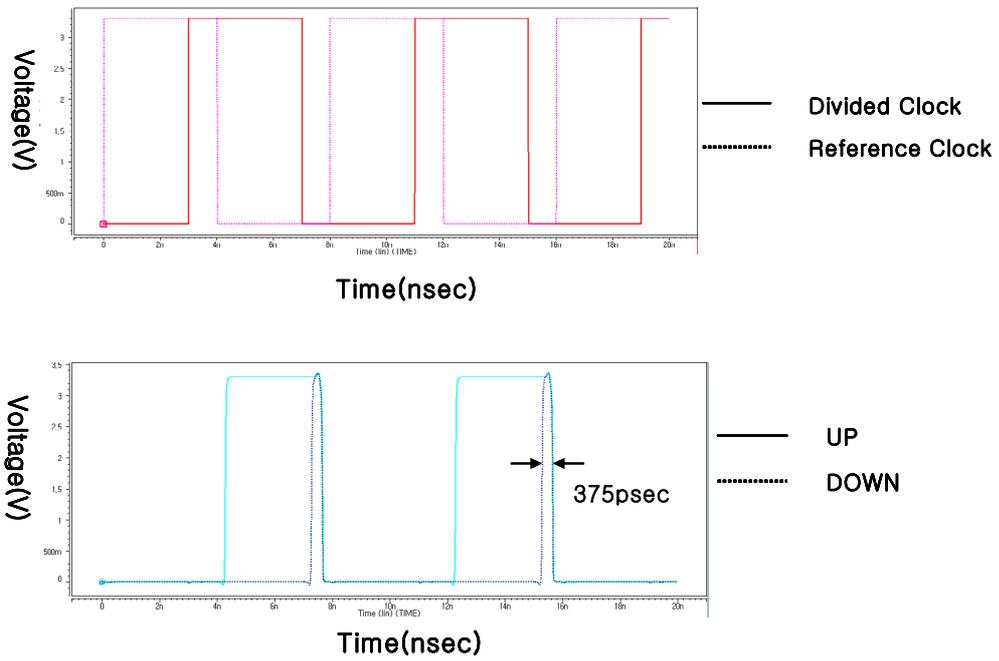


그림 3.5. 위상 주파수 검출기의 입출력 시뮬레이션 파형

제 3-3 절. 전하펌프와 루프필터(Charge Pump & Loop Filter)

전형적인 선형 위상 동기 회로에는 위상 검출기와 연동하여 간단한 구조의 저역통과 필터가 사용된다. 이 구조에서는 위상 검출기 출력의 평균값이 위상차가 존재하는 구간 내에 저역 통과 필터의 커패시터에 충전되고 이 값은 시간이 지날수록 누설 전류로 인하여 방전되기 때문에 정상 상태에서의 잡음이 계속해서 발생하는 단점이 있다.[10-11] 연산증폭기 등을 이용한 능동 저역통과 필터가 존재하지만 연산증폭기 자체가 가지는 대역폭과 동작 주파수의 한계로 인해 잡음의 제거에 있어서 한계가 존재할 수밖에 없다. 이와 같은 문제점은 위상 주파수 검출기와 전하펌프, 루프 필터를 사용하여 해결할 수 있다.

제 3-3-1 절. 전하펌프와 루프필터의 동작특성

전하펌프는 그림 3.6과 같이 두개의 독립 전류원(I_{UP} , I_{DN})과 위상 주파수 검출기로부터 발생하는 UP과 DN 신호로 제어되는 두개의 스위치로 이루어져 있다. 동작은 위상 주파수 검출기로부터 UP 신호에 논리 “1”, DN 신호에 논리 “0”이 출력되면, DN 스위치는 그대로 끊어진 상태를 유지하고, UP 스위치가 연결되어 루프필터의 커패시터에 I_{UP} 전류가 전달되어 전하가 충전된다. 이때 그림 3.7과 같이 UP 신호와 DN 신호의 펄스폭 차이만큼의 시간동안 커패시터에 충전된 값으로 인해 출력 전압(V_o)이 상승(기울기= I_p/C)하고, 그 외의 시간동안은 전하펌프의 DC 이득이 무한대이기 때문에 방전될 경로가 생기지 않아서 출력 전압이 일정하게 유지된다. 따라서 이상적으로 전하펌프가 포함된 위상동기 회로의 정적 위상오차(Static Phase Error)는 0 이 되고, 주파수 획득 범위가 단지 전압제어 발진기의 출력 주파수 범위에 의해서만 제한되는 장점이 있다[12, 18].

그러나 3-3-1절에서 언급했듯이 위상 주파수 검출기를 사용할 때 두 입력 신호의 위상차가 충분히 크지(150ps 이상) 않을 경우 Dead Zone이라는 현상이 발생하게 되는데, 이는 FET 소자로 구성되는 스위치의 커패시터 부하를 충전시키는데 걸리는 시간으로 인해 출력 UP 신호의 논리 “1”이 충분히 상승하지 못하여

문턱전압에 도달할 경우 논리 “0”의 값으로 UP과 DN 신호가 하강하는 비정상적인 동작이 이루어지게 되는 것이다. 이를 개선하기 위해서는 UP과 DN 신호가 짧은 시간 내에 충분히 상승할 수 있도록 설계해야 하는데 FET 소자자체의 한계에 의해 현실적으로 불가하며, 다른 방법으로 그림 3.2(a)와 같이 특정 조건(UP과 DN 신호가 논리 “1”인 경우)에서 두 입력 신호를 논리 “0”으로 리셋시키는 구조를 사용하여 UP과 DN 신호가 충분한 시간동안 논리 “1”의 값을 유지할 수 있도록 설계함으로써 Dead Zone 문제를 해결할 수 있다. 그러나 이 방법을 사용할 경우 UP과 DN 신호가 동시에 논리 “1”이 되는 순간 각각의 스위치는 동시에 도통되어 두 개의 전류원은 하나의 경로에 위치하게 된다. 이때의 전류원(I_{UP} , I_{DN})의 경로가 VDD에서 GND로 통하게 되는데, 회로로 구성될 경우 공정 변화에 따라 어느 정도의 오차가 반드시 발생하게 된다. 이 오차로 인해 위상차가 없는 상태에서도 계속해서 제어 전압이 변화하게 되어 전압제어 발진기의 출력 파형에 심한 왜곡을 발생시키게 된다. 이는 전체 위상동기 회로의 직접적으로 영향을 미치게 되어 입력되는 신호(Reference Clock)와 위상 고정된 상태에서도 분주된 클럭(Divided Clock)의 주파수가 계속해서 변화하게 되어 지터 잡음을 발생시키게 되어[9], 설계 시 전하펌프의 부정합(Mismatch) 특성을 개선할 수 있도록 회로 상에서 충분히 고려되어야 한다.

루프필터는 그림 3.6과 같이 Lag-Lead 필터의 형태가 사용되며, V_0 에 걸리는 전압 성분이 전압제어 발진기의 출력신호의 위상을 제어하는 작용을 하게 된다. 따라서 루프필터의 저항 값이 커지면 기준입력 신호(Reference Clock)와 분주된 전압제어 발진기의 출력(Divided Clock)의 주파수차이 보다는 위상차가 출력에 보다 많이 반영되어 두 신호간의 주파수차가 적고 위상차가 클 경우에 보다 빨리 동기 되는 경향을 보인다. 그러나 저항 값이 커지면 동기 된 상태에서 출력신호의 지터 특성이 저하되는 문제가 있다[9, 13]. 이를 방지하기 위해 별도의 작은 값($C_2 \leq C_1/10$)의 커패시터를 루프필터의 출력(V_0)에 연결하여 제어전압의 리플(Ripple)을 제거하는 것이 일반적이다.

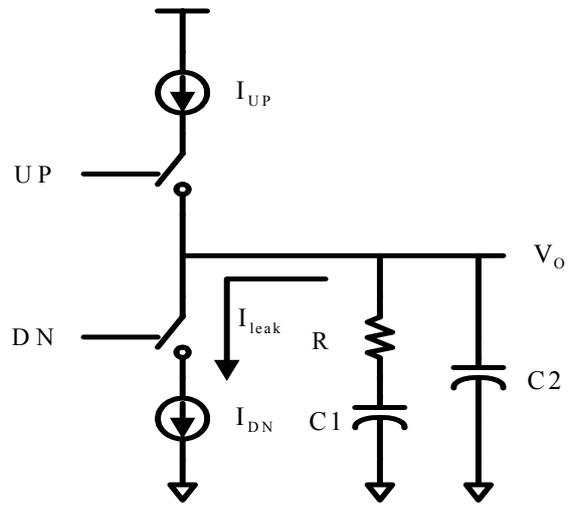


그림 3.6. 전하펌프와 루프필터 구조

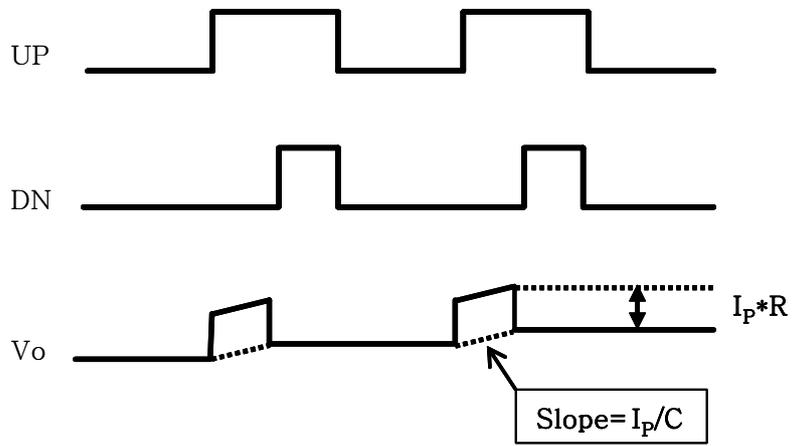


그림 3.7. 전하펌프와 루프필터의 입출력 파형

제 3-3-2 절. 전하펌프와 루프필터의 설계 및 시뮬레이션

전하펌프 회로의 동작속도 및 누설 전류량은 PLL의 정적 위상 오차(Static Phase Error)와 지터 특성에 영향을 미치는 주된 요인이다[13]. 일반적으로 전하펌프 회로는 PLL에 있어서 위상 검출기의 출력전압을 입력으로 받아서 그에 상응하는 전류량을 루프 필터에 공급하는 역할을 한다. 본 연구에서는 주파수 분주기(Pre-divider)를 사용하여 입력 주파수는 1.0 MHz로 고정시키고, 전하펌프 전류는 전체 동작 전류를 최소화하기 위해 VDD=3.3V에서 85uA, VDD=2.9V에서 80uA, VDD=2.4V에서 68uA로 하였으며, 사용 전압은 SMIA 규격에 맞춰 2.4V~2.9V 까지 안정적인 동작을 보장하도록 하였다. 특히 출력 주파수가 325MHz~650MHz의 광 대역을 필요로 하기에 전하펌프 출력 전압(V_o)의 범위 또한 넓은 대역을 필요로 하며, 전류원의 전류량 오차에 의한 전하펌프의 부정합 특성이 매우 중요하다. 일반적으로 전하펌프의 정합(Matching) 특성을 개선하기 위해서는 전류원의 출력 임피던스를 크게 하는 방법을 사용하지만 완전히 개선된 특성을 확보할 수는 없다. 그림 3.8에 설계된 회로는 완전한 전류 정합 특성을 갖는 구조로 피드백 증폭기를 이용하였다. 전류 복사(Current Mirror) 회로의 동작은 피드백 증폭기를 통하여 V_x 의 출력 전압이 CP_OUT의 출력 전압을 따라가도록 하여 V_x 와 CP_OUT의 출력 전압을 동일하게 만든다. 또한 트랜지스터의 크기는 $M_1=M_5$, $M_2=M_6$, $M_3=M_7$, $M_4=M_8$ 로 동일하게 하고, V_{bias} 는 바이어스 회로로부터 복사된 전류를 일정하게 유지한다면, DN 신호가 논리 "1"일때 전류는 $I_4=I_3=I_1$ 로 동일하고, UPB 신호가 논리 "0"이면 전류는 $I_1=I_2=I_4$ 로 동일하여 결국 I_2 와 I_3 가 같아진다. 그림 3.10, 3.11, 3.12은 설계된 회로에 대한 전류 매칭 특성을 VDD 별로 나타낸 것으로 VDD=3.3의 경우 0.39V~2.83V, VDD=2.9V의 경우 0.393V~2.44V, VDD=2.4V의 경우 0.386V~1.96V의 범위 내에서 0.1% 내의 완벽한 정합 특성을 갖는다. 또한 피드백 증폭기의 발진현상을 예방하기 위해 출력 노드에 30pF의 커패시터를 추가했다[3, 16].

위상동기 회로의 안정성과 동기 시간은 루프필터의 파라미터 값에 의해 결정되며, 각 파라미터 값을 결정하는 방법은 위상동기 회로의 각 블록의 이득에 루프

대역폭을 고려하여 전달함수의 감쇄상수(Damping Factor)가 0.707 이상이 되도록 결정한다[9]. 루프필터 구조는 그림 3.9와 같으며, 설계는 대역폭(Bandwidth)을 입력 주파수의 1/10 이하가 되어야 하여, 식 (3.1)~(3.5)와 같은 관계를 갖는다.

$$a_n = \sqrt{\frac{K_{VCO} \cdot I_p}{2\pi N \cdot C}} \dots\dots\dots (3.1)$$

$$\xi = \frac{R \cdot C}{2} \sqrt{\left[\frac{K_{VCO} \cdot I_p}{2\pi N C} \right]} \dots\dots\dots (3.2)$$

식(3.3, 3.4)의 계산 값으로 R 값과 C1값이 결정되며, C2는 식(3.5)와 같이 C2의 1/10 이하가 되도록 한다.

$$R = \frac{2\pi K N}{I_p K_{VCO}} \dots\dots\dots (3.3)$$

$$C_1 = \frac{2\pi N}{I_p K_{VCO}} \left(\frac{2\xi}{R} \right)^2 \dots\dots\dots (3.4)$$

$$C_2 \leq \frac{C_1}{10} \dots\dots\dots (3.5)$$

본 연구에 사용된 루프필터는 외장형으로 고정되고, VDD의 사용범위 (2.4V~2.9V, 3.3V)가 넓어 VDD별 전하펌프의 전류 값이 85uA~68uA로 변화되고, 전압제어 발전의 이득이 바뀌더라도 감쇄상수(Damping Factor)가 0.707 이상이 되도록 설계하기 위해 대역폭(Bandwidth)을 입력주파수의 1/20로 하고 VDD별로 VCO 이득과 저하펌프 전류 값을 적용하여 가장 큰 C 값을 찾고, 그 C 값으로 다시 대역폭을 구한다음, 제일 작은 값을 갖는 대역폭에 감쇄상수를 0.707로 하여 가장 작은 R 값을 적용시켜 R=2.07KΩ , C1=14.7nF , C2=1.47nF 으로 설계하였다.

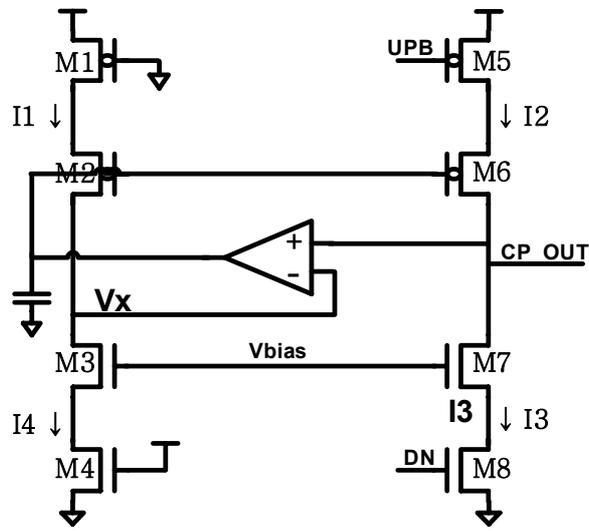


그림 3.8. 설계된 전하펌프 회로도

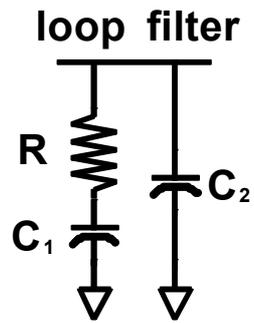


그림 3.9. 루프필터 구조

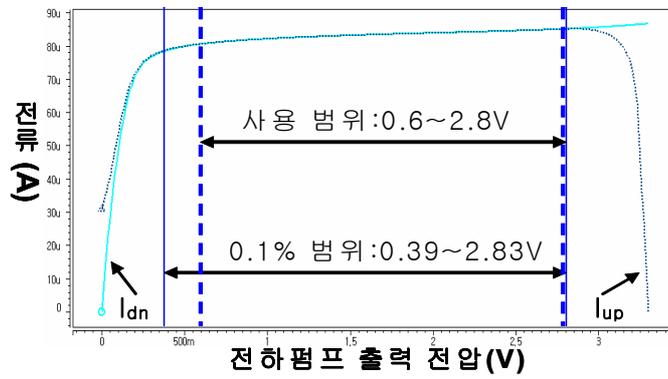


그림 3.10. 설계된 전하펌프의 정합 특성(@3.3V, 85uA, 0.1%)

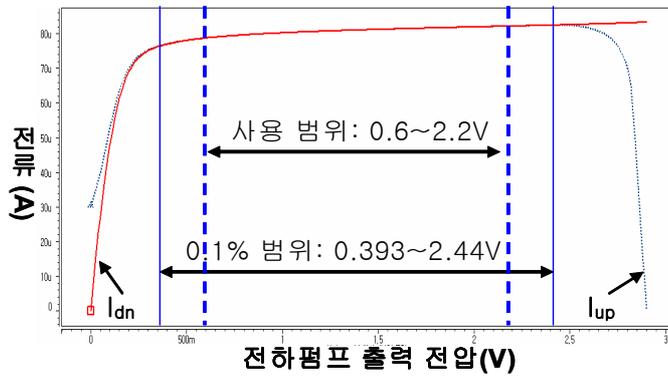


그림 3.11. 설계된 전하펌프의 정합 특성(@2.9V, 80uA, 0.1%)

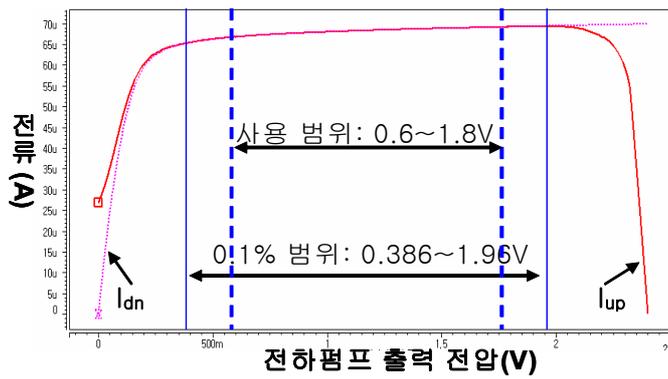


그림 3.12. 설계된 전하펌프의 정합 특성(@2.4V, 68uA, 0.1%)

제 3-4 절. 전압제어 발진기(Voltage-Controled Oscillator)

제 3-4-1 절. 전압제어 발진기 동작 특성

전압제어 발진기를 만드는 방법은 여러 가지가 있으나 그 중 링(Ring) 발진기는 집적화가 용이하고 매우 높은 발진 주파수를 얻을 수 있는 장점을 가지고 있어 집적회로 형태의 전압제어 발진기를 구현하는데 일반적으로 사용된다[14].

기본적인 링 발진기의 구조는 그림 3.13에 나타낸 바와 같이 몇 개의 인버터들이 홀수개의 직렬 체인 구조를 이루고 있다. 이런 경우에는 간단한 구조의 인버터를 지연소자로 이용하게 됨으로 소비전력이 적으면서 동시에 높은 발진주파수를 얻을 수 있는 장점이 있다. 그러나 링 발진기의 발진 주파수가 증가 할수록 온도, 전압, 공정 파라미터의 변화에 의한 영향이 더욱 커지게 되어 그림 3.13과 같은 구조로는 문제를 해결하는데 어려움이 있다. 이에 반해 그림 3.14와 같은 차동 인버터를 사용하여 구현된 차동 링 발진기는 인버터의 구조가 복잡하여 소비 전력이 비교적 큰 단점이 있지만, 여러 가지 외부 잡음에 대한 저항성이 강하고 짝수 단으로 링 발진기를 구현할 수 있기 때문에 매우 높은 출력 주파수를 출력할 수 있는 장점이 있다.

두 경우의 동작원리는 링 발진기를 구성하는 인버터들의 특성을 반전(Inverting) 기능과 지연(Delay) 기능으로 구분하여 분석할 수 있다[14]. 인버터의 동작을 입력신호에 대해 반전된 신호를 일정한 지연 시간만큼 경과된 후에 출력시키는 것으로 단순화하는 것이 해석에 유리하다. 홀수단의 인버터로 구성된 경우 첫 번째 단에 논리 “1”의 입력이 인가되면 일정한 지연 시간이 경과한 후에 첫 번째 단의 출력은 논리 “0”이 되고, 두 번째 단의 출력은 다시 일정한 시간이 경과한 후에 논리 “1”이 된다. 따라서 인버터의 지연시간을 T_d 라 하고 링 발진기가 N (홀수)개의 인버터를 포함하고 있다면, 첫 번째 입력에 대한 반전 신호가 다시 첫 번째 입력으로 되돌아 와서 인가되는데 걸리는 시간은 NT_d 가 된다. 이와 같은 과정의 반복으로 링 발진기에 나타나는 신호는 주기적인 신호가 되고 결국 지연시간이 T_d 인 인버터를 N 개 포함하고 있는 링 발진기의 발진 주기는 $2NT_d$ 가 된다.

짝수 단으로 연결된 차동 링 발진기를 구현하기 위해서는 첫 번째 단의 입력과 마지막 단의 출력을 교차하여 연결한다. 그림 3.14에서 첫 번째 인버터의 입력 단에 각각 논리 "1"과 "0"이 인가되면, 마지막 단의 출력은 각각 논리 "0"과 "1"이 되어 다시 첫 단의 입력으로 연결됨으로 결국 N(짝수)개의 차동 인버터로 구성된 차동 링 발진기의 경우에도 NTd가 경과한 후에 첫 번째 인버터의 입력이 반전된다. 따라서 N개의 짝수 단으로 연결된 차동 링 발진기의 발진 주기는 홀수단의 링 발진기와 동일하게 2NTd가 된다.

N개의 인버터로 구성된 링 발진기의 발진 조건은 인버터의 주파수에 대한 전압 이득 특성과 위상 특성의 두 가지로 나누어서 생각할 수 있다. 위상 측면에서 보면 N개의 링 발진기가 발진하기 위해서는 첫 번째 단의 인버터의 입력 신호와 N 번째 단의 인버터의 출력 신호의 위상차가 180도가 되어야 주기적인 반전이 이루어지면서 발진하게 된다. 또한 이득의 경우 N개의 인버터를 거친 후의 출력 신호의 진폭이 첫 번째 입력 신호의 진폭보다 작으면, 결국 "0"으로 수렴하게 되어 발진이 멈추게 됨으로 "1" 이상이 되어야 한다.

전압제어 발진기는 아날로그 전압을 입력으로 받아서 이와 선형적으로 비례하는 주파수를 가지는 출력 신호를 내보내게 된다. 아날로그의 제어전압을 그림 3.13과 그림 3.14에서와 같이 V_{in} 이라할 때 출력되는 신호의 각 주파수는 식 (3.6)와 같다.

$$\omega_{vco} = \omega_0 + K_{vco} V_{in} \dots\dots\dots (3.6)$$

식 (3.6)에서 ω_0 는 전압제어 발진기가 자유 동작하는 주파수를 의미하고, K_{vco} 는 전압제어 발진기의 제어전압이 1V 증가할 때의 주파수 이득을 의미한다. 위상을 시간에 대해서 적분하면 Sinusoidal 전압제어 발진기의 출력은 식 (3.7)과 같이 표현된다.

$$y(t) = A \cos(\omega_0 + K_{vco} \int_{-\infty}^t V_{in} dt) \dots\dots\dots (3.7)$$

전압제어 발진기는 위상 동기회로에서 동작 주파수를 결정하는 중요한 역할을 하는 회로 블록으로, 위상 동기회로에 의해서 조절할 수 있는 주파수 범위가 제한된다. 특히 광 대역에서 동작하는 전압제어 발진기는 넓은 주파수 범위에서 동작할 수 있어야 하며, 이에 따른 취약한 지터 잡음에 둔감할 수 있도록 설계되어야 한다.

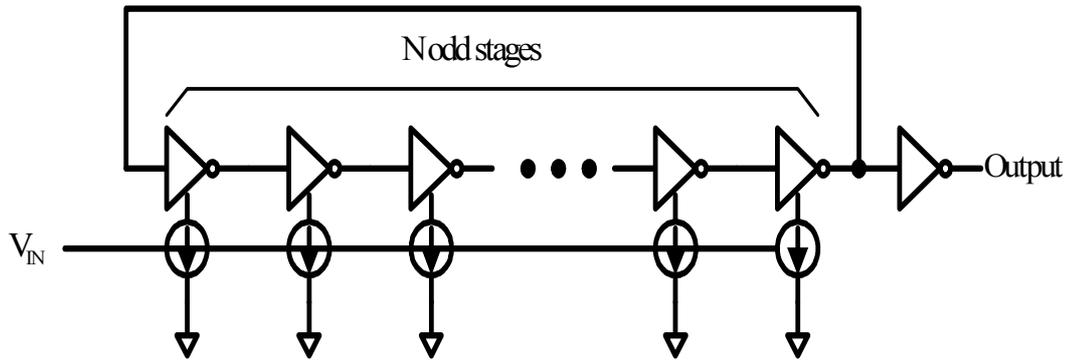


그림 3.13. 홀수 단으로 연결된 싱글 링 발진기 구조

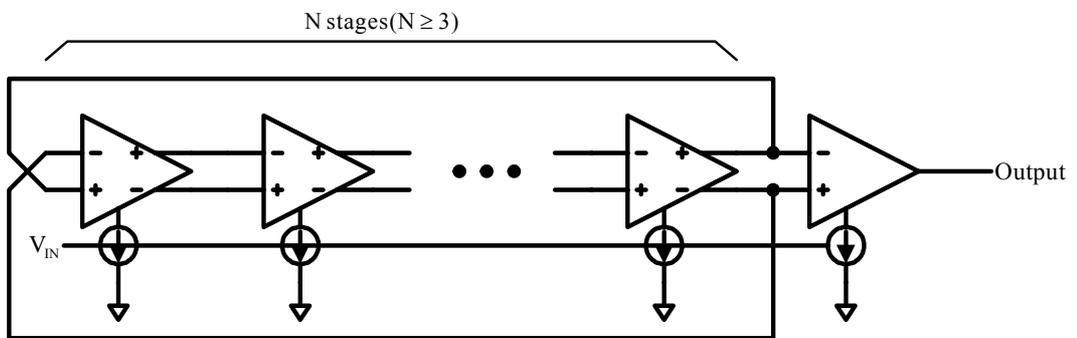


그림 3.14. 짝수 단으로 연결된 차동 링 발진기 구조

제 3-4-2 절. 전압제어 발진기의 설계 및 시뮬레이션

링(Ring)형 전압제어 발진기에 사용되는 지연버퍼는 제어전압에 의해 입출력 신호간 지연시간을 조절할 수 있는 기능을 가지고 있어야 하며, 일반적으로 출력 저항이나 출력 전류량을 조절하는 방법을 사용하게 된다. 본 논문에 사용한 전압제어 발진기는 그림 3.14와 같이 짝수 단으로 연결된 차동 4단 링 발진기 구조로 입력 공통 모드 변화 및 전원전압 변화에 덜 민감하도록 설계하였다. 저 전압(2.4V~2.9V) 광 대역(325MHz~650MHz) 발진을 만족시키며 동시에 노이즈 특성을 개선하기 위해 그림 3.16과 같이 PMOS Cross-coupled Load를 사용하였다. 구조적으로 대칭부하(Symmetric Load)를 사용하여 선형성을 향상시키고, Cross-coupled 지연버퍼를 적용하여 높은 동적 PSRR(Power Supply Rejection Ratio) 특성과 저주파수 영역을 확보하였다[1]. 그림 3.16의 지연버퍼에서 M1/M2의 대칭부하가 없을 경우 발진 주파수와 제어전압 사이의 선형성이 유지된다는 장점이 있으나, 부하로 사용된 M3/M4가 선형영역에서 동작하도록 하기 위해 제어전압(V_{con})이 가질 수 있는 값의 범위가 제한받게 된다. 특히 본 논문의 저 전압 특성에 비추어 볼 때 발진할 수 있는 주파수 범위가 좁아진다는 단점이 있다. 또한 선형영역에서 동작하는 CMOS 능동부하는 큰 신호(Large Signal)에 대하여 그 등가저항의 선형성이 좋지 못하므로 차동회로의 장점인 공통 모드 거부특성(CMRR, Common Mode Rejection Ratio)을 떨어뜨리게 된다. 그래서 그림 3.16의 지연버퍼에 대칭부하 M1/M2를 같은 크기로 게이트와 드레인 단자는 다이오드(Diode) 연결되도록 하여 출력 단에 연결시키고, M3/M4의 게이트는 제어전압(V_{con})으로 사용하였다[15, 17]. 또한, 그림 3.15와 같이 DC-DC 전압 업/다운 변환기 회로에 의해 발생하는 제어신호 V_{con} 과 V_{conb} 의 특성(그림 3.16)을 이용하여 4단 링 발진기를 구동함으로써 제어 범위를 넓힐 수 있었다.[6]

그림 3.18, 3.19, 3.20은 본 논문에 적용된 전압제어 발진기의 특성을 나타낸 것으로 0.18 μ m의 CMOS 3.3V 공정을 사용하여 저 전압(2.4V~2.9V) 내에서도 출력 주파수 325MHz~650MHz를 만족할 수 있도록 설계하였으며, 이때의 이득

은 VDD=3.3V일 경우 600MHz/V, VDD=2.9V일 경우 670MHz/V, VDD=2.4V
일 경우 870MHz/V로 확인되었다.

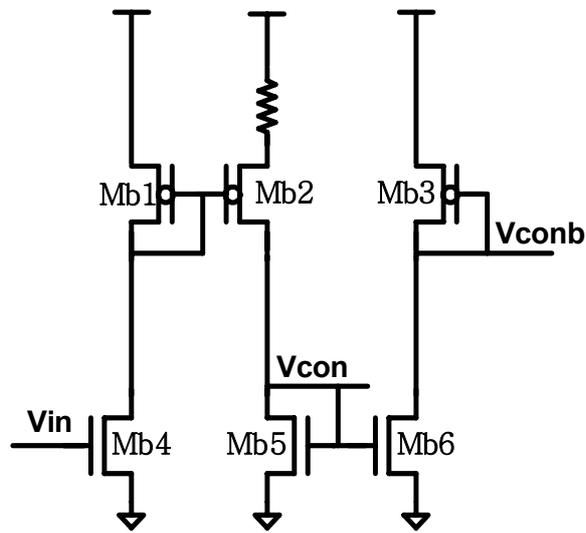


그림 3.15. 설계된 DC-DC 변환기 구조

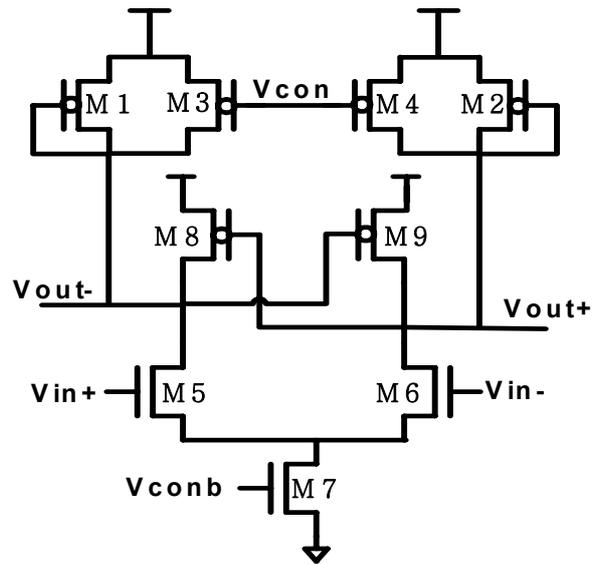


그림 3.16. 설계된 차동 인버터의 회로도

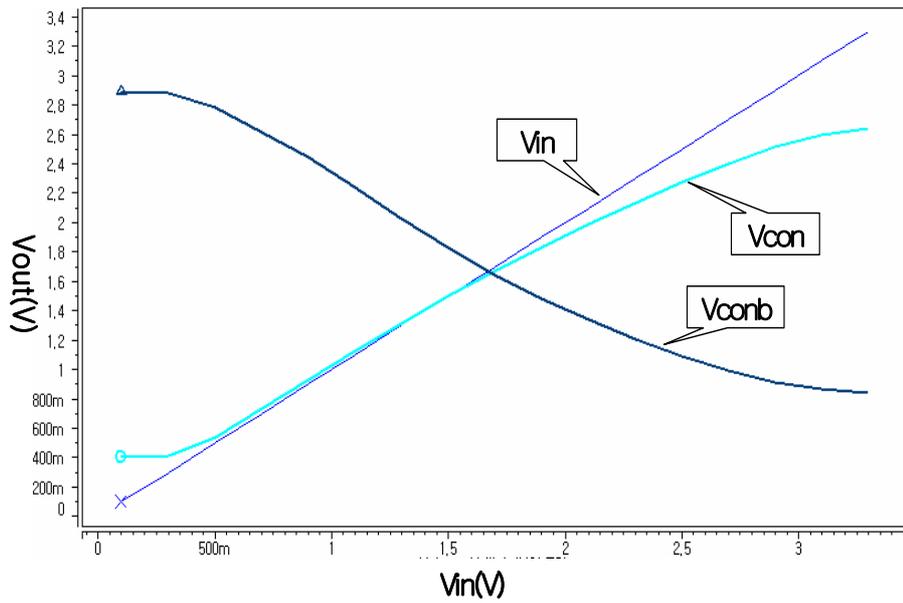


그림 3.17. 설계된 DC-DC 변환기 특성

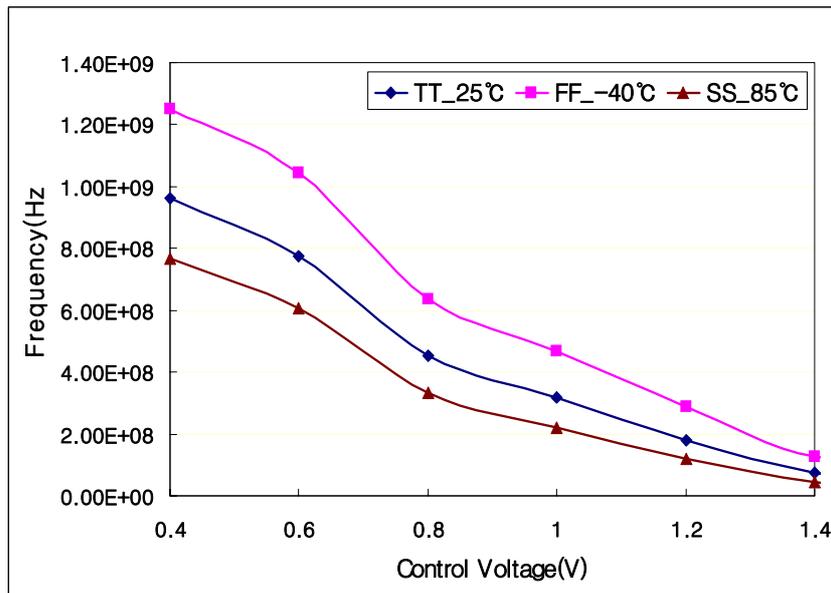


그림 3.18. 설계된 전압 제어 발진기 특성(@3.3V)

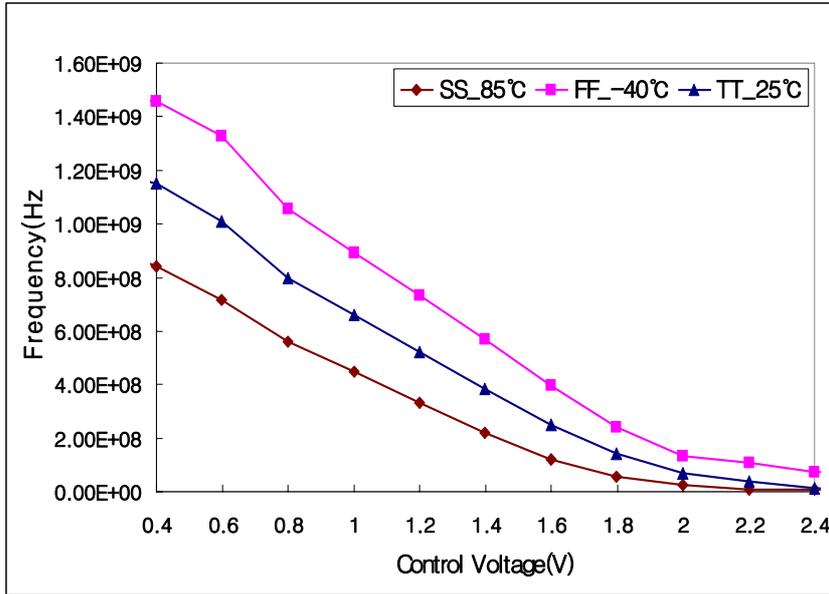


그림 3.19. 설계된 전압제어 발진기 특성(@2.9V)

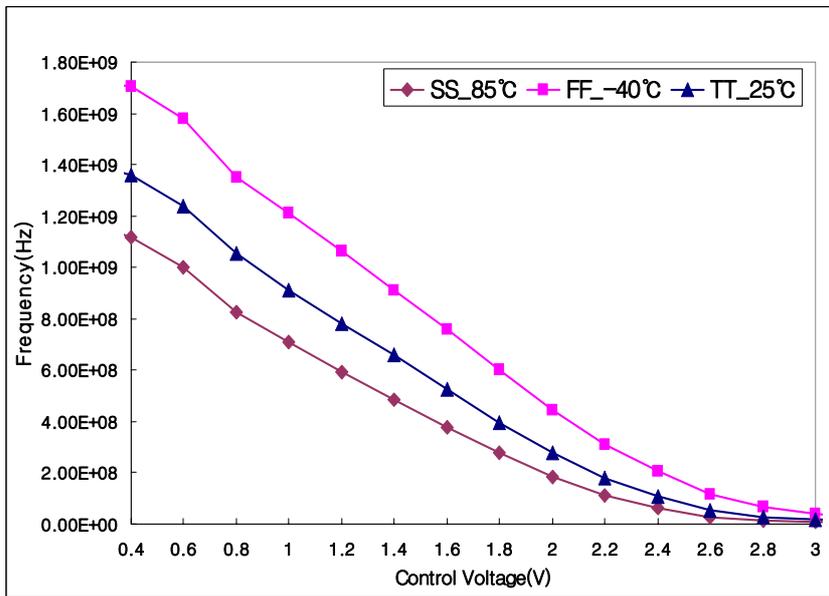


그림 3.20. 설계된 전압제어 발진기 특성(@2.4V)

제 3-5 절. D2S(differential-to-single-ended) 변환기

일반적으로 PLL은 50% duty를 맞추기 위해 VCO에서 2배의 주파수를 발생시키고 이를 2분주하여 사용한다. 이런 동작은 실제로 차동 신호(differential signal)일 경우 낭비 요소가 될 수 있다. PLL의 최대 동작 주파수가 1/2로 줄어들게 되며, 또한 입력 트래킹 지터(Tracking jitter)에 영향을 줄 수 있다. 그러나 그림 3.21과 같이 Differential-to-single-ended 변환기를 사용할 경우 VCO를 최대 동작주파수의 2배로 설계하지 않아도 차동 출력으로부터 50% Duty Cycle을 갖는 Single-ended 구조와 동일한 출력을 얻을 수 있다. 그림 3.21의 회로 동작은 2개의 반대 위상을 갖는 NMOS 차동 증폭기의 출력(Out+, Out-)이 NMOS 전류 복사(Current Mirror) 회로로 연결된 2개의 PMOS 게이트를 제어하도록 되어 있으며, 2개의 NMOS 차동 증폭기의 구성은 동일한 전류원(Vbiasn TR)을 사용하여 버퍼 단을 구동하는 대칭부하(Symmetric load) 버퍼 단으로 구성되어 있다[2].

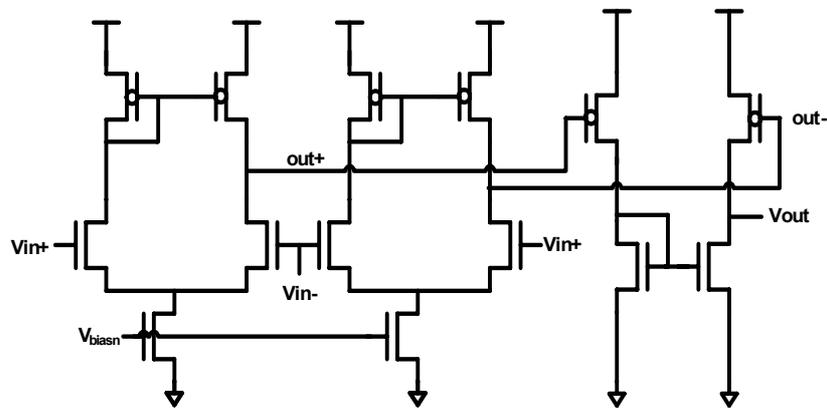


그림 3.21. D2S(Differential-to-single-ended) 변환기 구조

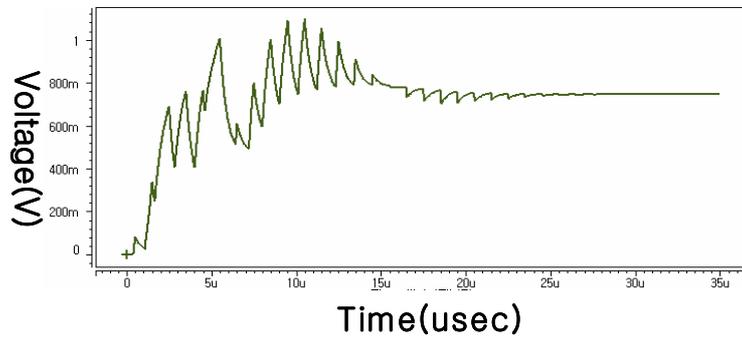
제 4 장. 전체 회로의 시뮬레이션

PLL 설계는 0.18 μ m CMOS 3.3V 공정 파라미터를 적용했으며, 시뮬레이션은 제3장에서 검토된 각 블록별 회로를 기준으로 HSPICE로 진행하였다. 시뮬레이션 조건은 기준 신호 입력을 1.0MHz로 고정시키고, 제어전압(V_c)의 초기값을 0V로 하였으며, 루프필터의 R과 C 값은 제3-4-2 절에서 언급한 바와 같이 외장형으로 VDD 사용범위가 넓어 전압 제어 발전기의 이득과 전하펌프의 전류 값이 변화더라도 감쇄상수(Damping Factor)가 0.707 이상을 만족할 수 있도록 $R=2.07K\Omega$, $C1=14.7nF$, $C2=1.47nF$ 으로 하여 설계된 주파수 분주기(32/256/768/1024 분주)를 이용하였다.

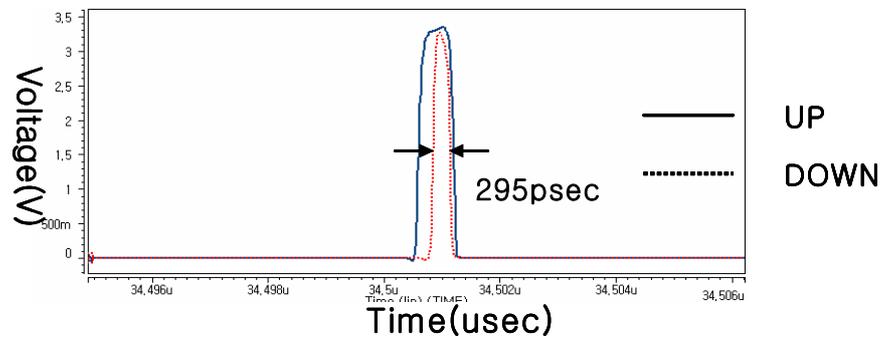
VDD=3.3V에서는 32/1024 분주하여 32MHz~1.024GHz를 검증과 VDD=2.4~2.9V에서는 32/768 분주하여 32MHz~768MHz 대한 검증으로, 설계 목표인 325~650MHz, 1GHz의 특성을 검증함으로써, SMIA 규격과 설계 목표를 만족함을 확인하였다.

그림 4.1의 (a)는 VDD=3.3V에서 입력 주파수 1.0Mhz에 대한 1.024GHz의 출력 주파수로 동작할 때 30us 이상의 락킹 시간이 필요함을 보여주고 있으며, (b)는 Lock이 된 후의 295ps의 리셋시간을 갖는 UP/DOWN 신호를 보여주고 있으며, (c)는 1.024GHz 출력신호의 확대된 파형이다. 그림 4.2의 (a)는 VDD=2.9V에서 입력 주파수 1.0Mhz에 대한 768MHz의 출력 주파수로 동작할 때 30us 의 락킹 시간이 필요함을 보여주고 있으며, (b), (c)도 위와 동일하게 371ps의 리셋시간과 768Mhz의 출력 파형을 보여주고 있다. 또한 그림 4.3의 (a)는 VDD=2.4V에서 입력 주파수 1.0Mhz에 대한 768MHz의 출력 주파수로 동작할 때 30us 의 락킹 시간과 (b), (c)는 위와 동일하게 437ps의 리셋시간과 768Mhz의 출력 파형을 보여주고 있다.

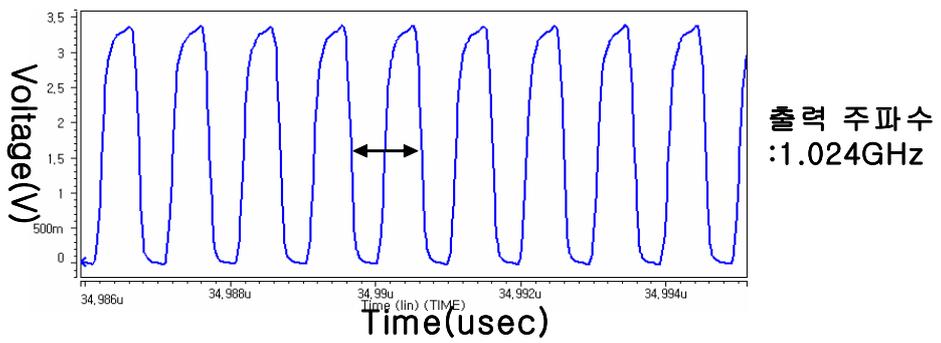
전체 회로 시뮬레이션 결과에서 락킹 시간은 낮은 입력주파수에 따라 C 값이 커짐으로 각 조건별로 30us 이상의 시간을 필요로 함을 알수 있다. 표 4.1은 이상의 시뮬레이션 결과를 정리하여 설계된 저 전압 광 대역 위상동기 회로의 회로 성능 사양을 나타내고 있다.



(a) VCO 제어 전압 파형

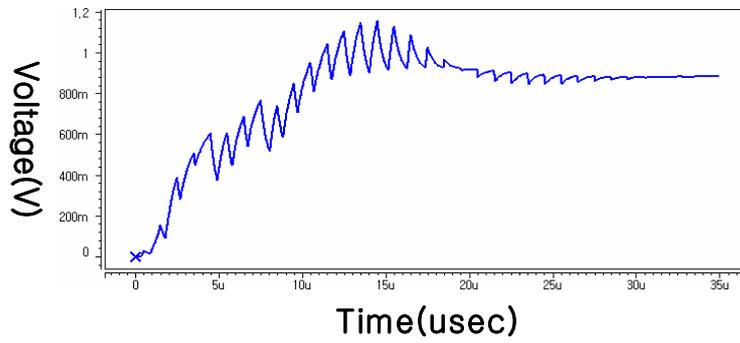


(b) 위상검출기의 UP/DOWN 신호

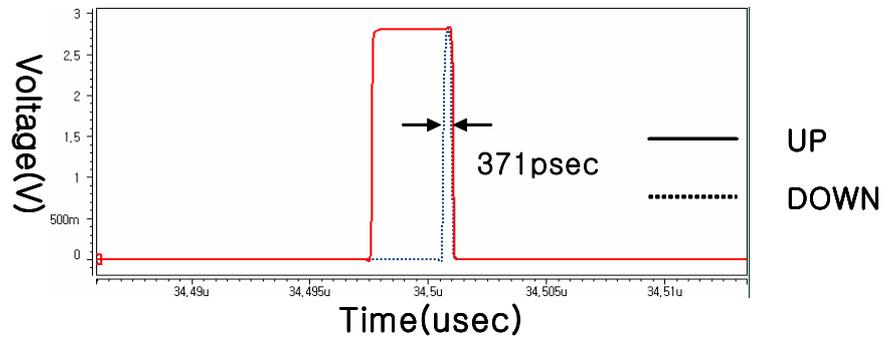


(c) 출력 주파수

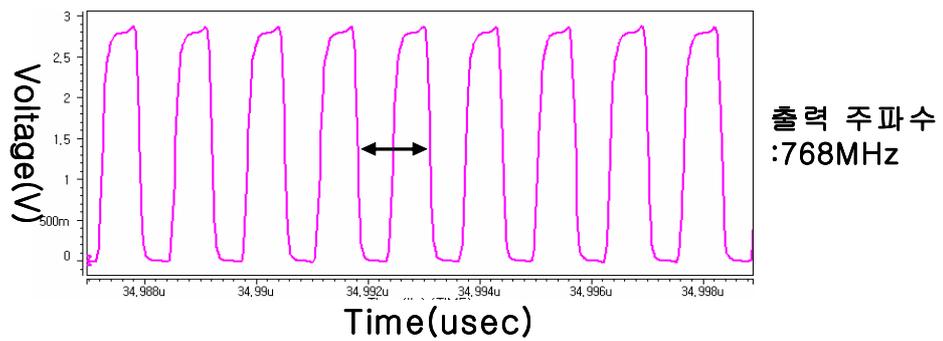
그림 4.1 전체 회로 시뮬레이션 결과(@3.3V)



(a) VCO 제어 전압 파형

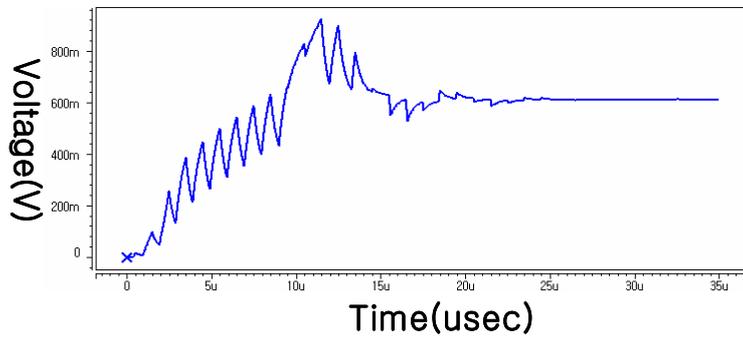


(b) 위상검출기의 UP/DOWN 신호

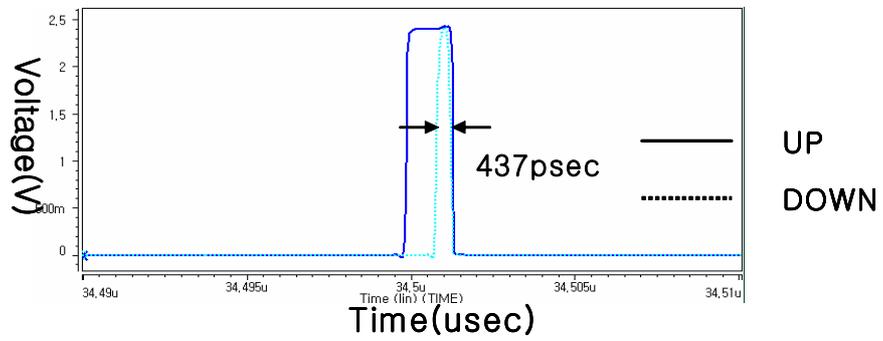


(c) 출력 주파수

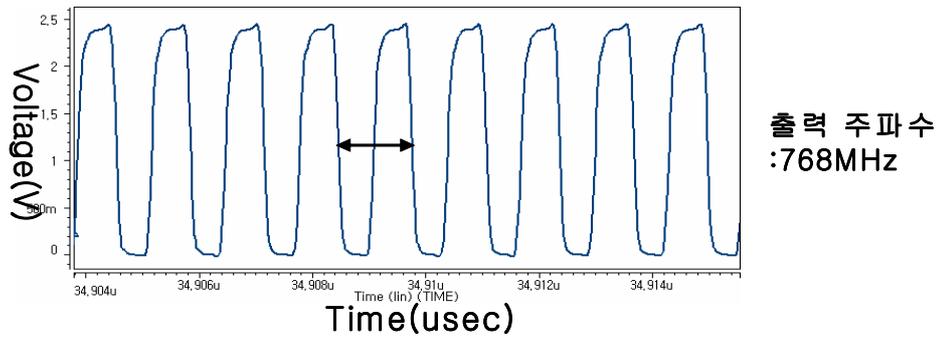
그림 4.2 전체 회로 시뮬레이션 결과(@2.9V)



(a) VCO 제어 전압 파형



(b) 위상검출기의 UP/DOWN 신호



(c) 출력 주파수

그림 4.3 전체 회로 시뮬레이션 결과(@2.4V)

표 4.1 설계된 위상동기 회로의 성능 시뮬레이션 결과

항목	SMIA 규격	시뮬레이션 결과
전원전압	2.4~2.9V	2.4~2.9V, 3.3V
소모전류	10mA(@2.9V)	8mA(@2.9V)
입력주파수	6~27MHz	1.0MHz
출력주파수	325~650MHz	32M~650MHz, 1GHz
지터	5%(77ps@650MHz)	
Duty Cycle	45~55%	50%
락킹 시간	< 1ms	< 30us
온도범위	-25~55도	-40~85도

제 5 장. 측정결과

제 5-1 절. PLL 칩과 테스트 보드의 제작 결과

설계된 회로는 동부아남 반도체의 3.3V 0.18 μ m CMOS 공정 파라미터를 사용하여 설계 및 레이아웃이 진행되었으며, 120-Pin TQFP(Thin Quad Flat Package)로 패키징 되어 13개의 Pin을 사용하였다.

그림 5.1은 설계된 위상동기 회로의 레이아웃이며, 입력 버퍼는 입력단자에 ESD(Electro Static Discharge) 방지회로를 갖춘 구조로 싱글(Single) 인버터를 사용하였으며, 출력버퍼는 차동신호를 출력하는 CML(Current Mode Logic) 구조와 싱글 인버터 구조 2가지를 사용하여 출력 신호의 Duty를 확인할 수 있도록 하였다.

제작된 PLL 칩이 실장 된 테스트 보드는 그림 5.2에 나타내었으며, 전원전압의 노이즈를 줄이기 위한 필터와 디커플링 캐패시터(Decoupling Capacitor)를 보드의 후면에 부착 시켰다. 또한 계측기와의 입출력 신호를 연결하기 위해 SMA(Subminiature Microwave Type-A) 커넥터를 사용하였다[17].

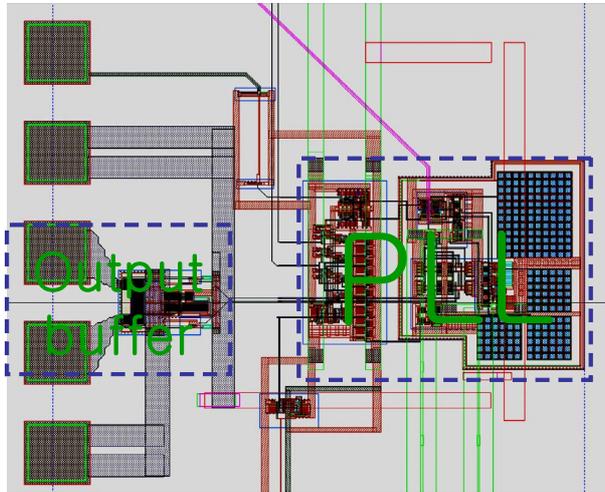


그림 5.1 설계된 위상동기 회로의 레이아웃

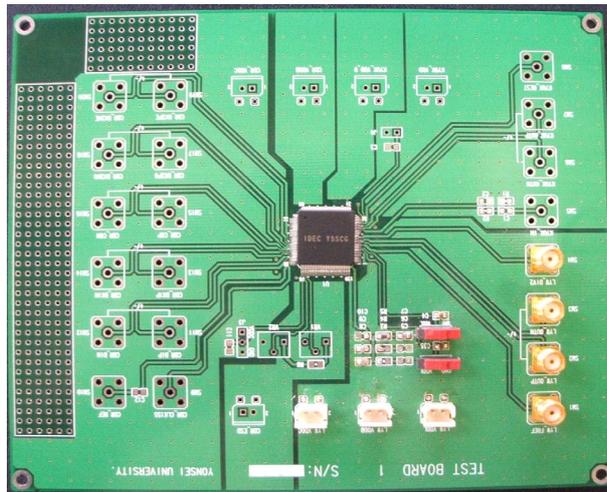


그림 5.2. 제작된 테스트 보드 전면

제 5-2 절. 전압제어 발진기의 이득 평가 결과

그림 5.3은 제작된 PLL 칩의 동작특성을 평가하기 위한 측정 장비와 테스트 보드의 연결 상태를 그림으로 나타내었다. 입력 신호인 기준 클럭은 펄스발생기(Pulse generator)를 통하여 들어가고, 전원전압기(Power Supply)는 입력버퍼와 디지털 블록, 전압제어 발진기 블록, 출력버퍼 블록에 각 1대씩 사용하여 블록별 소모전류를 확인하였고, 오실로스코프(Oscilloscope)를 사용하여 출력신호의 주파수 특성을 측정할 수 있도록 하였다.

전압제어 발진기의 이득을 평가하기 위해 루프필터 핀에 와이어(Wire)를 연결하고, 입력신호를 Power Supply를 사용하여 0V부터 사용 전원전압 수준 까지 변경하면서, 그때의 출력주파수를 측정하였다. 측정 결과는 시뮬레이션 결과와 비교 시 각 VDD별로 최대/최소 출력 주파수의 값이 VDD=3.3V에서는 그림 5.4와 같이 1.3GHz/18MHz 대비 실측치는 830MHz/16MHz, VDD=2.9V에서는 그림 5.5와 같이 1.1GHz/10MHz 대비 실측치는 600MHz/6.8MHz, VDD=2.4V에서는 그림 5.6과 같이 850/30MHz 대비 실측치는 500MHz/6.5MHz로 VDD별로 최대 주파수 값이 1.7배의 차이를 보였다. 이는 레이아웃 후 포스트 시뮬레이션(Post-simulation) 검증을 진행하지 않아 레이아웃 후 발생된 기생 저항이나 커패시턴스에 의한 영향과 공정 진행 시 트랜지스터 특성이 스피드가 낮은 공정조건으로 진행된 것으로 판단되어, 포스트 시뮬레이션을 진행하였다.

포스트 시뮬레이션을 진행한 결과 측정 데이터와 비교해보면 각 VDD별로 최대/최소 출력 주파수의 값이 VDD=3.3V에서는 그림 5.4와 같이 917MHz/18MHz 대비 실측치는 830MHz/16MHz, VDD=2.9V에서는 그림 5.5와 같이 730MHz/3.4MHz 대비 실측치는 600MHz/6.8MHz, VDD=2.4V에서는 그림 5.6과 같이 550MHz/5MHz 대비 실측치는 500MHz/6.5MHz로 VDD별로 주파수 값이 9~12%의 차이로 측정 데이터와 유사한 수준의 전압제어 발진기 이득 특성을 확인할 수 있었다.

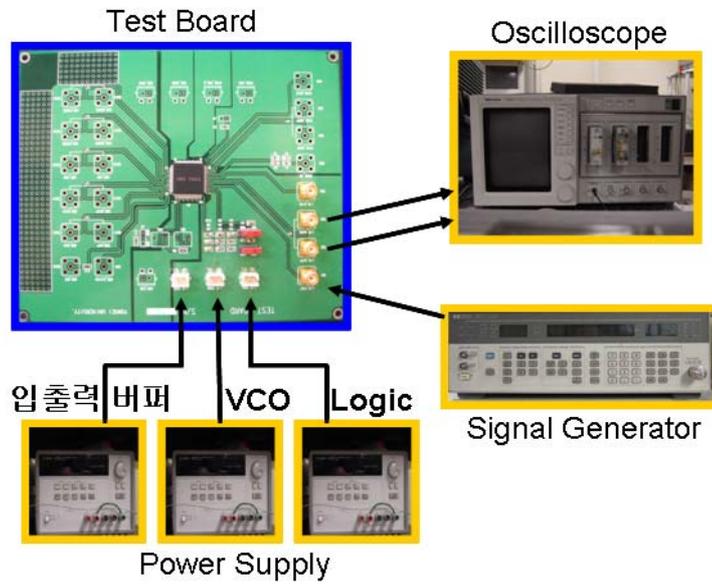


그림 5.3. PLL의 특성평가를 위한 계측기 연결 배치도

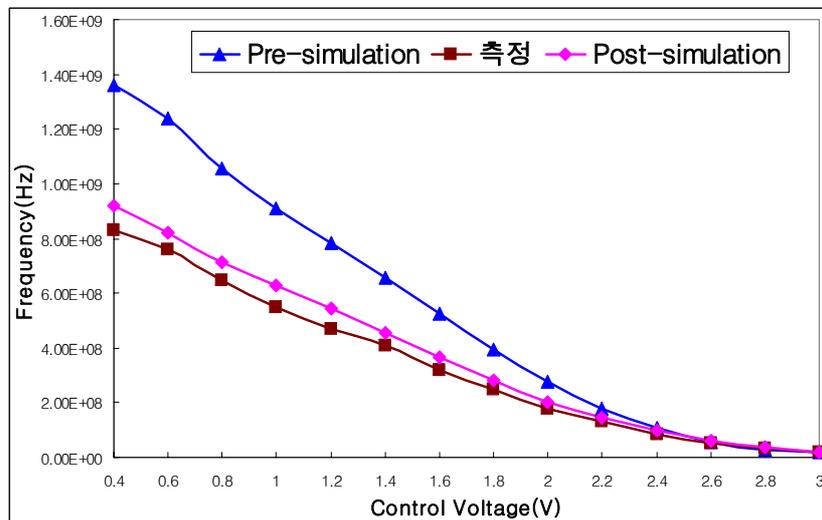


그림 5.4. VCO 이득의 측정값과 시뮬레이션 데이터 비교(@3.3V)

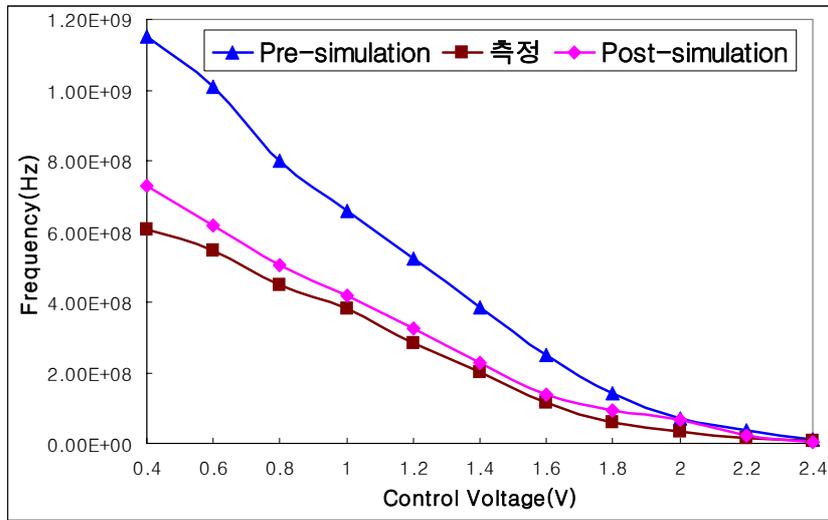


그림 5.5. VCO 이득의 측정값과 시뮬레이션 데이터 비교(@2.9V)

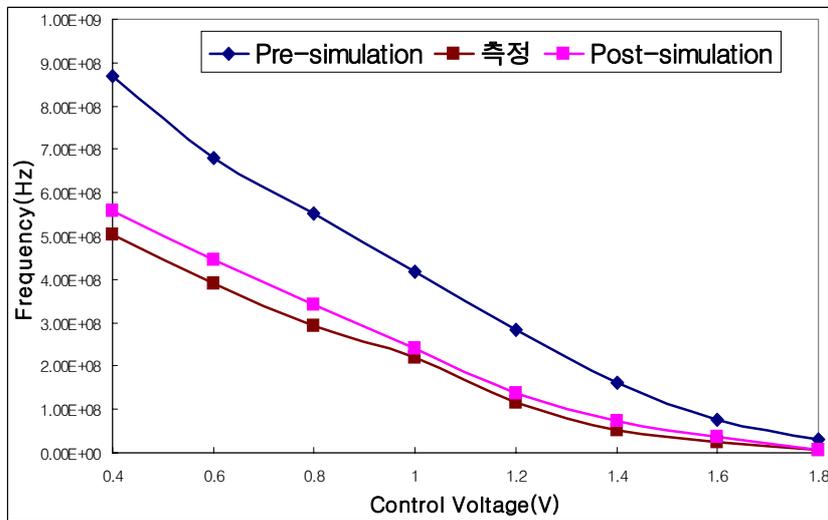


그림 5.6. VCO 이득의 측정값과 시뮬레이션 데이터 비교(@2.4V)

제 5-3 절. 설계된 위상동기 회로의 특성 평가 결과

제작된 칩은 테스트 보드에 실장되어 측정을 통해 성능을 검증하였으나, 표 5.1과 같이 전원전압 2.4V~2.9V 범위 내에서는 32MHz~440MHz의 동작범위를 확인하여 저 전압 규격(325~650MHz)을 만족시키지는 못했다. 그러나 3.3V 전원전압에서는 32MHz~768MHz의 동작범위를 갖는 광 대역 위상동기 회로의 설계를 완성하였다. 그림 5.7은 전원전압 2.4V에서 위상동기 회로가 락킹된 후 440MHz 출력 파형을 나타내고 있으며, 이는 주파수 분주기가 256으로 입력 신호의 주파수를 1.0MHz에서 1.7MHz로 변경하여 진행하였다. 또한 그림 5.8은 440MHz 출력파형의 지터 히스토그램을 나타낸 것으로 1.17%(26.81ps[rms]), 13.37%(304ps[Pk-Pk])의 낮은 지터 값을 확인했다. 그림 5.9는 전원전압 3.3V에서 위상동기 회로가 락킹된 후 768MHz 출력 파형을 나타내고 있으며, 그림 5.10은 출력파형의 지터 히스토그램을 나타낸 것으로 0.98%(12.7ps[rms]), 10.5%(137ps[Pk-Pk])의 낮은 지터 값으로 두 주파수 모두 rms 기준으로 규격 5%를 만족시킨다.

측정된 지터 특성을 시뮬레이션 값과 비교하기 위해 출력 파형에 대하여 Hspice의 Eye-diagram 출력으로 검토한 결과 Pre-Simulation에서는 그림 5.11과 같이 112.62ps[Pk-Pk] 수준, Post-Simulation에서는 PKG 모델(120TQFP, VCO Power에 R=1 Ω , L=1.5nH, C=1.15pF)을 추가하여 검토한 결과 그림 5.12와 같이 143.94ps[Pk-Pk]로 측정치 137ps[Pk-Pk]와 유사한 지터 수준을 확인하였다. 그림 5.7에서 VDD=2.4V의 출력 파형의 찌그러짐 현상에 대해 시뮬레이션으로 재현한 결과 VDD=2.4V에서 그림 5.14와 같이 VCO의 동작특성과 상관없이 출력 버퍼의 저 전압 마진이 부족한 것으로 판단된다.

그림 5.15와 같이 VDD=2.3V에서 공정 SF 조건에서 동일한 찌그러짐 현상의 파형을 확인하였다. 특히 SF 조건에서 찌그러짐 현상이 발생하는 것은 그림 5.13의 출력 버퍼 회로도에서 M1/M2의 Vth 값이 증가되어 VDD의 변화에 따라 M3의 드레인과 M4/M5의 게이트 노드 간의 전압 차이가 발생하여 출력 전류값의 변화에 의해 발생하는 것으로 판단된다.

표 5.1 설계된 위상동기 회로의 성능 측정결과

항목	SMIA 규격	Pre-Simulation	Post-Simulation	측정결과
전원전압	2.4~2.9V	2.4~2.9V, 3.3V	2.4~2.9V, 3.3V	2.4~2.9V, 3.3V
소모전류	10mA(@2.9V)	8mA(@2.9V)	7.1mA(@2.9V)	6.3mA(@2.9V)
입력주파수	6~27MHz	1.0MHz	1.0MHz	1.0MHz~5MHz
출력주파수	325~650MHz	32~650MHz, 1.024GHz	32~490MHz, 768MHz	32~440MHz, 768MHz
지터	5% (77ps[rms] @650MHz)	112.62ps[Pk-Pk] @768MHz	143.94ps[Pk-Pk] @768MHz	304ps[Pk-Pk]@40MHz, 137ps[Pk-Pk] @768MHz
Duty Cycle	45~55%	50%	40~60%	40~60%(@2.4V)
락킹 시간	< 1ms	< 30 μ s	< 30 μ s	< 30 μ s
온도범위	-25~55 $^{\circ}$ C	-40~85 $^{\circ}$ C	25 $^{\circ}$ C	25 $^{\circ}$ C

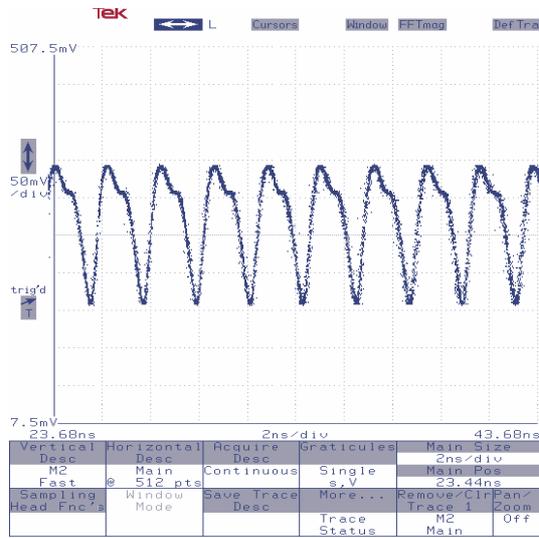


그림 5.7. 위상동기 회로의 440MHz 출력 파형(@2.4V)

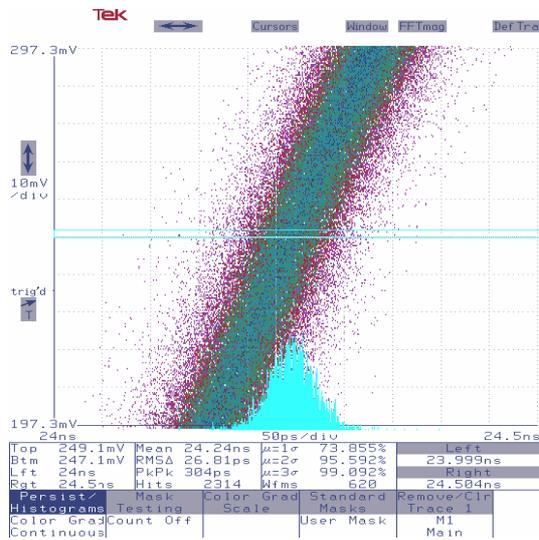


그림 5.8. 위상동기 회로의 440MHz 출력의 지터 히스토그램(@2.4V)

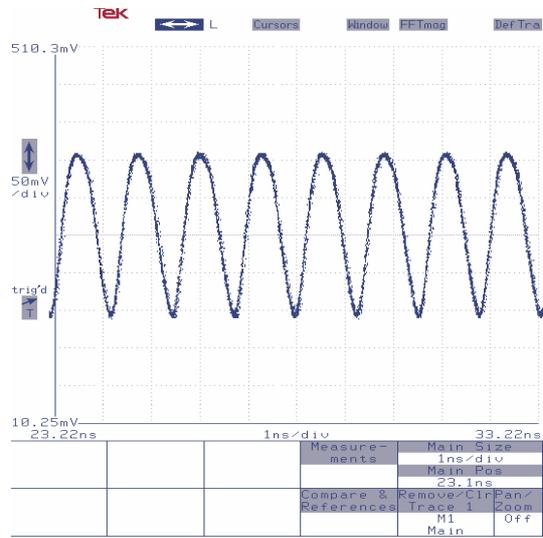


그림 5.9. 위상동기 회로의 768MHz 출력 파형(@3.3V)

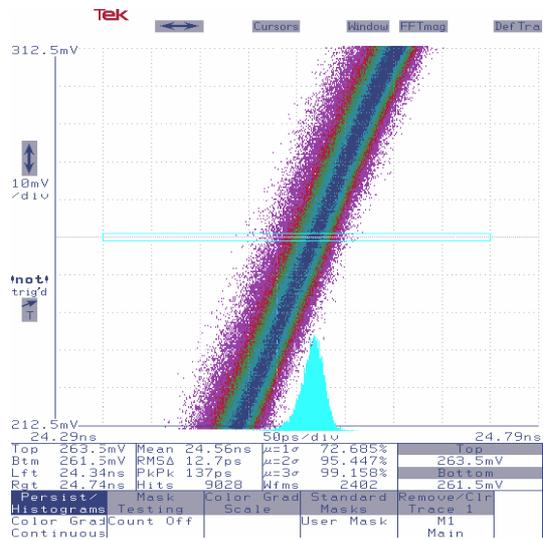


그림 5.10. 위상동기 회로의 768MHz 출력의 지터 히스토그램(@3.3V)

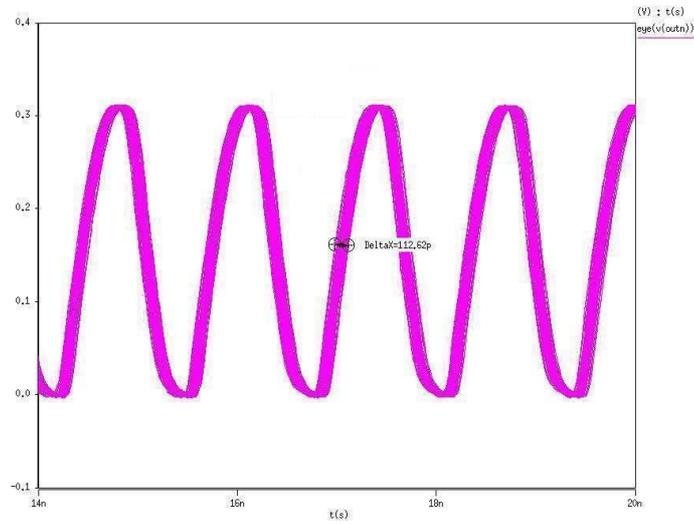


그림 5.11. 위상동기 회로의 768MHz 출력의 지터 특성 Pre-Simulation 결과(@3.3V)

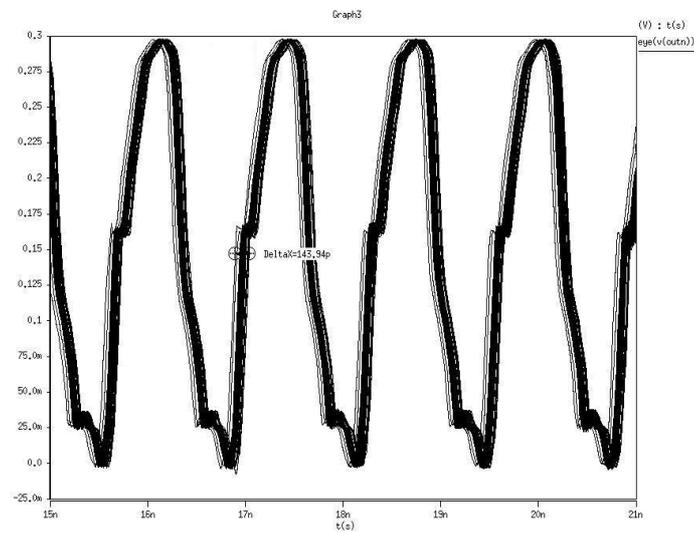


그림 5.12. 위상동기 회로의 768MHz 출력의 지터 특성 Post-simulation 결과(@3.3V)

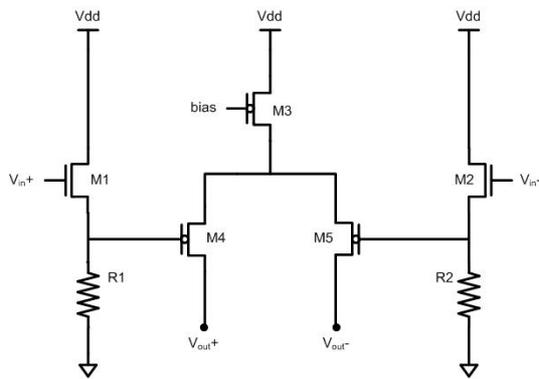
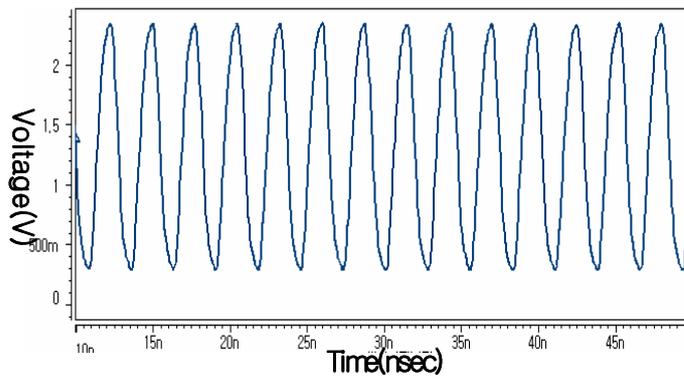
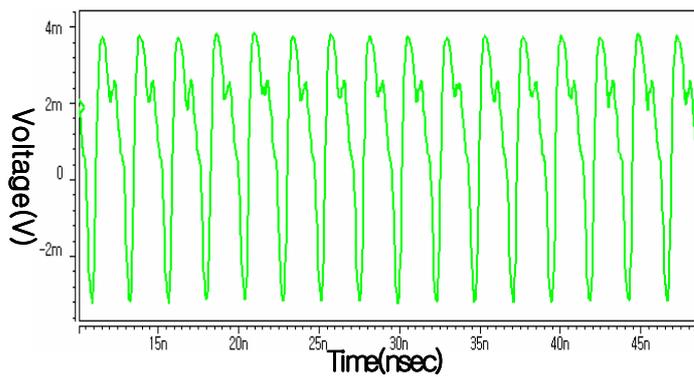


그림 5.13. 출력 버퍼 회로도



출력 주파수
:768MHz

그림 5.14. VCO 출력 파형(@2.4V)



출력 주파수
:768MHz

그림 5.15. 출력 버퍼의 출력 파형(@2.3V)

제 6 장. 결론

본 논문은 Standard Mobile Imaging Architecture 용 저 전압 광 대역 주파수합성 위상동기 회로의 설계에 대한 것으로 PVT(Process, Voltage, Temperature) 각 조건에서도 SMIA(Standard Mobile Imaging Architecture) 규격(VDD=2.4V~2.9V, 출력주파수=325MHz~650MHz)을 만족시키는 위상동기 회로를 설계하였다. 설계된 회로는 동부아남 반도체의 3.3V 0.18 μ m CMOS 공정 파라미터를 사용하여 설계 및 레이아웃이 진행되었으며, 시뮬레이션을 통하여 동작을 검증하였다.

제작된 칩은 테스트 보드에 실장되어 측정을 통해 성능을 검증하였으나, 전원전압 2.4V~2.9V 범위 내에서는 32MHz~440MHz의 동작범위를 확인하여 저 전압 주파수 규격(325MHz~650MHz)을 만족시키지는 못했다. 이는 레이아웃 후 포스트 시뮬레이션(Post-simulation) 검증을 진행하지 않아 레이아웃 후 발생된 기생 저항이나 커패시턴스에 의한 영향이 반영되지 못했고, 또한 공정 진행 시 트랜지스터 특성이 스피드가 낮은 공정조건으로 진행된 것으로 추정된다. 포스트 시뮬레이션(Post-simulation)을 진행한 결과 12%의 차이로 측정 데이터와 유사한 수준의 전압제어 발진기 이득 특성을 확인할 수 있었다.

또한, 2.4V 출력 파형(440MHz)의 상단부분의 찌그러지는 현상은 시뮬레이션 결과 출력 버퍼의 VDD 마진(Margin)이 2.4V 수준으로 VCO 회로 문제가 아닌 출력 버퍼의 공정변화(SF)에 대한 설계 마진이 부족한 것으로 판단되며, 측정 시 출력 버퍼의 VDD 값을 2.4V에서 2.8V로 이상으로 상향 조절할 경우 정상적인 파형으로 개선될 것으로 보인다.

그러나 3.3V 전원전압에서는 32MHz~768MHz의 정상적인 출력파형의 동작범위를 갖는 광대역 위상동기 회로의 설계를 완성하였다.

설계된 회로는 CD-ROM(64X Speed: 90MHz~276MHz)이나 DVD-ROM(10X Speed: 90MHz~280MHz) 등과 같이 광 대역 주파수를 필요로 하는 주파수합성 위상동기 회로의 응용분야에 충분히 활용 가능할 것으로 판단된다.

참고문헌

- [1] Ei-Hage, M. Fei Yuan, “An overview of low-voltage VCO delay cells and a worst-case analysis of supply noise sensitivity”, Electrical and Computer Engineering, 2004. Canadian Conference on 3, May 2004 Page(s):1785 – 1788 Vol.3.
- [2] Maneatis, J.G., “Low-jitter process-independent DLL and PLL based on self-biased techniques”, Solid-State Circuits, IEEE Journal of 31 ,11, Nov.1996 Page(s):1723 – 1732.
- [3] Jae Shin Lee, Woo Kang Jin, Dong Myung Choi, Gun Sang Lee, Suki Kim, “A wide range PLL for 64X speedCD-ROM & 10X speed DVD-ROM”, Consumer Electronics, 2000. ICCE. 2000 Digest of Technical Papers. International Conference on ,June 2000 Page(s):98 – 99.
- [4] Bautista, D.P., Aranda, M.L., “A low power and high speed CMOS Voltage-Controlled Ring Oscillator”, Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on ,4 ,May 2004 Page(s):IV – 752-5 Vol.4.
- [5] Kuo-Hsing Cheng, Ching-Wen Lai, Yu-Lung Lo, “A CMOS VCO for 1V, 1GHz PLL Applications”, Advanced System Integrated Circuits 2004. Proceedings of 2004 IEEE Asia-Pacific Conference on 4-5 Aug. 2004 Page(s):150 – 153.
- [6] Yeon Kug Moon, Kwang Sub Yoon, “A 3.3 V high speed CMOS PLL with a two-stage self-feedback ring oscillator”, Solid-State Circuits, IEEE Journal of ,Volume: 31.
- [7] 장영찬, 배승준, 최석우, 박홍준, “CMOS ADC, PLL, DLL 칩의 최신 기술 동향”, 포항공과대학교 전기전자공학과, 제12회 한국반도체 학술대회 자료 (2005.02.24).

- [8] <http://www.smia-forum.org/>
- [9] Behazd Razavi, "Monolithic Phase-Locked Loops and Clock Recovery Circuits, Theory and Design", IEEE press, 1996.
- [10] Van Paemel, M., "Analysis of a charge-pump PLL: a new model Communications", IEEE Transactions on Volume 42, Issue 7, July 1994 Page(s):2490 - 2498.
- [11] Brown, J.I., "A digital phase and frequency-sensitive detector", Proceedings of the IEEE Volume 59, Issue 4, April 1971 Page(s):717 - 718.
- [12] Co, R.S.; Mulligan, J.H., Jr.; "Optimization of phase-locked loop performance in data recovery systems" Solid-State Circuits, IEEE Journal of Volume 29, Issue 9, Sept. 1994 Page(s):1022 - 1034.
- [13] R.E Best, "Phase-Locked Loop : Theory, Design, and Applications", McGraw-Hill, 1984.
- [14] David A. Johns and Ken Martin, "Analog Integrated Circuit Design", Willy, 1997.
- [15] Maneatis, J.G., Horowitz, M.A., "Precise delay generation using coupled oscillators", Solid-State Circuits, IEEE Journal of Volume 28, Issue 12, Dec. 1993 Page(s):1273 - 1282.
- [16] 한건희, "전자회로", 교보문고, 2000.
- [17] 한평수, "두개의 위상동기루프 전환 기법을 사용한 새로운 구조의 버스트 모드 클록 데이터 복원회로", 연세대학교 석사논문, 2003.
- [18] 이재욱, "Gbps 급 Clock and data recovery circuit에 관한 연구", 연세대학교 석사논문, 2001.
- [19] Yido Koo, Hyungki Huh, Yongsik Cho, Jeongwoo Lee, Joonbae Park, Kyeongho Lee, Deog-Kyoon Jeong, Wonchan Kim, "A fully integrated CMOS frequency synthesizer with charge-averaging charge pump and dual-path loop filter for PCS-and cellular-CDMA

wireless systems”, Solid-State Circuits, IEEE Journal of Volume 37, Issue 5, May 2002 Page(s):536 - 542.

- [20] Olsson, T., Nilsson, P., “An all-digital PLL clock multiplier”, ASIC, 2002. Proceedings. 2002 IEEE Asia-Pacific Conference on 6-8 Aug. 2002 Page(s):275 - 278.

ABSTRACT

A Low Voltage and Wide Range Phase-Locked Loop for Standard Mobile Imaging Architecture.

Yun-Woo Lee
Dept. of Electrical and
Electronic Engineering
Graduated School
Yonsei University

In this thesis, a low-voltage phase-locked loop (PLL) having wide locking range which meets SMIA(Standard Mobile Imaging Architecture) specification ($V_{DD}=2.4V\sim 2.9V$, synthesized frequency= $325MHz\sim 650MHz$) for PVT variation is designed. Function and performance of the designed PLL were verified by HSPICE simulation and the prototype chip was fabricated in Dongbu-Anam 3.3V 0.18 μm CMOS process.

In chip measurement, the prototype chip did not satisfy a low-voltage specification since it operated in supply voltage from 2.4V to 2.9V with locking range from 32MHz to 440MHz. However, the chip fulfills the locking range from 32MHz to 768MHz in 3.3V supply voltage. The reason is thought that parasitic resistance and capacitance are not considered in HSPICE simulation due to absence of post-layout simulation but the process also shows slow condition. In post-layout simulation, the gain of

voltage-controlled oscillator was similar to measured one with error of 12%.

The designed PLL will be used in frequency synthesizing applications that require wide-range locking capability such as CD-ROM and DVD-ROM.

Keywords : Wide-Range and Low-Voltage PLL, Cross-coupled delay cell, SMIA(Standard Mobile Imaging Architecture).