

저 전력으로 동작하는 전력 앰프를
이용한 ZigBee 용 900MHz CMOS
RF 송신기 구현

연세대학교 대학원
전기전자공학과
권 재 관

저 전력으로 동작하는 전력 앰프를
이용한 ZigBee 용 900MHz CMOS
RF 송신기 구현

지도 최 우 영 교수

이 논문을 석사 학위논문으로 제출함

2006 년 12 월 일

연세대학교 대학원

전기전자 공학과

권 재 관

권재관의 석사 학위논문을 인준함

심사위원 _____ 인

심사위원 _____ 인

심사위원 _____ 인

연세대학교 대학원

2006년 12월 일

차 례

그림차례	ii
표 차례	v
국문요약	vi
제 1 장. 서론	1
제 2 장 송신단의 구조	3
제 3 장 회로 설계 및 시뮬레이션	6
3.1 아날로그 단 (Analog front-end)	6
3.1.1 저역 통과 필터 (Low Pass Filter)	7
3.1.2 가변 이득 증폭기 (Variable Gain Amplifier)	16
3.2 RF 단 (RF front-end)	30
3.2.1 상향 믹서 (Up-Mixer)	31
3.2.2 전력 증폭기	44
3.3 전송단 시뮬레이션	57
3.3.1 High level 시뮬레이션	57
3.3.2 Pre-layout 시뮬레이션	59
3.3.3 Post-layout 시뮬레이션	62
제 4. 장 Chip 제작 및 TEST 결과	66
제 5. 장 결론	72
참고문헌	74

그림 차례

그림 1.1 IEEE 802 무선 표준들의 데이터 레이트와 거리에 따른 응용 영역.....	2
그림 2.1 설계된 송신단의 블록도	5
그림 3.1 Analog front-end 의 구성 블록	6
그림 3.2 디지털 조정 가능한 적분 기	9
그림 3.3 op-amp 의 회로도	10
그림 3.4 설계된 5 차 Butterworth 필터의 회로도	12
그림 3.5 설계된 LPF 의 주파수 응답	14
그림 3.6 LPF 의 입/출력 파형	14
그림 3.7 post-레이아웃 시뮬레이션을 위한 LPF 의 레이아웃	15
그림 3.8 설계된 가변 이득 증폭기의 블록도	16
그림 3.8 식(2), (3), (4)의 dB-스케일 곡선	18
그림 3.9 설계된 V-I 이득 조정회로도	21
그림. 3.10 가변 이득 증폭기 코어의 회로도	24
그림 3.11 DC-오프셋 제거회로	25
그림 3.12 전압 조정 회로의 변화에 따른 VGA 의 전체 이득 변화	27
그림 3.13 VGA 의 전체 AC 응답 곡선	27
그림 3.14 DC -offset 회로를 추가한 VGA 의 전체 AC 응답	28
그림 3.15 VGA 의 레이아웃	29
그림 3.16 RF front-end 의 구성 블록	30
그림 3.18 믹서의 구성 블록 그림	31
그림 3.19 저항을 이용한 source degeneration 구현	32
그림 3.20 MOS transistors 를 이용한 source degeneration 구현	34
그림 3.21 트랜스 컨덕턴스단의 회로도	36

그림 3.22 트랜스컨덕턴스단의 등가 회로	37
그림 3.23 믹서의 전체 회로도	39
그림 3.24 트랜스 컨덕턴스단의 이득 조정(V_{ctrl})에 대한 믹서의 변환 이득의 변화	41
그림 3.25 인가되는 LO 입력 레벨의 변화에 대한 변환 이득의 변화	41
그림 3.26 상향 믹서의 P-1dB 출력 결과	42
그림 3.27 믹서의 IIP3 시뮬레이션 결과	42
그림 3.28 Post layout simulation 을 하기 위한 상향 믹서의 레이아웃	43
그림 3.33 전력 증폭기의 기본 구조	45
그림 3.34 Differential-to-single ended 변환기 구조	46
그림 3.35 설계된 전력 증폭기의 회로도	48
그림 3.36 IDS vs. VDS 특성곡선 ($0 V < V_{GS} < 1.8 V$)	48
그림 3.37 IDS vs. VGS 특성곡선 ($V_{DS}=1.8 V$)	49
그림 3.38 본드와이어(위)와 패드(아래)의 기생 파라미터의 등가 회로 구현	52
그림 3.39 Cadence 社의 트랜스미션 라인 계산기를 이용한 PCB 트랜스미션 라인 계산 (오른쪽), 계산에 의한 추출된 Netlist(왼쪽)	52
그림 3.40 트랜스미션라인의 AC 응답 곡선	53
그림 3.41 S-parameter 시뮬레이션 결과 (S22)	55
그림 3.42 전력앰프의 P-1dB 결과	55
그림 3.43 post-레이아웃 시뮬레이션을 위한 전력 증폭기의 레이아웃	56
그림 3.44 전체 전송단의 블록 별 이득 마진	57
그림 3.45 전송 단 전체 pre-layout 시뮬레이션을 위한 테스트 벤치	60
그림 3.46 테스트 벤치 내부의 각 단 구성 회로도	60
그림 3.47 전송단의 최종 출력 스펙트럼 시뮬레이션 결과	61
그림 3.48 전송단의 최종 출력 파형 시뮬레이션 결과	61

그림 3.49 Post-layout 시뮬레이션을 위한 테스트 벤치	64
그림 3.50 post-layout 시뮬레이션을 위한 전송단 전체 레이아웃	64
그림 3.51 전송단의 최종 출력 스펙트럼 post-layout 시뮬레이션 결과	65
그림 3.52 전송단의 최종 출력 파형 Post-layout 시뮬레이션 결과	65
그림 4.1 제작된 전송단 전체 칩 사진	67
그림 4.2 전송단의 최종 스펙트럼을 보기 위한 테스트 벤치	67
그림 4.3 전체 테스트 환경 사진	68
그림 4.4 측정된 전송단의 최종 출력 스펙트럼	68
그림 4.5 측정된 전송단의 P-1dB	69
그림 4.7 전체 전송단의 측정된 반사 손실(S22)	69

표 차례

표 1 ZigBee High-level 특성	4
표 2 LPF 의 동작 특성 결과	15
표 3 VGA 의 동작 특성 시뮬레이션 결과	29
표 4 상향 믹서의 시뮬레이션 결과	43
표 5 전력 증폭기의 시뮬레이션 결과	56
표 6 ZigBee 전송단 구성블록 설계 사양	58
표 7 시뮬레이션 검증을 통한 최종 결과	58
표 8 상용 칩과 제작된 송신단과 비교	70
표 9 측정된 송신단의 성능 정리	71

국문 요약

저 전력으로 동작하는 전력 앰프를 이용한 ZigBee 용 CMOS RF 송신기 구현

본 논문에서는 IEEE 802.15.4 에 응용 가능한 Zigbee 용 RF 송신 칩을 CMOS 를 이용하여 one-chip 으로 구현 하였다. 그리고 각 단을 구성하는 저역 통과필터 (LPF), 가변이득 증폭기 (VGA), 상향믹서 (UP-MIXER), 그리고 전력 증폭기 (POWER AMP)를 저전력으로 동작 하면서 높은 성능을 갖게 하기 위한 설계 방법과 그 이론에 대해 서술하였다.

송신단을 구성하는 LPF 는 가변적(2MHz ~ 5MHz)으로 cut-off 주파수 조절 할 수 있게 하였다. VGA 는 넓은 가변 이득 범위를 얻을 수 있는 V-I 이득 조정회로와 VGA 코어를 수용하여 -40dB ~ 40dB(80dB)의 가변 이득을 갖도록 설계 하였다. 그리고 변환 이득 조절이 가능한 트랜스 컨덕턴스단을 갖는 구조를 사용하여 선형성이 높아진 상향 믹서가 설계 되었다. 마지막으로 낮은 전력으로 구동하는 전력 증폭기를 구현하기 위해 공통 소스(common source)단을 추가한 Class A 전력앰프가 설계되었다. 실제 실험 측정과의 오차를 줄이기 위해 시뮬레이션은 post-레이아웃 시뮬레이션을 이용하여 검증 하였고 기생 파라미터 값들을 모델링 하여 시뮬레이션 검증에 적용 하였다.

설계한 회로는 TSMC 0.18um CMOS 디자인 룰을 따라 layout 하고 칩으로 제작하여 테스트 완료 하였다. 그 결과 원하는 주파수의 동작범위(900MHz)에서 요구되는 최대 출력(0dBm)까지 선형적으로 조절 할 수 있는 송신단이 제작 되었으며 다른 제품의 ZigBee 용 송신단과 비교했을 때 13mA 의 비교적 낮은 전류로 동작하는 것을 확인 하였다.

핵심이 되는 말: ZigBee, CMOS 0.18um, LPF, VGA, MIXER, PA,

1 서론

세계 공통으로 무선 면허 자격이 필요 없고 단지 인증 절차 후 사용할 수 있다는 편의성 때문에 ISM (Industry Science & Medical) 밴드를 이용한 무선 통신 환경이 나날이 증가하고 있다. ZigBee는 이러한 ISM 밴드를 이용하며, 국제 통신 규격인 IEEE802.15.4 (Wireless Personal Area Network: WPAN)를 채택하고 있어 기존의 무선 데이터 모듈과는 달리 상호 접촉 시 호환성에 문제가 없고 ISM 밴드의 인증 편의성 등으로 인해 극 저 전력, 저속 통신을 응용으로 하는 무선 통신 시장에서 글로벌화를 이룰 것으로 전망된다. 이는 수만 개의 클러스터 (cluster) 네트워크를 형성 할 수 있고 근거리 저 전력 통신이 가능하며, 최소 2년 이상의 배터리 수명을 유지한다는 점에서 블루투스 (Bluetooth) 통신과 확연히 구분되고 그 응용 면에서도 큰 차이가 있다[1]. 그림 1.1에 통신거리와 data rate에 따른 여러 통신 표준을 나타내었다[2].

IEEE 802.15.4 표준과 Zigbee 무선 기술은 낮은 전송속도를 갖고, 저비용, 표준화에 바탕을 두고 개발 되어왔다. 본 논문에서 주로 다루게 될 내용인 PHY층 (Physical layer) 에서 저전력 실리콘 디바이스 설계는 상대적으로 제어 가능한 낮은 출력전력, 채널간격과 밴드폭 등 하드웨어 바탕의 요구들을 만족시킬 수 있는 부분을 만드는 작업이 된다. 이런 요구를 만족하기 위해 무선 통신 칩 셋 설계 시 기존에 GaAs, SiGe 등이 많이 사용되었으나, 현재 CMOS 공정 기술의 발전으로 인하여 이들을 많이 대체하고 있으며 본 설계에서도 CMOS 공정을 채택하였다. CMOS의 Cut-off 주파수의 향상 (>45GHz)과 기저대역 모뎀을 통합한 송·

수신기를 원 칩 솔루션으로 집적화가 가능하다는 점, 그리고 가격 면에서의 경쟁력 등이 RF 송·수신단 적용에 장점으로 자리 잡고 있다[3].

본 논문에서는 IEEE 802.15.4에 응용 가능한 Zigbee용 RF 송신 칩을 CMOS를 이용하여 one-chip으로 구현 하였고, 저전력을 구현하기 위한 기술들을 적용 하였다. 그 중에서도 송신단 중 가장 많은 전류 소모를 사용하는 전력앰프를 새로운 구조를 제안 하여 설계하였다. 이 부분의 전력을 낮추는 것은 전체 송신단의 전류 소모를 많이 낮출 수 있는 효과를 가져오게 된다. 이런 기술들을 이용한 구성 블록들로 송신단을 만든 결과 IEEE 802.15.4의 요구에 만족하는 송신 시스템을 구현하여 측정 하고 그 성능을 검증 할 수 있었다. 2장에서 ZigBee용 송신기의 구조에 대해 살펴본 후 설계목표를 알아본다. 3장에서 각 블록 별 기본적인 이론을 살펴보고 저전력, 높은 선형성을 갖는 회로를 설계하고 시뮬레이션을 통한 검증을 하였다. 그리고 4장에서 제작된 칩을 측정을 통해 검증 하였다.

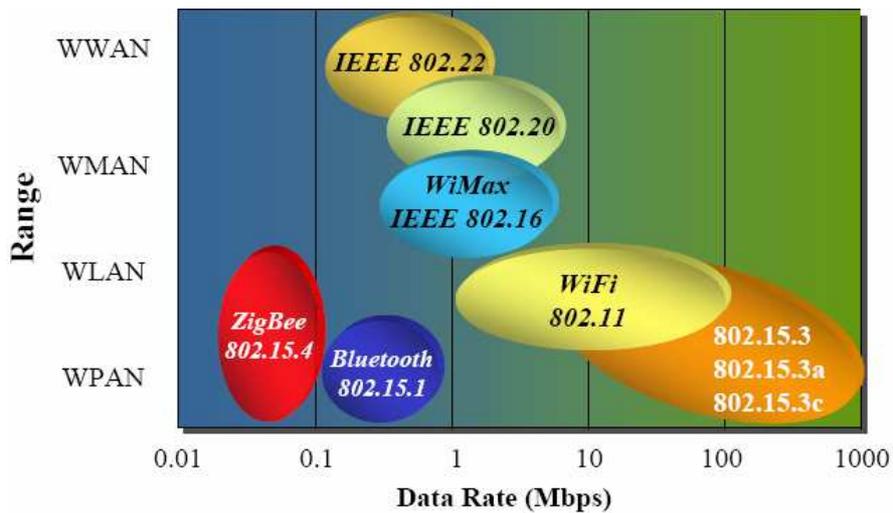


그림1.1 IEEE 802무선 표준들의 data rate와 거리에 따른 분류[2]

2 송신단의 구조

ZigBee 통신 규격은 표 1에 나타난 것처럼 868MHz/915MHz을 사용하는 BPSK 방식과 2.4GHz를 사용하는 QPSK 방식으로 나눌 수 있다. 두 방식은 각각 data rate이 20kbps/40kbps와 250kbps로 응용에 따라 사용자가 선택할 수 있다. 본 지에서는 868MHz/915MHz 대역에 초점을 두었고 이에 적합한 송신기 설계에 관해 기술하고자 한다. 이 대역은 크게 868MHz의 1개 채널을 이용하는 유럽 규격과 902MHz~928MHz의 10개 채널을 사용하는 USA 규격이 있으며 본 설계에서는 이 둘을 모두 수용 할 수 있도록 설계하였다. ZigBee용 RF 송신단은 Low-IF 구조를 사용 하였다. 최근 들어 통신 시스템은 IF (Intermediate Frequency) 대역 없이, RF 신호를 기저대역으로 바로 변환해 주는 직접 변환 (direct-conversion) 방식이 많이 사용된다. 직접 변환방식의 시스템은 크게 Zero-IF 방식과 Low-IF 방식으로 나눌 수 있는데, Zero-IF 방식에서는 RF 신호의 중심 주파수를 DC로 바로 변환할 수 있다. 이렇게 변환된 기저대역 신호는 상대적으로 Low-IF 방식에 비해 DC-offset에 민감하게 영향을 받게 되어 저주파일수록 높게 나타나는 1/f Noise에 큰 영향을 받는다. 이에 반해 본 시스템에서 사용되는 Low-IF 방식은 LO와 RF 신호간의 주파수 offset을 주어 기저대역 신호가 DC 근처가 된다. 그래서 상대적으로 DC-offset과 1/f noise에 덜 민감하게 영향을 받는 장점이 있다.

표 1 ZigBee High-level 특성

Raw data rate	868 MHz: 20 kb/s; 915 MHz: 40 kb/s; 2.4 GHz: 250 kb/s
Range	10-20 m
Channels	868/915 MHz: 11 channels; 2.4 GHz: 16 channels
Frequency band	868/915 MHz and 2.4 GHz
Addressing	Short 8-bit or 53-bit IEEE
Channel access	CSMA-CA and slotted CSMA-CA
Temperature	Industrial temperature range -40 to +85 C

그림 2.1은 설계된 전송 단의 전체 블록도 이다. 전송단은 크게 세 부분으로 나눌 수 있다. 첫 번째로 기저대역 신호를 처리하여 상향믹서에 적절한 입력 동작범위의 레벨로 만들어 주는 가변이득증폭기 (Variable Gain Amplifier)와 저역 통과필터 (Low Pass Filter)로 구성된 아날로그 단(analog front-end)이 있고, 두 번째로 기저 대역 신호를 RF 주파수 신호로 변환해 주고 원하는 전송단의 출력 레벨로 만들어주는 상향 믹서 (Up-conversion mixer)와 전력 증폭기 (Power Amp)로 이루어지는 RF 단 (RF front-end)이 있다. 마지막으로 채널 선택과 캐리어 (carrier) 주파수를 만들어내는 부분인 주파수 합성 단 (frequency synthesizer) 으로 나눌 수 있다. 본 논문에서 주파수 합성단은 외부에서 신호발생기로 인가해 주는 것으로 대신 하였다.

본 논문에서는 ZigBee 용 송신단을 구현 하기 위해 각 단을 구성하는 저역 통과필터 (LPF), 가변이득 증폭기 (VGA), 상향믹서 (MIXER), 전력 증폭기(Power Amplifier)를 설계 목표에 맞는 구조들로 설계 하였다. 송신단 중에 가장 큰 전류 소모를 차지하는 부분은 전력 증폭기이다. 그래서 낮은 전류를 소모하면서 원하는 최대 전력을 낼 수 있는 구조에 대해 연구 하였다. 그 결과 ZigBee 응용에 요구되는 성능을 가지면서 낮은 전류를 소모하는 전력 증폭기를 제안 하였다. 이 전력 증폭기를 이용하여 송신단을 구성 하여 전체적인 송신단이 저전력으로 구현 됨을 목표로 하였다.

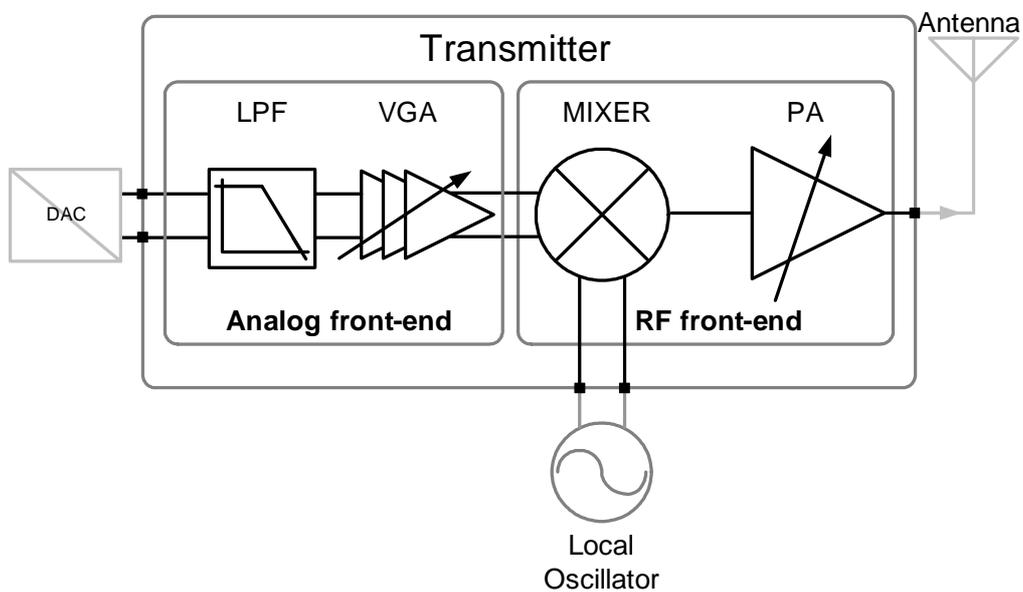


그림2.1 설계된 송신단의 블록도

3 회로 설계 및 시뮬레이션

3.1 아날로그단 (Analog front-end)

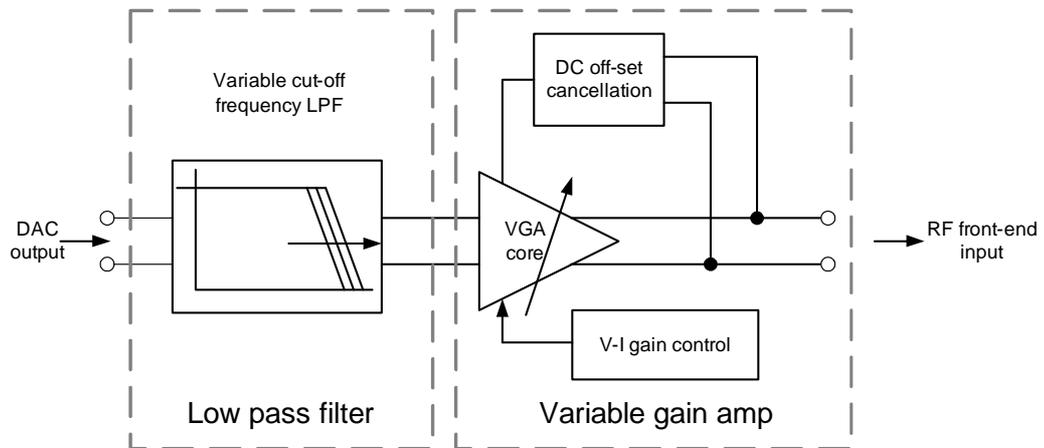


그림 3.1 Analog front-end의 구성 블록

그림3.1에 아날로그단(analog front-end) 전체 블록을 나타내었다. 첫 번째 단인 LPF(Low Pass Filter)는 DAC 에서 나온 신호에서 고주파 성분을 제거하기 위하여 사용한다. ZigBee 용 시스템은 전송속도가 낮고 기저대역신호의 중심 주파수가 낮기(3~5MHz)때문에 높은 성능의 필터가 필요 없다. LPF 를 통과한 신호는 가변 이득 증폭기 (Variable Gain Amplifier)의 입력 신호가 된다. 일반적으로 상향 믹서에 적당한 입력 레벨로 인가하기 위하여 넓은 범위의 선형적인 이득을 갖는 증폭기가 필요하게 된다. 이 증폭기는 가변 이득 범위를 크게 하여 전체 송신단의 동작 범위(dynamic range)를 결정하도록 설계되었다.

3.1.1 저역 통과 필터 (Low Pass Filter)

전송단 필터를 구현하는 데는 몇 가지 일반적인 필터의 구조가 고려 된다. 일반적으로 사용될 수 있는 필터의 구조로는 gm-C 필터, switch-capacitor 필터 (SCF) 그리고 active-RC 필터가 있다.

스위치 커패시터 필터(SCF)는 MOS 트랜지스터만 사용하여 전체 회로가 구현되므로 칩의 면적이 작아진다. 그리고 캐패시턴스의 비로써 정의되므로 집적 회로상에 정확하게 구현 될 수 있는 장점이 있다. 그러나 SCF를 위한 또 다른 연속 시간 필터가 부가적으로 요구된다. 그래서 전류 소모가 다른 필터들에 비해서 높아지게 된다.

Gm-C 필터는 연속 시간에서 신호를 처리하는 필터를 구성 하는 가장 일반적인 방법으로 많이 쓰이는 구조이다. 그러나 Gm-C 필터를 사용 하는데 있어서 가장 큰 문제점은 왜곡 이다. 처리해야 하는 신호의 동작 범위가 작은 경우 선형적으로 동작 할 수 있지만 신호의 크기가 커짐에 따라 비선형에 의한 왜곡 문제가 발생하게 된다. 전송단에서 쓰이는 필터의 경우, DAC에서 나오는 출력 신호의 레벨이 높고 수신단 보다 상대적으로 큰 신호를 처리하여 증폭을 하기 때문에 선형성 제약으로 인한 높은 THD(Total Harmonic Distortion)은 전송단에서 필터의 사용을 제한하게 한다.

대부분의 정밀한 필터링은 디지털 프로세서에 의해 수행 되어지기 때문에, 아날로그 필터들의 필요로 하는 응답의 정확도는 5%에서 10%정도의 오차를 갖는다. 그럼에도 불구하고 이런 아날로그 필터의 요구되는 성능은 연관되는 응용 분야들에

맞는 성능을 가져야 한다. 사용되는 응용분야의 해상도로 볼 때 비디오 주파수의 신호처리는 8비트의 정밀도를 가지며 통신용 칩은 10에서12비트의 정밀도를 가진다. 그리고 오디오 주파수 신호처리는 16비트 이상의 정밀도를 사용한다. 그래서 연속 시간 필터는 40~50dB(비디오), 60~7dB(통신응용), 90~100dB(오디오)의 동작영역 (dynamic range)과 선형성(linearity)을 요구 한다[4].

과거에는 이런 응용 분야의 연속 시간 필터들은 부분적으로나 전체적으로 오프-칩으로 만들어져 왔다. 왜냐하면 집적화로 구현 했을 때 부정확한 필터의 주파수 응답 때문이다. (프로세스의 허용오차, 온도의 편차 그리고 노화). 이러한 영향들은 일반적으로 $\pm 50\%$ 의 최대 주파수 응답의 편차를 초래 할 수 있다. 이런 문제들은 자동적으로 주파수 응답을 조정 할 수 있는 장치를 만듦으로써 매우 좋은 정확도를 갖게끔 만들 수 있다. 이러한 필터들은 주파수 응답 조정을 수행 하기 위해 가변 저항(triode-mode MOS 트랜지스터) 이나 조정 가능한 트랜스컨덕터를 이용하여 필터를 설계한다. 그러나 이러한 구조들은 신호 하모닉 왜곡(signal harmonic distortion)을 발생시킨다. 부분적으로 짝수차 하모닉들을 상쇄하는 선형화를 위한 기술 들은 디바이스 부정합과 이상적이지 않은 동작특성에 의해 그 사용이 제한 된다. 일반적인 왜곡 레벨은 -65dB 보다 작거나 같다. (≤ -65)[5] 여기서 만들어지는 필터의 설계 방법이 그림 3.2에서 보여지는 위의 조건을 수용한 간단한 적분 회로를 이용하여 설계 되었다.

매우 낮은 전압 의존도를 보여주는 수동 소자들을 이용한 구조들을 이용하여 필터의 저항과 캐패시터값을 결정하였다. 응답의 조정은 프로그래머블 커패시터 어레이(capacitor array)를 이용하여 이루어 졌다. 이런 어레이들을 프로그램

하는데 이용하는 디지털 조정 방법을 보면 조정 코드들은 일반 처리과정 동안 고정되어 있으므로 처리되는 신호들간의 모듈레이션이 일어나지 않는다. 그래서 여기서 사용 하게 될 온 칩 조정회로가 있는 능동-RC 필터는 높은 선형성과 낮은 전력소모 때문에 통신용 응용분야에 적합하게 쓰일 수 있다.

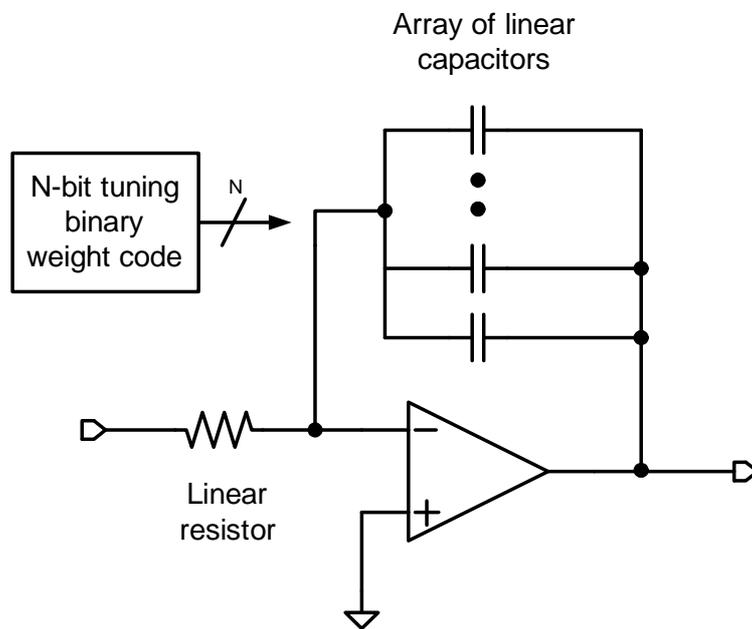


그림. 3.2 디지털 조정 가능한 적분기

■ Operation Amplifier 설계

능동-RC filter를 제작 하는데 있어 op-amp의 입력단의 차동쌍은 최소 공급전압 레벨을 제한 한다. 그래서 큰 입력 신호를 입력으로 쓰는 데는 제약이 따른다. 구현 하고자 하는 필터의 경우 cut-off 주파수가 높은 필터가 필요 하지 않다. 그래서 간단한 구조의 op-amp를 구현하되 주파수 응답은 높지 않으면서 최대한 선형적으로 큰 이득을 갖는 방법이 요구된다. 그림 3.3 에서 설계된 op-amp의 회로도를 나타 내었다. op-amp의 구조는 two-stage op-amp로 큰 이득을 내도록 하였다. 두 단으로 구성 되기 때문에 저항과 커패시터를 이용하여 입력단과 출력단 사이에서 생기는 pole을 보상하였다. 필터를 제작 하는데 큰 주파수 응답이 요구 되지 않으므로 간단한 구성으로 op-amp를 제작하여 ZigBee 기저대역 주파수 대역까지 수용할 수 있는 필터를 제작 하기 위한 op-amp를 설계 하였다.

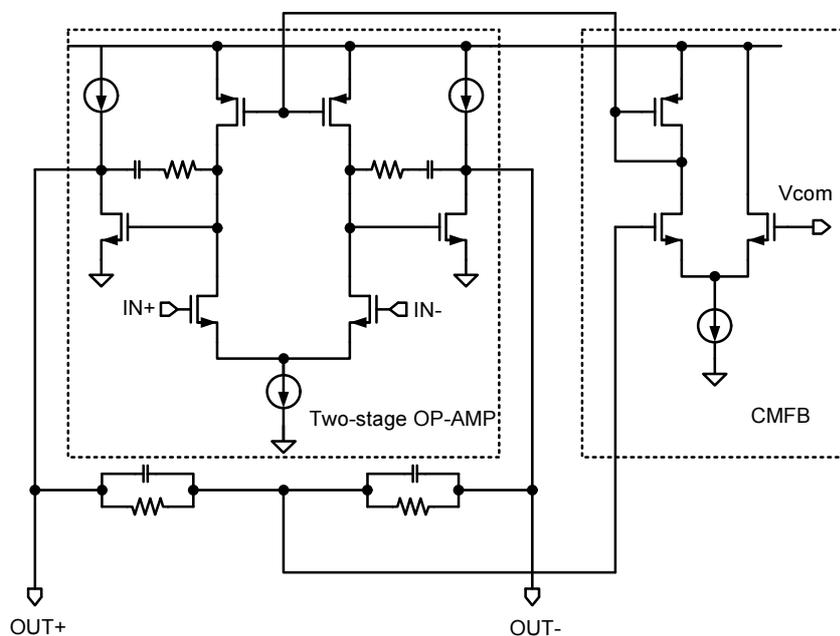


그림 3.3 op-amp의 회로도

■ 능동-RC 필터의 설계

능동-RC필터의 회로도가 그림 3.4에서 보여진다. 필터는 D/A 컨버터로 추가적인 버퍼 없이 바로 필터로 연결된다. D/A 컨버터에서 필터와 연결될 때 전체적인 이득 에러를 줄이기 위해서, 세 단 중에서 가장 큰 입력 임피던스를 가지는 1차 필터가 필터의 입력단에 사용된다. 그 다음으로 두 개의 biquad 필터가 multiple feedback network (MFB) [6]로 구성되어 있다. MFB구조는 하나의 biquad당 하나의 op-amp를 사용하여 면적과 전류 소모를 최소화 하면서 필터를 구현 할 수 있다. 필터의 cut-off주파수를 조정 하기 위해서 저항이나 커패시터가 프로그래머블하게 조정되는 것이 필요하다. 병렬로 연결된 커패시터 어레이들이 면적도 적게 차지 하면서 직/병렬로 연결된 저항이나 직렬로 연결된 커패시터 어레이들 보다 더 좋은 주파수 변화 범위를 갖는다. 왜냐하면 일반적으로 저항-기반의 cut-off주파수 조절기법은 스위치 저항 값의 변화 때문에 신호의 큰 왜곡을 겪게 된다. 증가하는 스위치 사이즈는 왜곡 레벨을 증가할 뿐만 아니라 필터응답 주파수를 옮기는 기생 pole이 더해지고 과도한 리플이 증가하는 원인이 된다. 이 구조에서 저항을 이용한 조절대신 커패시터를 이용한 조절을 쓰는 또 하나의 이유는 커패시터 어레이를 이용한 조절은 ON-스위치 저항에 덜 민감하기 때문이다.

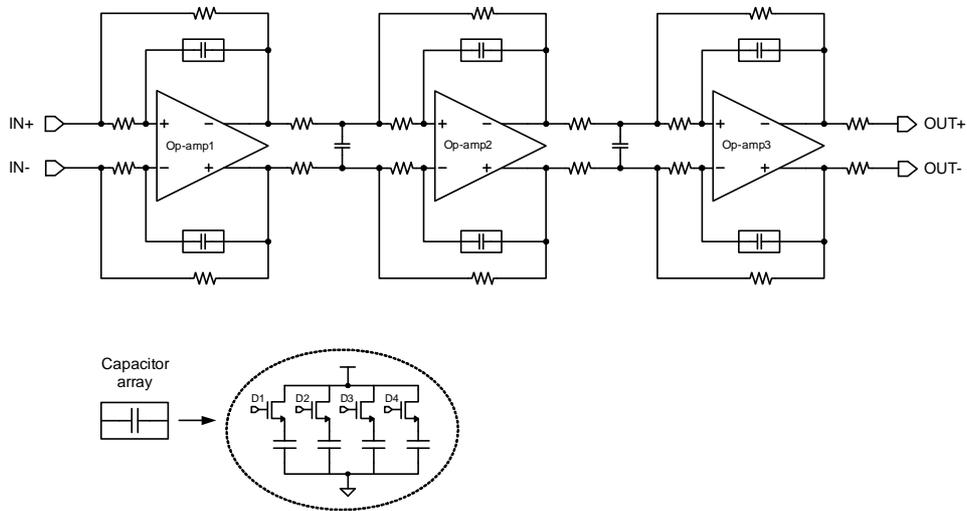


그림 3.4 설계된 5차 Butterworth 필터의 회로도.

ON-스위치 저항 때문에 생기게 되는 영향은 여기서 사용하게 될 ZigBee응용에서 커패시터 어레이 임피던스에 비해 무시할 만 하다. 병렬-연결된 커패시터 어레이는 고정된 커패시턴스 C_{min} 과 네 개의 이진-가중치를 가지는 스위치로 온/오프 되는 커패시터로 구현 하였다[7].

스위치로 조정 가능한 커패시턴스의 최소값은 C_{Δ} 로 나타 낼 수 있다. 커패시터 어레이의 어레이 조절 코드 k 에 대한 총 값 C_{total} 은

$$C_{total} = C_{min} + k C_{\Delta} \quad (1)$$

네 개의 스위치를 이용하여 커패시터 어레이를 구현 하였기 때문에 k 는 0에서 3까지의 범위를 갖는 정수 값이다. 스위치 기생 성분의 영향을 줄이기 위한 피드백 패스에서 조정 가능한 커패시터 어레이는 그림 3.4에 보여진다. 여기서 op-amp의 가상 접지에 연결돼있는 모든 스위치가 배열 되어 있다.

■ LPF 시뮬레이션 결과

그림 3.5는 커패시터 어레이의 코드를 조절 하면서 본 LPF의 주파수 응답을 post-레이아웃 시뮬레이션을 이용하여 결과를 보았다. 실제 제작 시 생기는 기생 성분에 의한 오차를 감안하기 위해 post-레이아웃 시뮬레이션이 수행 되었다. LPF의 신호 이득은 0dB이며 공정 오차를 보상하기 위한 가변 주파수 응답은 2~5MHz 의 변화 범위가 있는 것을 확인 하였다. 일반적으로 DAC에서 나오는 신호가 그림 3.6의 오른쪽과 같다고 할 때 그림 3.6의 오른쪽과 같이 왜곡 없이 정상적인 파형이 나오는 것을 확인 하였다. 그림 3.7은 post-레이아웃 시뮬레이션을 수행하기 위한 레이아웃 그림을 나타낸 것이다. 시뮬레이션을 수행한 결과를 표2에 정리 하였다 원하는 성능을 내기 위한 저역 통과 필터를 제작 하였고 구조가 갖는 저전력 이점을 최대한 활용하기 위해 저역 필터의 시뮬레이션 결과를 확인하며 주파수 응답을 가능하면 낮추어 3mA의 전류 소모를 갖게끔 설계 하였다.

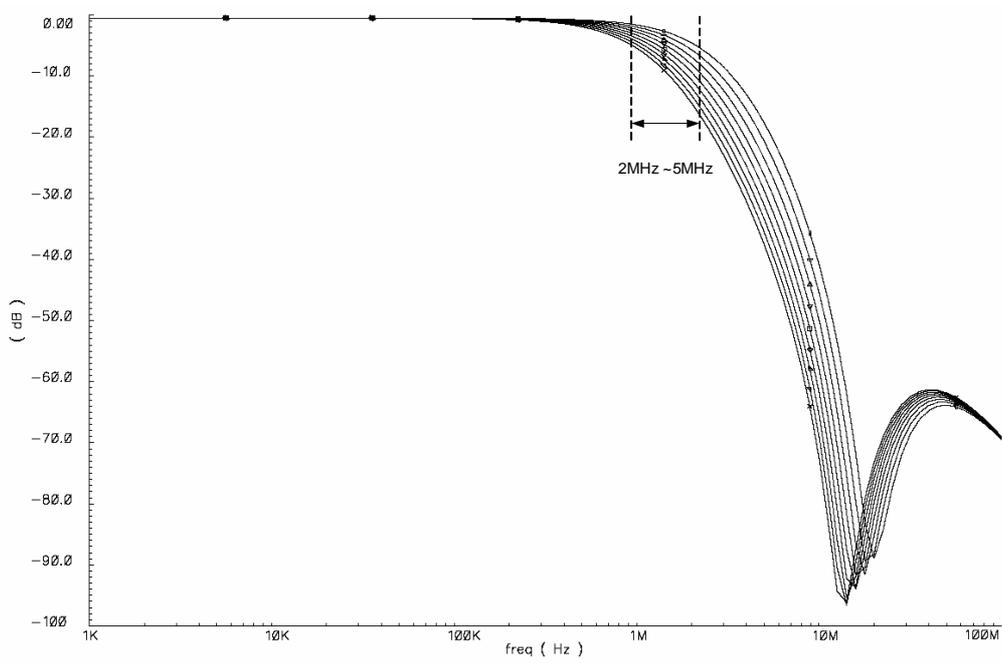


그림 3.5 설계된 LPF의 주파수 응답

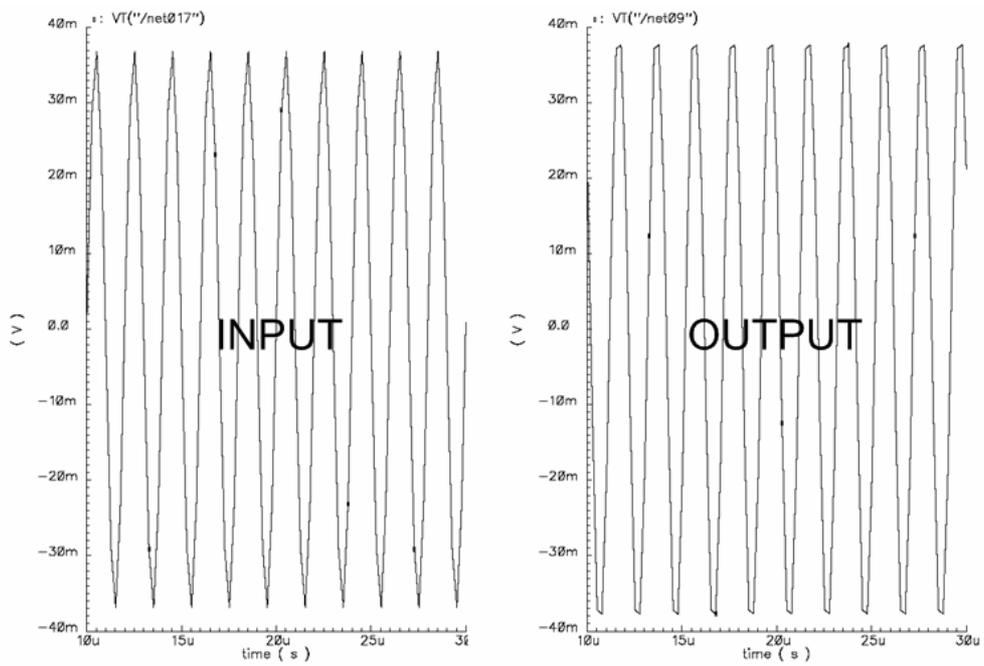


그림 3.6 LPF의 입/출력 파형

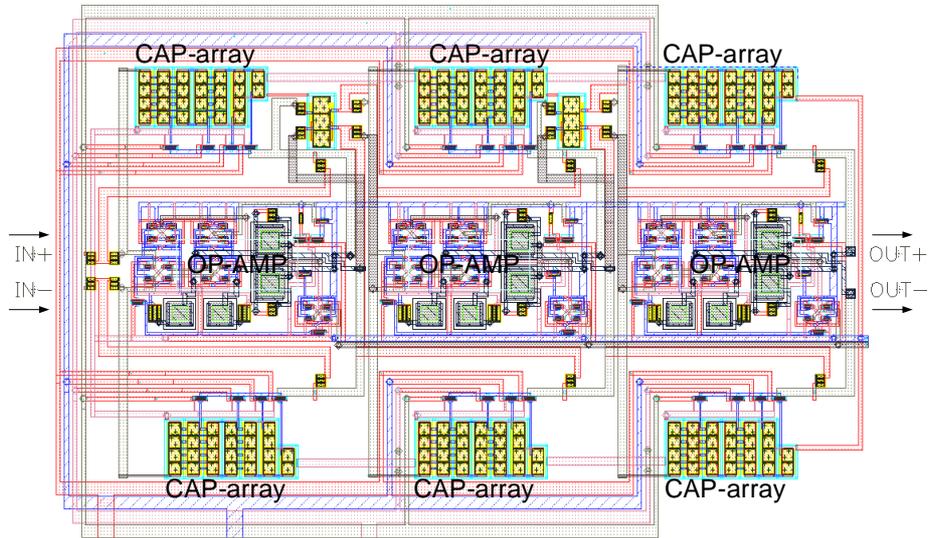


그림 3.7 post-레이아웃 시뮬레이션을 위한 LPF의 레이아웃

표 2 LPF의 동작 특성 결과

Parameter	Value
pass band gain	0dB
stop band gain	-35dB
cut-off frequency tuning range	2.5MHz ~ 4.5MHz
current consumption	3mA
common mode range	0.2V~ 1.6V
Maximum output swing	500mV _{p-p}

3.1.2 가변 이득 증폭기 (Variable Gain Amplifier)

가변 이득 증폭기 (Variable Gain Amplifier)는 전체 시스템의 선형 동작 영역 (dynamic range)을 최대화하기 위하여 많은 응용 분야에 넓게 사용된다. 특히, 대부분의 통신용 송/수신기에 이런 기능이 필수적으로 이용된다. VGA 전 단의 변화하는 입력 신호의 크기에 대해서 충분한 증폭을 해 줄 수 있도록 설계하여 기저대역에서 저비용, 저사양 A/D converter를 사용 할 수 있게 해 주고 최대 해상도로 A/D converter를 구동 할 수 있도록 하는데 사용된다. VGA의 전체 구성 블록을 그림 3.8에 나타내었다. 큰 이득을 내기 위한 두 개의 VGA 코어가 캐스케이드(cascade)로 연결이 되어 있고 DC-offset 제거를 위한 회로가 추가되었다. 그리고 전체 VGA의 이득을 dB-스케일에 선형적으로 조정하기 위한 V-I 이득 조정 회로가 있다.

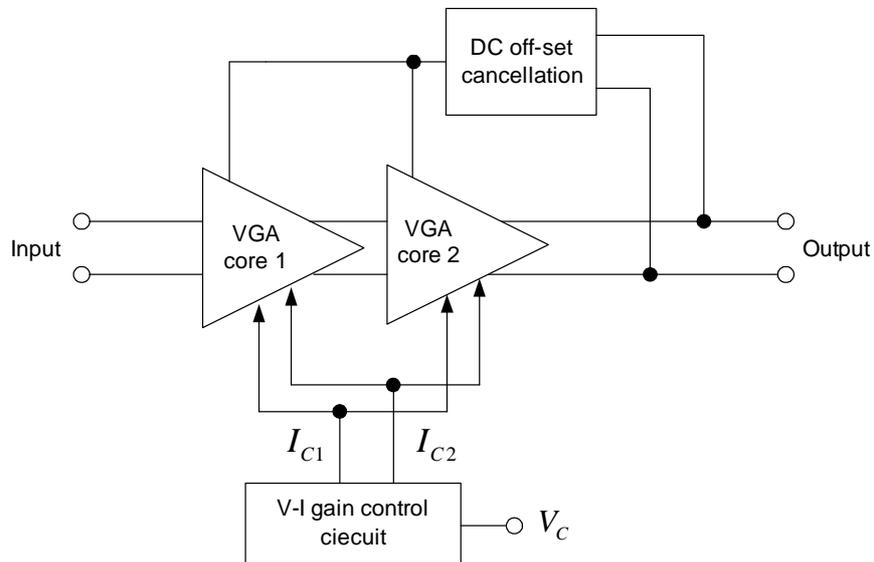


그림 3.8 설계된 가변 이득 증폭기의 블록도

■ 이득 조정회로 설계

dB 스케일에 선형적인 이득 조정 회로인 V-I converter는 VGA나 AGC(automatic gain control)에 제일 중요한 요소가 된다. 이 장은 높은 가변 이득을 얻기 위한 V-I 조정 회로의 설계에 대해 기술 할 것이다. CMOS 특성 중에 포화영역(saturation region)에서 MOS소자는 로그스케일의 동작 특성이 없기 때문에 로그스케일 특성을 내기 위한 두 가지 방법이 널리 사용되고 있다. 첫 번째는 "pseudo-exponential" 발생기이고[8] 다른 하나는 "Taylor-series expansion" 을 이용하여 구현한 것이다[9]. Pseudo-exponential 과 Taylor series 근사함수는 각각 아래와 같이 나타낼 수 있다.

$$e^{2ax} \cong \frac{(1+ax)}{(1-ax)} \quad (2)$$

$$e^{2ax} \approx 1 + \frac{2a}{1!}x + \frac{(2a)^2}{2!}x^2 = \frac{1}{2}[1 + (1+2ax)^2] \quad (3)$$

여기서 a 는 상수이고 x 는 독립 변수 이다. 식(2)과(3)은 $|2ax| \ll 1$ 에 대해서 성립 되는 식이다. $a=0.1$ 일 때 그림 3.8 과같이 나타낼 수 있다.

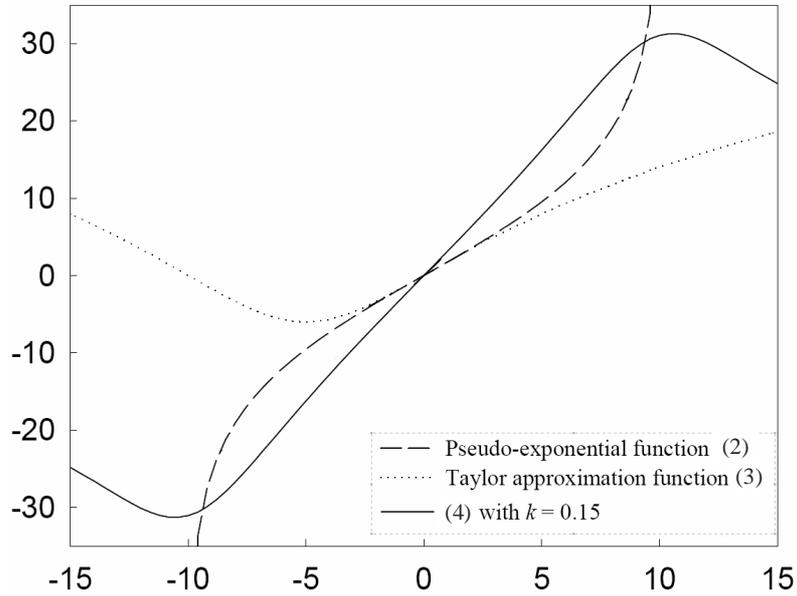


그림 3.8 식(2), (3), (4)의 dB-스케일 곡선

그림3.8 에서 보여지는 것과 같이 식(2)과 식(3)은 10dB에서 20dB의 선형 구간을 갖는다. 그리고 Pseudo-exponential 함수는 Taylor series 근사보다 일반적으로 더 높은 dB-선형구간을 갖는다는 것을 알 수 있다. 넓은 이득 변화 구간을 갖는 VGA 설계를 위한 전압 조정 회로를 구현하기 위하여 “An all CMOS 84dB-linear Low-Power Variable Gain Amplifier”[11]에서 제안된 새로운 Exponential 근사식을 이용하였다. 이 근사식을 식 (5)에 나타 내었다.

$$e^{2ax} = \frac{e^{ax}}{e^{-ax}} \cong \frac{[k + (1+ax)^2]}{[k + (1-ax)^2]} \quad (5)$$

여기서 k 는 상수이다. $k = 1$ 에 대해서, 분모와 분자는 exponential 함수의 2차 Taylor series 근사이다. 여기서 k 는 1보다 작다. dB-선형 구간은 그림3.8에서

점선으로 보여진 것처럼 매우 넓은 범위를 갖는다. ($k = 1, 0.15, 0.25$). $k = 0.15$ 에 대해서는 60dB이상의 이득 변화 구간을 갖는 것을 볼 수 있다. Long-channel CMOS 트랜지스터는 포화 영역(saturation region)에서 square-law 특성을 제공하고 분자와 분모는 2차 함수 이기 때문에 사용될 exponential 근사 함수는 CMOS 기술로 쉽게 구현 될 수 있다. $k=0.15$ 일 때 나타나는 선형 구간을 그림 3.8에 나타 내었다. VGA는 식(5)를 이용하여 구현 함으로써 60dB의 큰 이득 변환 구간을 하나의 단으로 만족 시킬 수 있을 것이다. 결과적으로 전류소모와 칩 면적이 많이 줄어들 수 있다.

식(5)의 분자와 분모를 구현한 회로를 그림 3.9에 나타 내었다. 여기서 모든 트랜지스터는 포화영역 모드에서 동작 한다. P-MOS와 N-MOS의 body는 VDD와 VSS에 각각 묶여있다. 그리고 트랜지스터 M1과 M2의 length(W)는 2차 영향을 무시할 만큼 충분히 크게 하였다. 그림 3.9에서 M1과 M2를 포화 영역에서의 동작을 보장하기 위해 전압조정 단자(VC)의 입력 전압은 $(V_{SS} + V_{THn}) \sim (V_{DD} - |V_{THp}|)$ 의 범위 안에서 조절 되어야 한다. 트랜지스터 M1과 M2의 드레인 전류는 아래와 같이 나타 낼 수 있다.

$$I_{D1} = K_P (V_C - V_{DD} + |V_{THp}|)^2 \quad (6)$$

$$I_{D2} = K_N (V_C - V_{SS} - V_{THn})^2 \quad (7)$$

여기서 K_P 와 K_N 은 상수 이다. 그리고 V_{THp} 와 V_{THn} 은 각각 P-MOS와 N-MOS의 문턱 전압이다. 전류 I_{D1} 과 I_{D2} 는 바이어스 전류 I_0 와 더해지게 된다. 결과적으로 출력되는 전류 I_{C1} 과 I_{C2} 는 아래의 수식 유도과정을 통해 원하는 결과로 얻어 지는 것을 알 수 있다.

$$I_{C1} = K_p (V_{DD} - |V_{THp}|)^2 \times \left\{ \frac{I_0}{K_p (V_{DD} - |V_{THp}|)^2} + \left(1 - \frac{V_C}{(V_{DD} - |V_{THp}|)} \right)^2 \right\} \quad (8)$$

$$I_{C2} = K_n (V_{SS} + V_{THn})^2 \times \left\{ \frac{I_0}{K_n (V_{SS} + |V_{THn}|)^2} + \left(1 - \frac{V_C}{(V_{SS} + V_{THn})} \right)^2 \right\} \quad (9)$$

$K_p = K_n = K$, $V_{DD} = -V_{SS}$, $|V_{THp}| = V_{THn} = V_{TH}$, 라고 하면, 식(8)과(9)로부터

비율 I_{C1} / I_{C2} 은 아래의 식과 같이 유도되어 증폭하는 블록으로 이용할 수 있다.

$$\frac{I_{C2}}{I_{C1}} = \frac{\frac{I_0}{K(V_{DD} - |V_{TH}|)^2} + \left(1 + \frac{V_C}{(V_{DD} - |V_{TH}|)} \right)^2}{\frac{I_0}{K(V_{DD} - |V_{TH}|)^2} + \left(1 - \frac{V_C}{(V_{DD} - |V_{TH}|)} \right)^2} = \frac{[k + (1 + ax)^2]}{[k + (1 - ax)^2]} \quad (10)$$

여기서 $k = I_0 / K(V_{DD} - |V_{TH}|)^2$, $a = 1 / (V_{DD} - |V_{TH}|)$, 그리고 $x = V_C$ 이다.

식(10)에서 나타낸 것처럼 출력 전류의 비인 I_{C1} / I_{C2} 는 조건 전압 V_C 의 함수가 된다. 이것은 결과적으로 식(4)와 등가의 식이 된다. 식(6)와 (7)로부터 exponential 근사 식은 식(10)에서 보여진 것과 같이 조정전압 V_C 의 함수로 얻어질 수 있다.

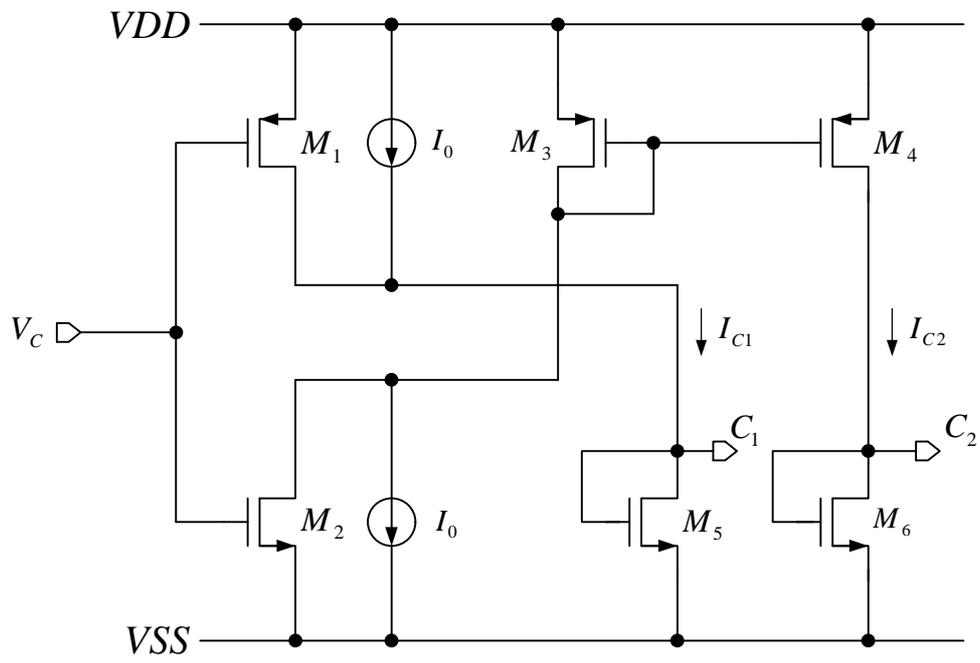


그림 3.9 설계된 V-I 이득 조정회로도

■ Variable Gain Amplifier 설계

그림 3.10 에서 보여지는 회로의 구조를 바탕으로 가변 이득 증폭기를 구성하였다. 가변 이득 회로 블록은 차동 공통 소스 입력 구조(M9, M12)와 다이오드-연결된 부하(M10, M11)로 구성 되어 있다. 입력 차동쌍과 부하로 흐르는 전류의 합은 위쪽의 PMOS 전류원(M7, M8)과 같다. 그림 3.9 의 조정블록에서 나오는 두 전류 I_{C1} 과 I_{C2} 는 그림 3.10 에 M13 과 M14 로 복사된다. 부하와 입력 차동쌍으로 흐르는 전류는 I_{C1} 과 I_{C2} 에 의해 조정 된다. 식(10)으로부터 M7 과 M8 로 흐르는 전류의 합은 $2(k+1+a^2x^2)$ 과 같고 이것은 조절 전압 $V_C(x=V_C)$ 의 함수로 나타낼 수 있다. M7 과 M8 에서의 전류의 변화에 대해서 높은 이득을 갖는 공통모드레환 회로(CMFB)가 그림 3.10 과 같이 구성되어 출력 신호의 공통모드를 유지 시키는데 이용한다. VGA 의 전체 이득은 식(11)와 같이 나타낼 수 있다.

$$A_V = \frac{g_{m-input}}{g_{m-output}} = \sqrt{\frac{(W/L)_{input} I_{C2}}{(W/L)_{load} I_{C1}}} \quad (11)$$

여기서 $g_{m-input}$ 은 입력단의 트랜지스터(M9, M12)의 트랜스컨덕턴스이고, g_{m-load} 는 다이오드-연결된 부하(M10, M11)의 트랜스컨덕턴스이다. I_{C1} , I_{C2} , 는 식(10)에서 주어진 것이다. 식(10)과 (11)로부터 가변 이득단의 차동 이득은 식(12)와 같이 나타낼 수 있다.

$$A_V = \frac{g_{m-input}}{g_{m-output}} = \sqrt{\frac{(W/L)_{input}}{(W/L)_{load}} \times \frac{[k + (1+ax)^2]}{[k + (1-ax)^2]}} \quad (12)$$

이것은 식(5)에서 나타낸 것과 같다. 식(12)에서 차동 이득은 조절 전압 V_C 의

함수로써 나타낼 수 있다. 설계된 VGA의 -3dB 주파수 응답은 출력 임피던스와 커패시턴스에 의해 가장 큰 제약을 받는다. 부하는 두 개의 다이오드-연결된 트랜지스터(M10, M11)로 구성 되어 있으므로, 출력 임피던스는 I_C 에 의해 결정되는 g_{m-load} 에 비례하게 된다. I_C 는 조정전압 V_c 의 제곱근에 따라 변화하기 때문에 VGA의 -3dB 주파수 응답은 높은 이득이나 낮은 이득의 모드에 대해 다른 값을 갖는다. 높은 이득이나 낮은 이득의 모드의 변화에 따른 g_{m-load} 의 증가나 감소는 VGA의 -3dB 주파수 응답을 넓어(wide)나 좁게(narrow) 만드는 단점이 있다. 그러나 송신단의 설계에서 고주파 신호는 이미 LPF에 의해서 제거되고 VGA의 주파수 응답은 이득 모드의 변화 중 가장 낮은 주파수 응답의 경우에도 기저 대역의 주파수 응답보다 충분이 크기 때문에 이 구조의 VGA를 사용 하는데 이 시스템에서는 충분히 사용할 수 있다.

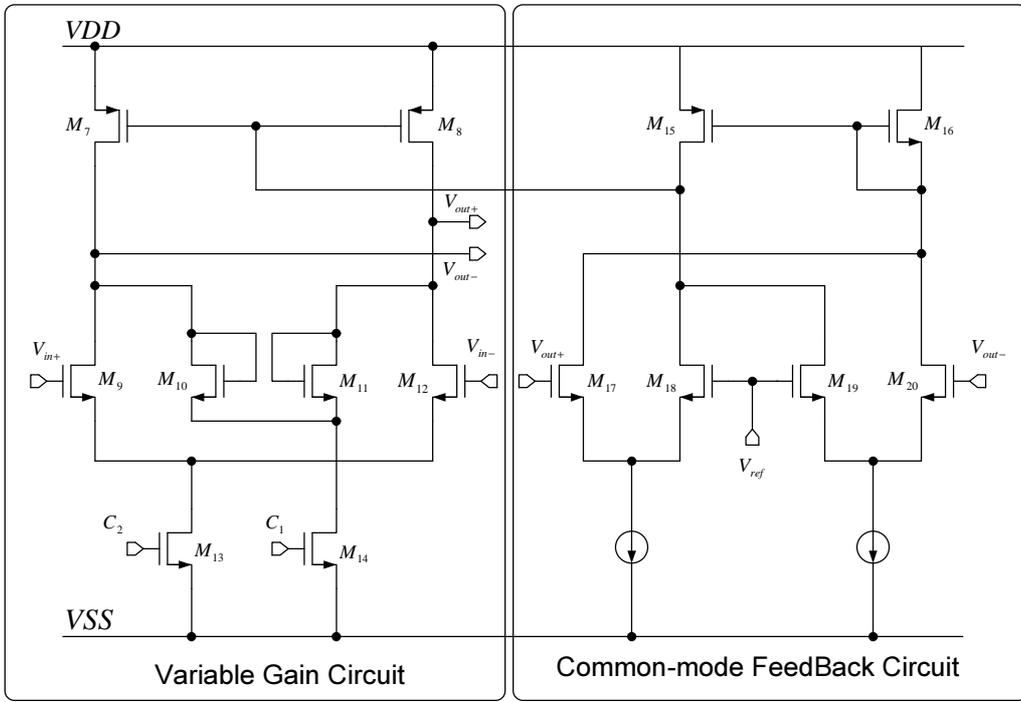


그림. 3.10 가변 이득 증폭기 코어의 회로도

■ DC-Offset 제거 회로의 설계

VGA 는 큰 이득을 가지기 때문에, 매우 작은 DC-Offset도 출력 트랜지스터를 포화 시킬 수 있다. 그래서 DC-offset 제거 회로가 필요하다. DC-offset 제거 회로는 그림 3.11에 보이는 것과 같이 입력 신호에 대해서 고주파제거(Low pass filtering) 동작을 한다. 트랜지스터를 이용하여 큰 값의 저항을 구현 하였고 이런 저항과 함께 커패시터가 병렬로 연결되어 LPF의 형태를 갖는다. VGA출력 신호를 입력으로 받아 RC로 구현된 LPF를 통과 하면 고주파 성분을 제거되고, 그 신호를 입력으로 피드백 시킨다. 그래서 VGA의 DC-offset 신호를 제거 하도록 하였다.

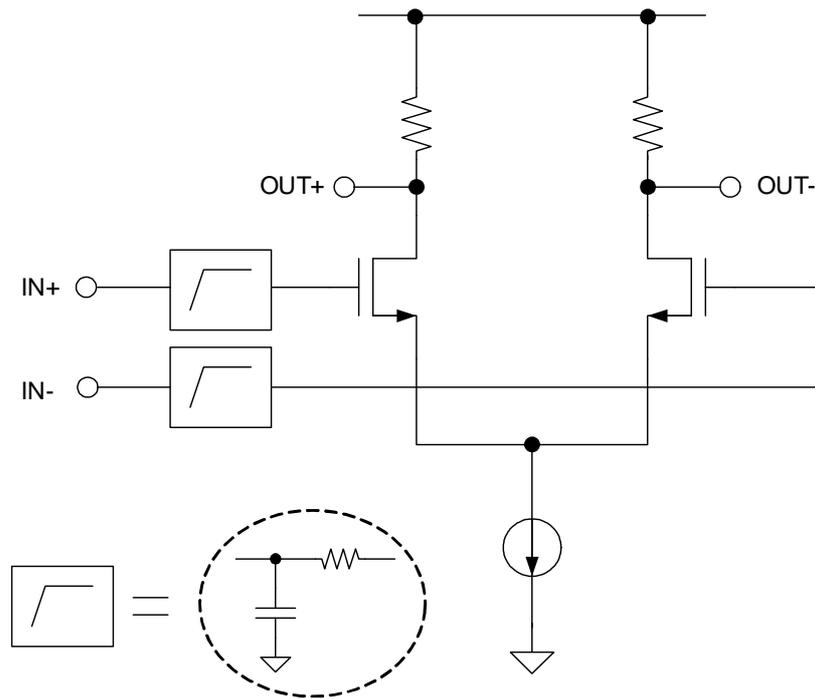


그림 3.11 DC-오프셋 제거회로

■ 가변 이득 증폭기 시뮬레이션 결과

V-I 이득 변환기의 조정 전압 (V_{in})의 변화에 따른 VGA 의 전체 이득을 post-레이아웃 시뮬레이션을 통해 검증 하였다. 가변 이득 조절은 앞 절에서 설계된 V-I이득 조정 회로에 의해 V_{in} 을 변화 시키면서 전류의 양(I_{C1} , I_{C2})을 조절 하면서 선형적인 이득 변화 구간을 만들었다. 시뮬레이션 결과, 그림 3.12 에서와 같이 V-I이득 조절 단의 V_{in} 의 변화에 따라 전체 VGA의 dB-스케일 이득 변화가 -40dB ~ 40dB (80dB)의 선형적인 구간을 갖는 것을 볼 수 있다. 입 출력 파형을 이득의 변화에 따라 이 응용 시스템에서 요구하는 최대 1.5V까지 스윙 하는 것을 출력 파형을 통해 확인 할 수 있다. 그림 3.13은 VGA의 이득 조절에 따른 AC응답을 AC 시뮬레이션을 통해 나타내었다. 그림 3.14는 DC-오프셋 제거회로가 추가된 전체 VGA의 AC 응답 곡선을 나타내었다. DC-offset회로가 추가되어 저주파 영역의 이득이 감소된 것을 시뮬레이션 결과를 통해 확인 할 수 있다. 그림 3.15는 완성된 VGA의 post-레이아웃 시뮬레이션을 하기 위한 레이아웃을 나타내었다. 시뮬레이션을 통한 VGA의 시뮬레이션 결과를 표3에 정리 하였다.

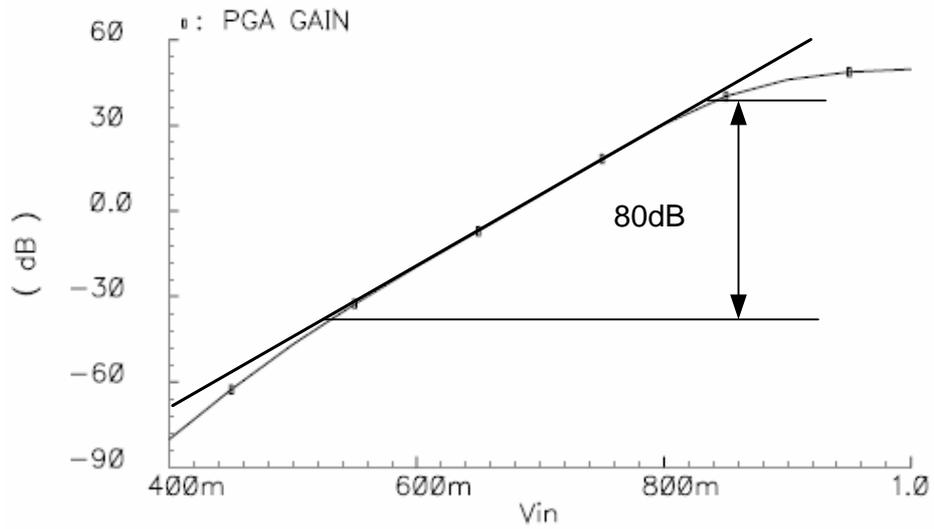


그림 3.12 전압 조정 회로의 V_{in} 의 변화에 따른 VGA의 전체 이득 변화

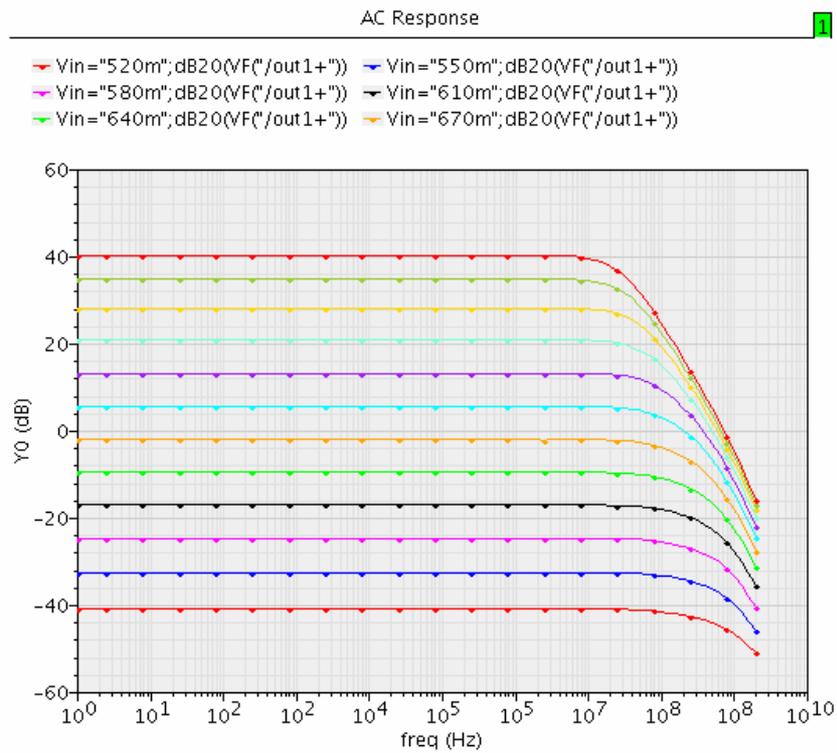


그림 3.13 VGA의 전체 AC 응답 곡선

AC Response

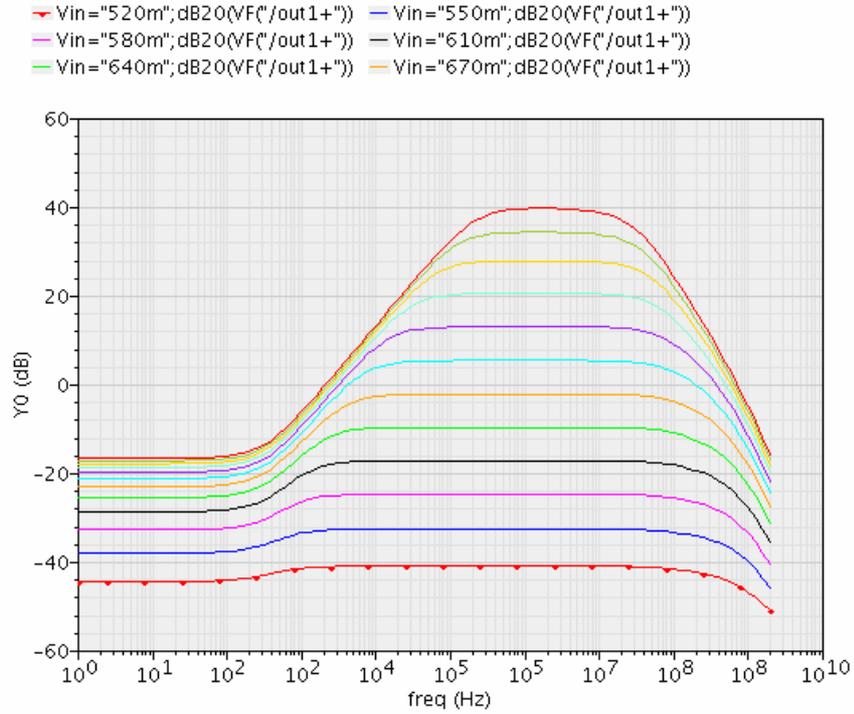


그림 3.14 DC -offset 회로를 추가한 VGA 의 전체 AC 응답.

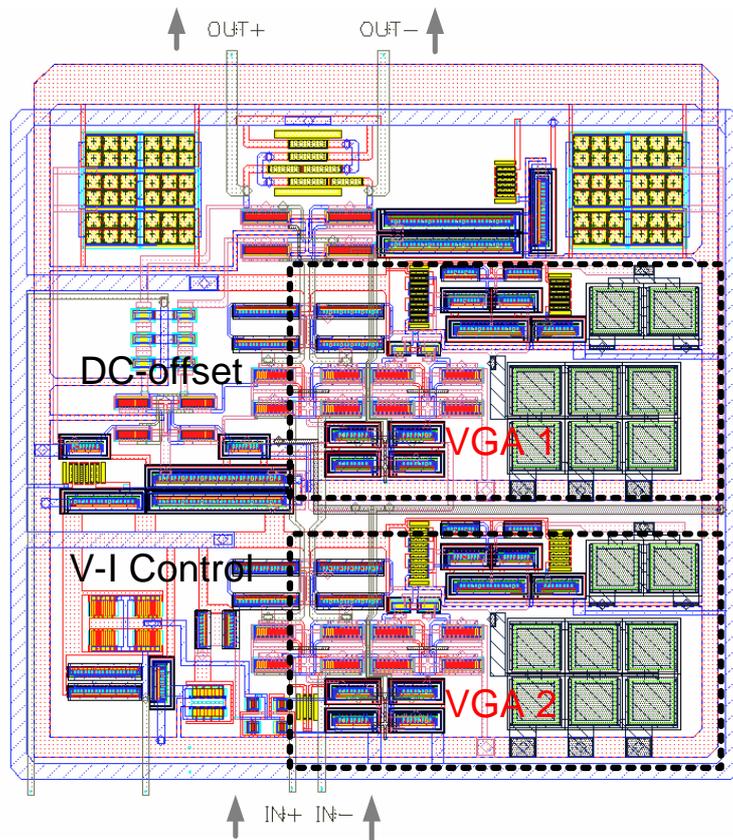


그림 3.15 VGA 의 레이아웃

표 3 VGA 의 동작 특성 시뮬레이션 결과

Parameter	Value
gain range	80dB (-40dB~ 40dB)
Band width	10 ~ 200MHz
P1dB @ max gain	-55dBm
P1dB @ min gain	8dBm
current consumption	2.5mA(min), 5.5mA(max)

3.2 RF 단 (RF front-end)

RF 단(RF front-end)의 구성 블록을 그림 3.16에 나타내었다. 구성은 차동 입력 상향 믹서(Up-conversion mixer) 다음에 단일 입력의 전력 증폭기(Power Amp)가 오도록 하였다. 상향 믹서는 차동 가변 트랜스컨덕턴스단과 스위칭단으로 구성되어 있다. 트랜스컨덕턴스단은 기저 대역의 신호레벨을 조정하여 스위칭단의 입력 레벨에 맞게 인가하는 구조로 설계 했다. LO의 입력이 일정할 때 트랜스컨덕턴스단의 레벨이 상향 믹서의 전체 이득을 결정 하게 된다. 그래서 트랜스컨덕턴스조절을 통한 믹서의 선형성 향상을 목표로 설계 하였다.

전력 증폭기단은 최대 0dBm까지 선형적인 출력 범위를 갖도록 설계 되었다. 전송단 중 가장 많은 전류를 소모하는 단이 전력 증폭기이기 때문에 ZigBee응용에 만족하는 성능을 가지면서 저전력으로 동작 하기 위한 기술을 적용 시킨다. 그리고 이득을 가변적으로 조절 할 수 있게 설계하여 전송거리에따른 효율적인 전류 소모를 하고자 하였다.

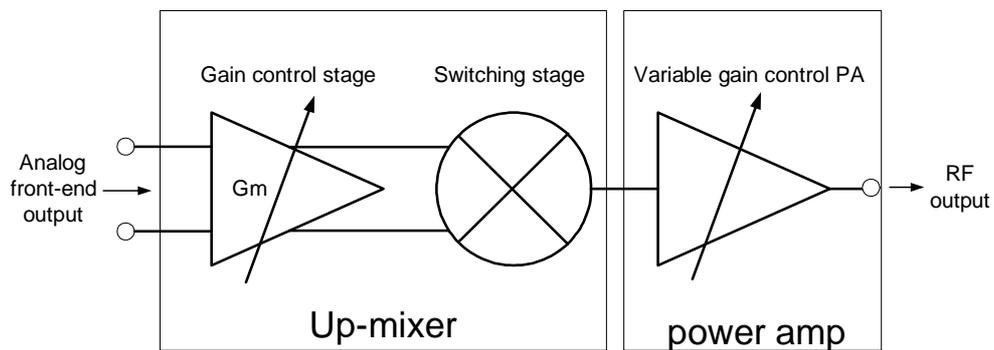


그림 3.16 RF front-end의 구성 블록

3.2.1 상향 믹서 (Up-conversion Mixer)

■ 상향 믹서 구조

상향 믹서의 전체 구성 블록 도를 그림 3.18에 나타내었다. 상향 믹서를 블록 별로 나누어 보면 입력 신호의 이득을 조절하는 트랜스컨덕턴스단, 스위칭 단 그리고 전력 결합 단으로 나눌 수 있다. 차동 가변이득 단 다음에 스위칭 단이 오고 단일 출력을 내는 전력 증폭기가 상향 믹서 다음에 오기 때문에 차동 신호를 단일 출력을 보내주는 전력 합성 단으로 출력을 구성 한다. 믹서는 크게 두 단으로 나누어 설계가 이루어 졌다. 하나는 트랜스컨덕턴스 단이고 다른 하나는 스위칭 단이다. 트랜스컨덕턴스단의 경우 선형성을 높이기 위한 기술을 적용 하였으며 기존의 저항을 이용한 source degeneration transconductance 단에 가변적으로 이득을 조절할 수 있게 설계 되었다. 그래서 일정한 입력 범위 안에서 변화하는 입력 전압에 대해 일정한 트랜스컨덕턴스를 가질 뿐만 아니라 이 트랜스컨덕턴스를 외부에서 조절 할 수 있게 하여 주파수 변환 이득과 선형성을 적절히 외부에서 조절 할 수 있게 구현하였다. 스위칭 단의 경우 기본적으로 길버트 구조의 곱셈기를 이용하였으며 외부에서 인덕터로 부하를 구성하여 주파수 특성이 좋으면서 칩 자체의 면적은 적게 차지하게 구현 하였다.

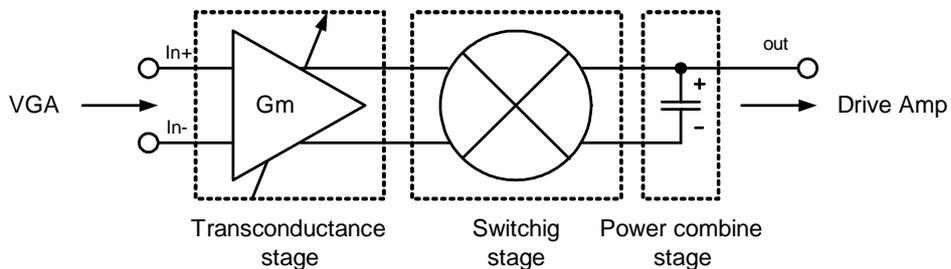


그림 3.18 믹서의 구성 블록 그림

■ 상향 믹서 설계- 트랜스 컨덕턴스단

입력 신호에 대해 일정한 트랜스컨덕턴스를 갖고 증폭하기 위한 방법은 그림 3.19에서 보인 것처럼 저항을 이용한 source-degeneration 기술을 이용하는 것이다.

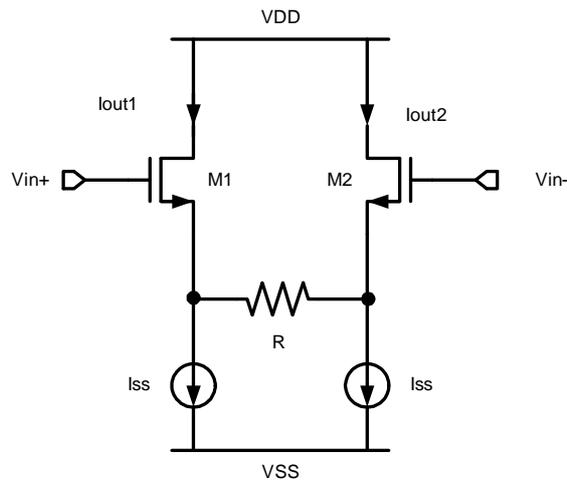


그림 3.19 저항을 이용한 source degeneration구현

이 기술을 이용하여 선형적인 트랜스 컨덕턴스단이 구현될 수 있다. 기본 동작 원리를 알기 위해 출력 전류 $I_{out} = I_{out1} - I_{out2}$ 는 아래의 식으로 나타 낼 수 있다.

$$I_{out} = \frac{1}{2}(V_{THn} - I_{out}R)\sqrt{2I_{SS}K_n} \sqrt{1 - \frac{(V_{THn} - I_{out}R)^2 K_n}{2I_{SS}}} \quad , \quad K_n = \frac{1}{2}C_{ox} \frac{W}{L} \quad (13)$$

여기서 V_{THn} 와 V_{id} 는 각각 NMOS의 문턱전압과 차동 입력 전압이고 W 은 트랜지스터의 넓이고 L 은 채널의 길이이다. 그림 3.19 트랜스컨덕터의 트랜스컨덕턴스 G_m 은 아래의 식과 같이 나타 낼 수 있다.

$$G_m = \frac{g_m}{1 + g_m R} \quad (14)$$

여기서 g_m 은 트랜지스터 M1, M2의 트랜스컨덕턴스이다. 식(13)에서 비선형성은 V_{id} 에 의한 것 보다는 $V_{id} - I_{out}R$ 에 의해 영향을 더 크게 미친다. $R \gg 1/g_m$ 일 경우 비선형 성분은 0이 되고 그래서 높은 선형성이 얻어진다. 이 구조의 단점은 큰 저항 값에 있다. 큰 저항 값은 넓은 선형 입력 구간을 얻기 위해 필요하다. 여기서 $G_m = 1/R$ 이기 때문에 얻어진 트랜스컨덕턴스는 degeneration 저항의 값에 의해 제한된다. 더 높은 선형성을 갖는 높은 트랜스컨덕턴스를 얻고 싶다면 R 은 줄어드는 반면 g_m 은 증가될 것이다. 그러나 높은 g_m 은 높은 전력 소모를 요구 한다. 그리고 일반적으로 MOS의 g_m 은 작기 때문에 낮은 g_m 을 얻기 위해선 큰 저항의 사용이 필요하다.

두 번째로 소개되는 기술은 source degeneration 기술을 이용하지만 그림 3.20에서 보여진 것처럼 degeneration 저항을 triode영역에서 동작하는 두 개의 MOS 트랜지스터로 대체하는 방법이다. 여기서 트랜지스터 M1~M4는 모두 정합 되었으며 body effect와 channel modulation effect는 무시되었다.

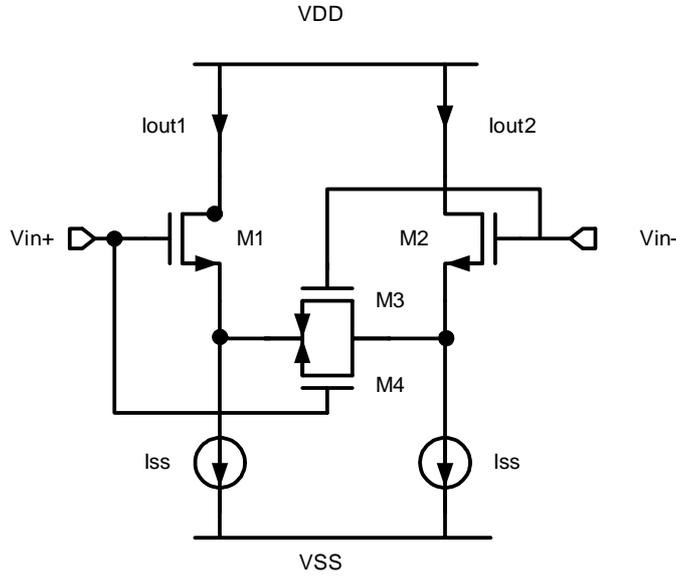


그림 3.20 MOS transistors를 이용한 source degeneration구현

이 구조에서 입력 신호의 크기가 증가할 때 degeneration MOS 저항은 더욱더 바이어스가 인가되게 되고 그 결과로 M1, M2로 구성된 degeneration MOS저항 값은 줄어 든다. 이것은 낮은 degeneration을 허용하고 떨어진 G_m 에 대한 보상을 위해 차동 쌍의 G_m 을 더 크게 하는 원인이 된다. 그림2의 구조에서 트랜스컨덕턴스 G_m 은 식(15)와 같이 나타낼 수 있다.

$$G_m = \frac{4K_{n1}K_{n3}(V_{GS1} - V_m)\sqrt{I_{SS}}}{(4K_{n3} + K_{n1})\sqrt{K_{n1}}} \quad (15)$$

식(15)에서 보는 바와 같이 트랜스컨덕턴스는 I_{SS} 의 변화에 따라 조정 될 수 있다. 여기서 논의된 대로 M1/M3=6.7 일 때 최대 선형 구간을 갖는 동작 특성을 얻을 수 있다. 그러나 nonlinearity error가 높은 편이며 -60dB의 높은 THD (total harmonic distortion)를 가진다[13].

-이득 조절이 가능한 트랜스 컨덕턴스단

본 논문에서는 앞에서 언급한 MOS 트랜지스터를 이용한 source degeneration 기법을 이용하여 트랜스컨덕턴스단의 선형화 기법을 구현 하였으며 그림 3.21에 보는 것과 같이 degeneration 트랜지스터에 전압 조정 단자(Vctrl)를 추가 하여 트랜스컨덕턴스를 조절할 수 있게 구현된 회로가 그림 3.21이다.

Vctrl의 주어진 값에 대하여, M7과 M8의 바디-소스와 바디-드레인 접합은 forward bias전압이 아니다. 이런 트랜지스터들은 triode영역에서 동작 하게 되고 이것은 degeneration저항과 같게 된다. 여기서 M7과 M8의 바디-소스 와 바디-드레인 접합으로 forward bias로 동작 하도록 Vctrl전압을 낮추게 되면 I_1 에서 I_3 로 흐르는 DC 전류의 총 합은 Vctrl에 의해 결정 되어서 트랜스컨덕턴스는 Vctrl의 exponential함수로써 조정 될 수 있다. 이것은 믹서 전체의 변환이득의 dB선형적인 특성을 가지게 한다. [14]

그림3.22는 Vctrl에 의해 exponential 특성을 가지고 변하는 트랜스컨덕턴스단의 간단화된 회로 도를 보여준다. 이 회로에서 보여진 것처럼 이득조정 모드 에서는 트랜지스터M7과 M8은 다이오드 Ds와 Dd와 같이 대체 될 수 있다. 출력 노드에 대해서 KCL을 적용하면 트랜스컨덕턴스단의 출력 전류 i_G 는 식(16)과 같이 나타낼 수 있다.

$$i_G = I_1 - I_2 - I_3 \quad (16)$$

그리고 주어진 차동 입력 전압 v_M 에 대해서 다시 정리를 해 보면 식(17)와 같이 나타낼 수 있다.

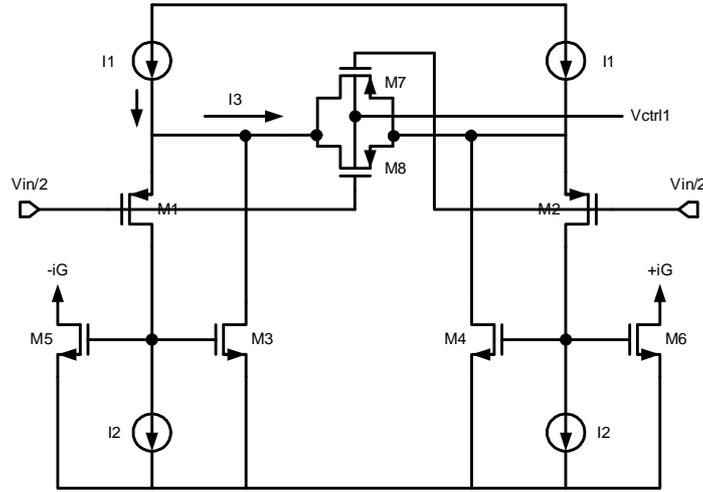


그림 3.21 트랜스컨덕턴스단의 회로도

$$i_G = I_1 - I_2 - I_S \exp\left(\frac{-V_{ctrl} + V_{SG1} + v_{IN}/2}{V_T}\right) \quad (17)$$

여기서 V_T 는 thermal voltage이고 V_{SG1} 은 M1의 소스-게이트 DC전압이고 I_S 는 고정된 값이다. 식(17)로부터 트랜스컨덕턴스단의 트랜스컨덕턴스(G_m)은 식(18)과 같이 나타낼 수 있다.

$$G_m = \frac{\partial i_G}{\partial v_{IN}} = -\frac{I_S}{2V_T} \exp\left(\frac{-V_{ctrl} + V_{SG1} + v_{IN}/2}{V_T}\right) = K \exp\left(\frac{-V_{ctrl}}{V_T}\right) \quad (18)$$

여기서 K 는 상수이다. 식(18)에서 보여진 대로 트랜스컨덕턴스는 조건전압 (V_{ctrl})에 dB-선형적인 관계를 가지고 있어서 믹서 변환이득(conversion gain)의 dB-선형 특성을 나타내게 한다. 이 트랜스컨덕턴스의 장점은 M5와 M6에 병렬로 연결 하는 트랜지스터의 추가가 가능해 많은 출력 단을 가지게 할 수 있다. 트랜지스터의 추가만으로 추가되는 출력은 두 개 이상의 트랜스컨덕턴스 단이

■ 상향 믹서 설계- 스위칭단

선형적인 상향 믹서의 설계를 위해서 Gilbert cell 구조를 이용하였다. 그림 2.23에서 보여지는 이 구조는 두 쌍의 트랜지스터를 병렬로 연결한 형태이다. 그래서 믹서의 출력에서 보이는 기저대역신호와 LO신호의 누설 (feed-through)을 적게 해 준다. 두 개의 신호가 믹싱되면 출력은 원하는 주파수(target frequency)와 feed-through된 신호가 나오게 된다. LO신호 레벨이 아주 작을 때, 출력 신호는 LO신호의 크기에 영향을 받는다. 그래서 큰 LO신호를 인가할수록 믹서의 전체 이득이 더 크게 된다. 그리고 큰 LO신호 레벨에 대해 노이즈는 최소가 된다. 그러나 LO가 너무 크면 신호의 spike를 초래할 뿐만 아니라 스위칭 속도가 줄어들고 LO신호가 출력에 나타나는 feed-through도 커지게 된다. Spike가 일어나게 되면 트랜지스터는 포화 영역을 벗어나게 되고 이것은 신호의 왜곡이 된다.

기본적인 셀의 전압 변환이득 (G_C)은 믹서의 입력 신호가 펄스 파(square)와 곱해지는 경우에는 식 (19)과 같이 나타낼 수 있다[12].

$$G_C = \frac{2}{\pi} \quad (19)$$

그러나 실제로는 다르다 왜냐하면 스위칭 단이 이상적으로 스위칭을 하는 것뿐만 아니라 믹서에 인가되는 RF신호에 대해 순수한 펄스(square)와 곱해지는 것이 아니기 때문이다. 그래서 트랜지스터의 동작영역과 LO 신호의 크기에 따라 변환 이득의 차이가 생긴다. 그림 3.25는 LO신호의 크기에 따른 MIXER의 변환이득 (conversion gain)을 본 것이다. 적절한 변환 이득이 보장되는 범위 내에서 선형

성이 최적인 LO 신호 레벨을 찾을 수 있다. 스위칭 게이트의 이상적인 동작은 한 쪽의 트랜지스터가 꺼졌을 때 다른 쪽 트랜지스터는 켜져 있는 동작이 되어야 한다. 두 트랜지스터가 동시에 켜지는 경우 노이즈나 신호의 왜곡 형태로 나타난다. 원하는 주파수에서 가장 큰 이득과 선형성을 얻기 위한 트랜지스터 M9-M12의 사이즈(width)를 정한다. 이 트랜지스터들이 이상적인 스위치로 가깝게 동작하는 값을 하모닉 시뮬레이션 등을 이용하여 정하였다.

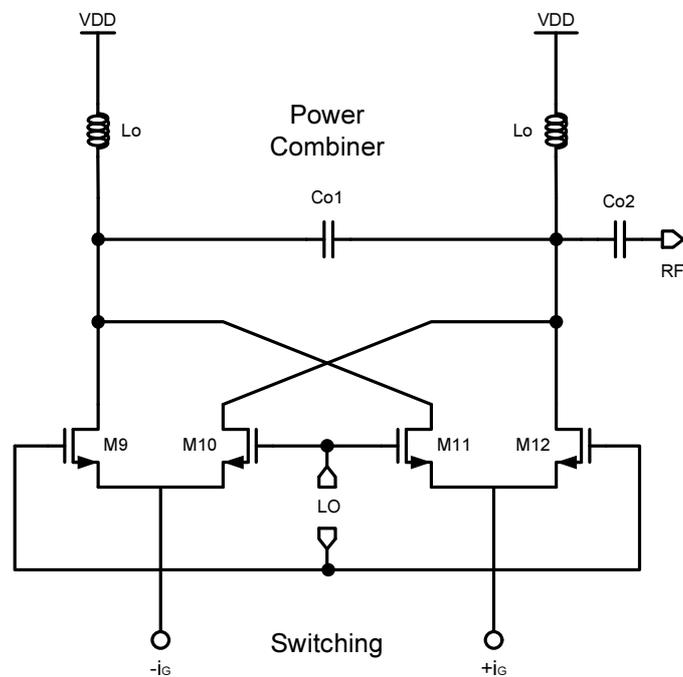


그림 3.23 믹서의 전체 회로도

■ 상향 믹서 시뮬레이션 결과

그림 3.24에서 보는 것과 같이 트랜스컨덕턴스단은 가변적으로 이득이 변하게 설계가 되었다. 전압 조절단자(V_{ctrl})의 변화에 따라 dB-선형적인 결과가 나온 것을 확인 할 수 있다. 이 결과를 이용하여 믹서의 변환 이득을 조절 할 수 있으며 선형성이 최대가 되는 전압 조절 단자의 값을 시뮬레이션을 통해 구할 수 있다. 선형성을 최대로 구현하기 위한 또 다른 방법으로 LO신호 레벨의 크기의 변화에 따라 IP3와 P-1dB를 확인하였다.

믹서이기 때문에 자체의 비선형 성으로 인한 3차 하모닉 문제가 가장 중요한 설계요소로 작용한다. 트랜스컨덕턴스단의 전압조절단자(V_{ctrl})의 조절과 LO신호 레벨의 조정에 따라 원하는 이득을 가지면서 최적의 선형성을 보장하는 믹서를 설계 하였다. 그 결과 믹서의 IP3는 -8dBm이 나왔다(그림 3.26). 그리고 설계된 트랜스컨덕턴스 단의 이득 조절 단자 (V_{ctrl})의 변화에 따라 전력이득이 -5dB~15dB까지 선형적으로 변화 할 수 있는 것을 확인 하였다. P-1dB의 경우에도 -15dBm이 나와서 설계 이득 마진 안에서 선형동작이 보장 되는 것을 확인 하였다. 그림 3.25는 캐리어 주파수로 사용될 LO 의 신호 레벨의 변화에 따른 주파수 변환 이득의 변화를 확인 하였다. 이것으로 VCO의 출력 레벨을 결정하여 원하는 주파수 변환 이득을 정할 수 있다. 시뮬레이션 결과를 통해 상향 믹서의 동작이 전송단에서 요구되는 성능에 만족함을 확인할 수 있었다. 시뮬레이션에서 입/출력의 임피던스는 각각 5KOhm (입력), 50Ohm (출력)으로 정한 후 그림 3.28의 레이아웃을 이용하여 post-레이아웃 시뮬레이션을 하였다. 시뮬레이션을 통해 검증된 믹서의 시뮬레이션 결과를 표4에 정리 하였다.

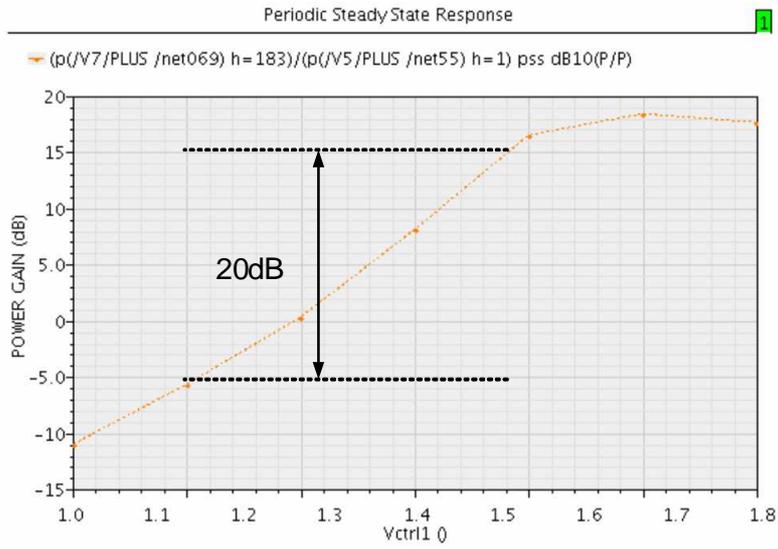


그림 3.24 트랜스 컨덕턴스단의 이득 조정(Vctrl)에 대한 믹서의 변환 이득의 변화

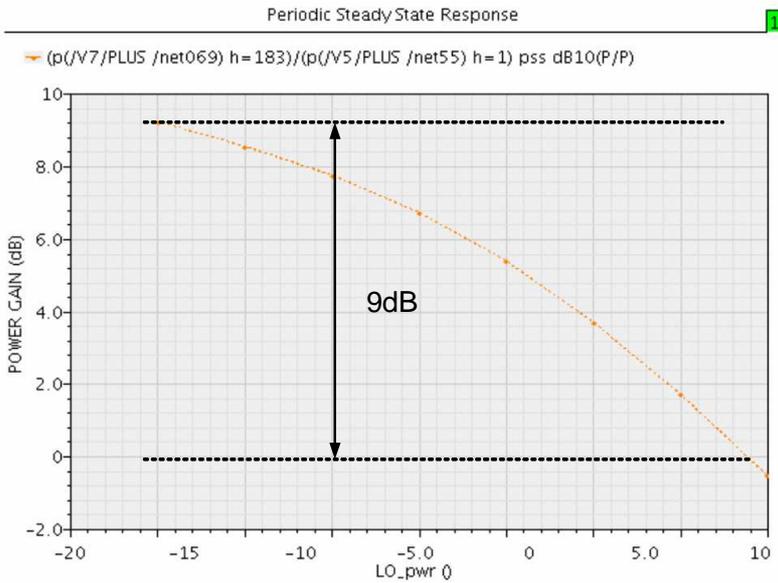


그림 3.25 인가되는 LO 입력 레벨의 변화에 대한 변환 이득의 변화

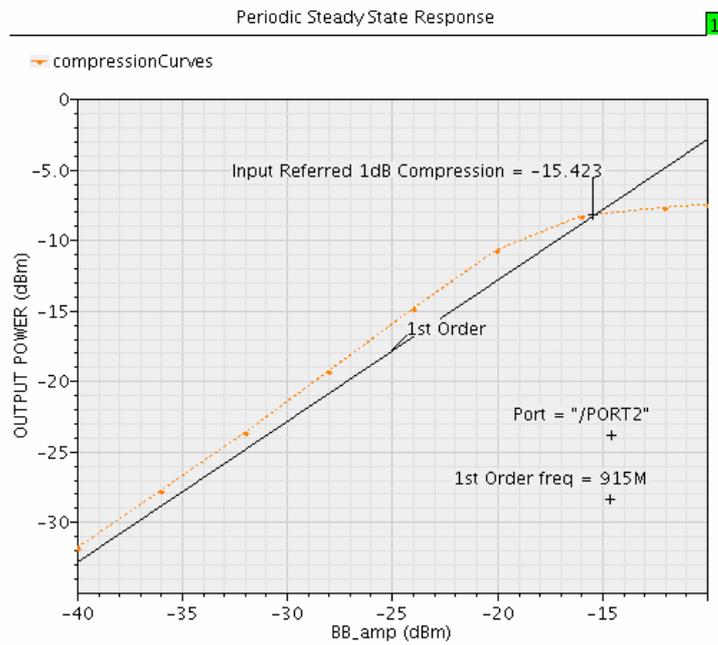


그림 3.26 상향 믹서의 P-1dB 출력 결과

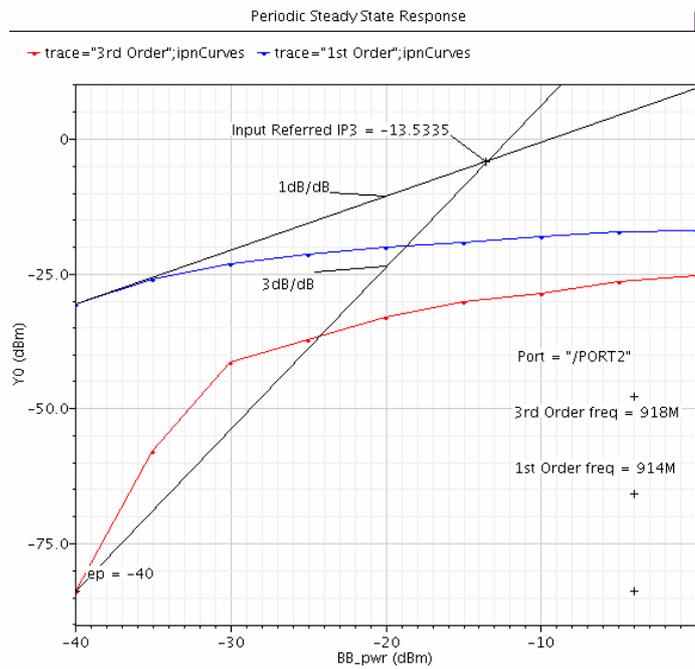


그림 3.27 믹서의 IIP3 시뮬레이션 결과

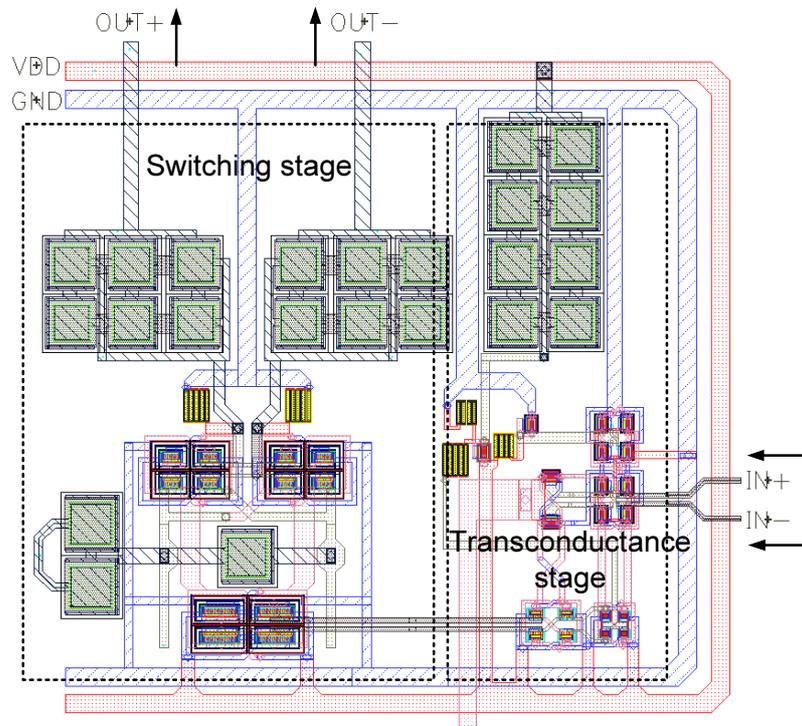


그림 3.28 Post layout simulation 을 하기 위한 상향 믹서의 레이아웃

표 4 상향 믹서의 시뮬레이션 결과

Parameter	Value
Input IP3	-8dBm
Input P-1dB	-15dBm
power gain	10dB(typical), 15dB(max), 5dB(min)
Supply current	3mA

3.2.2 전력 증폭기

전력 증폭기는 어느 전송단에서나 중요한 부분으로 작용한다. 보통 전송단의 마지막 단으로 구성되고 많은 전력을 소모하는 부분이 된다. 전력 증폭기는 무선환경으로 요구되는 전송거리까지 전달되기 위해 충분히 신호전력을 높여주어야 한다. 전형적으로 이 전력은 50 Ω 부하로 보여지는 안테나로 전달된다. 결정되는 PA로부터 나오는 출력 전력의 크기는 디자인에 대한 응용분야에 따라 결정된다. 그 응용범위는 홈 네트워크로 이용되는 밀리미터 단위부터 base station의 수백 와트까지 다양하다. ZigBee응용 시스템에서 ZigBee 송신단에서 나오는 출력 전력은 최대 0dBm정도로 ISM밴드를 이용하여 다른 밴드대역의 신호와 간섭 없이 원하는 신호를 근거리로 전달 하는 목적으로 쓰인다. 결과적으로 ZigBee응용 시스템은 전력 증폭기 회로의 소자로 사용하는 트랜지스터의 크기가 크지 않아도 되고 저전력으로 동작하는 시스템으로 구현이 되어야 한다. 그러나 전체적으로 ZigBee응용 시스템이 높은 이득을 갖고 사용하게 될 주파수 범위에 대해서 반사가 없도록 매칭을 하는 것이 설계의 목표다.

■ 전력 증폭기의 설계

그림 3.33은 본문에서 설계된 전력 증폭기의 블록 도를 나타낸 것이다. 설계된 전력 증폭기는 상향 믹서 다음에 위치 한다. 믹서의 출력은 차동구조이기 때문에 차동 구조가 갖는 이점인 격리(isolation)와 노이즈에 강한 특성을 가진다. 그러나 안테나는 단일 입력 구조를 가지고 전력 증폭기 또한 저전력 구동을 위해 단일 입력, 단일 출력 구조를 가지게 된다. 그래서 앞 단에 전력 결합 단을 이용하여 단일 입력 구조로 변환을 해 준 후 전력 증폭기에 인가 하게 된다. 전력 증폭기는 그림 3.33에 보여진 것과 같이 크게 세 개의 블록으로 나눌 수 있다.

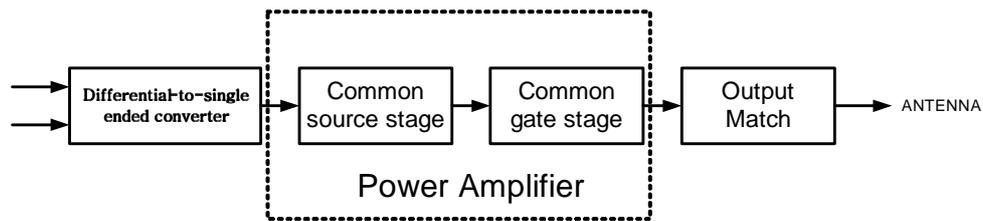


그림 3.33 전력 증폭기의 기본 구조

- Differential-to-single ended 변환기

차동신호를 전력 증폭기의 단일 입력으로 바꾸기 위한 방법으로 믹서 출력 양단을 커패시터로 연결하였다. 그 결과 그림 3.34에 보여진 대로 믹서에서 나온 차동 신호를 단일 신호로 바꿀 수 있다. 커패시터를 이용하여 차동-단일 변환을 할 경우 생길 수 있는 장점으로서는 부가적인 전류소모 없이 간단하게 차동 신호를 단일 입력으로 변환 할 수 있다. 또한 이 커패시터의 커패시턴스를 조절하여 믹서의 출력과 전력 증폭기 입력 사이의 매칭을 하는데 이용 할 수 있다. 그 결과 믹서의 출력 신호가 반사 없이 전력 증폭기로 인가될 수 있게 구현 할 수 있게 된다.

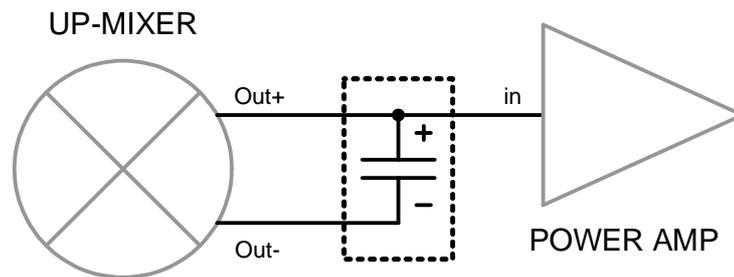


그림 3.34 Differential-to-single ended 변환기 구조

-메인 PA 단 설계

그림 3.35에서 보는 것과 같이 변환된 단일 입력 신호는 AC couple되어 전력 증폭기의 첫 번째 단인 공통 소스 단으로 인가된다. 이것은 커패시터를 이용하여 구현 하였으며 coupling 커패시터로 인한 신호의 감쇄를 없애기 위해서 입력단에 충분히 큰 커패시턴스를 갖는 직렬 커패시터를 추가 하였다. 본 논문에서 저전력으로 전력 증폭기를 동작 시키기 위한 구조는 common source단 뒤에 common gate단을 cascade로 구성하는 것이다. 이렇게 구성하여 원하는 출력을 안테나에 전달 하면서 낮은 전력으로 구동되는 전력 증폭기에 대해 기술한다.

그림 3.35에서 Common source단의 메인 증폭인 MN 트랜지스터는 선형적인 증폭을 위해 트랜지스터의 바이어스를 class A의 동작 점을 갖는다. Load-line기술을 이용하여 트랜지스터의 메인 동작 점을 잡는다. 그림 3.36은 100um RF-NMOS 트랜지스터에 대한 동작 영역을 나타내고 있다. 이 공정에서 최소 게이트 채널의 길이는 0.18um이고 문턱 전압은 0.52V이다.

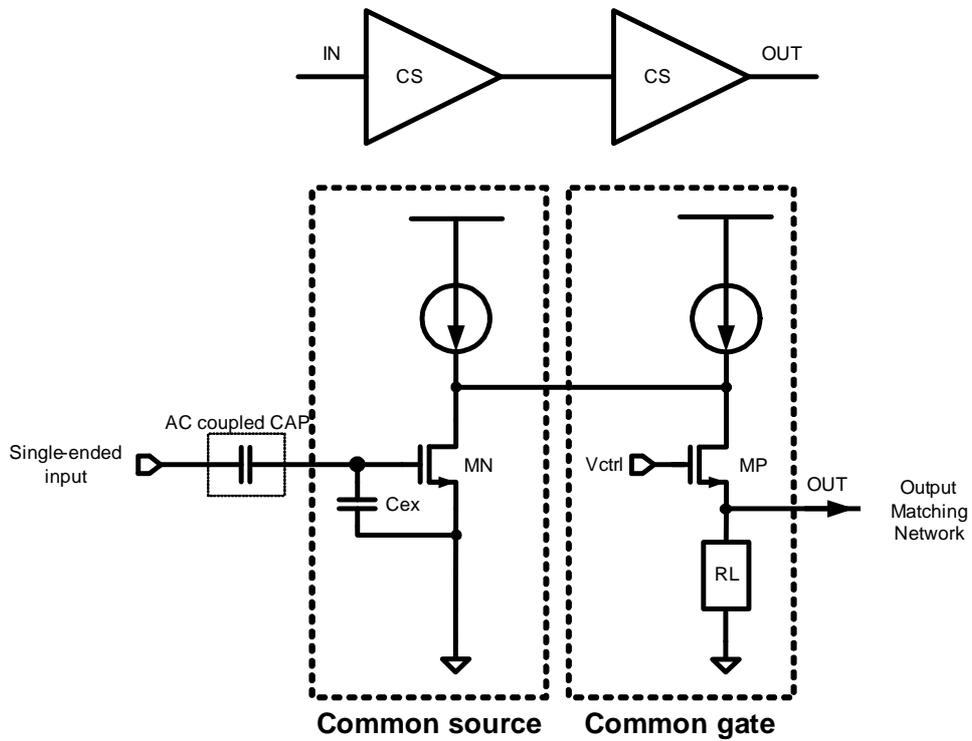


그림 3.35 설계된 전력 증폭기의 회로도

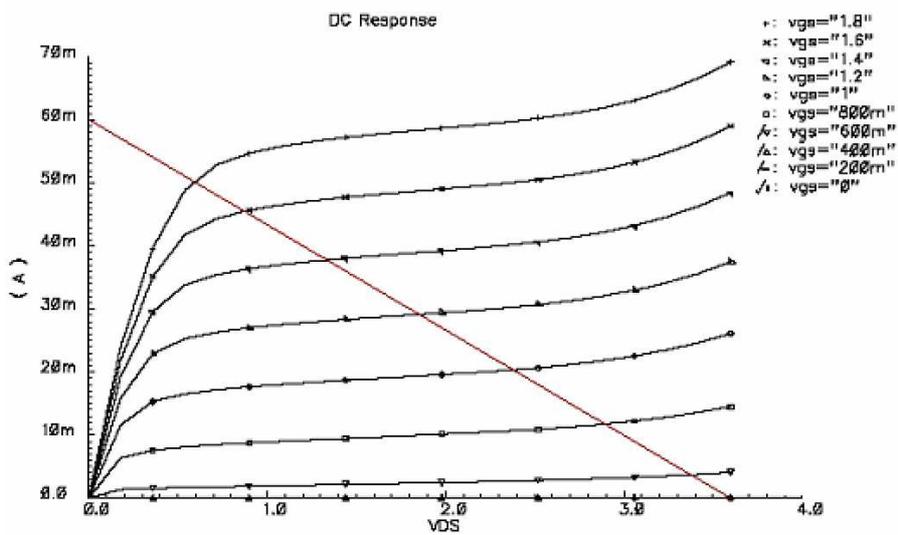


그림 3.36 IDS vs. VDS 특성곡선 ($0\text{ V} < V_{GS} < 1.8\text{ V}$)

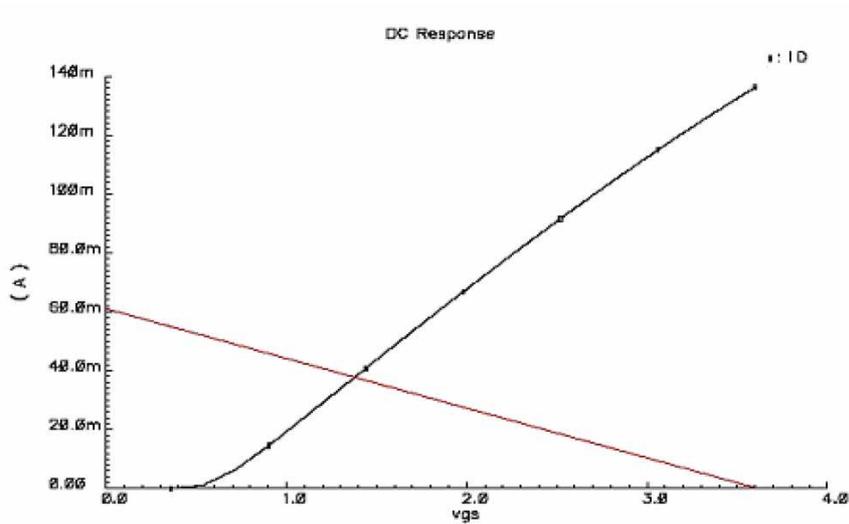


그림 3.37 IDS vs. VGS 특성곡선 (VDS=1.8 V)

전력 증폭기로부터 나오는 출력 전력은 최대 0dBm 이상을 만족 하여야 한다. 이것은 $P_{out} = 1mW$ 가 된다. 50Ω 부하에 1mW는 출력 단 에서 $I_{PP} = 12mA$ ($P = I_{PP}^2 R_L / 8$)의 피크-피크 전류를 요구한다. Class-A 증폭기로서 트랜지스터를 동작 시키기 위해서 최소한 I_{PP} 의 절반을 바이어스 전류로 잡아야 한다. 그러나 실제로 사용할만한 동작을 하기 위해서는 그보다 약간 높게 바이어스 전류를 잡아야 한다. 저전력으로 동작하는 전력 증폭기를 구현하기 위하여 본 지에서는 두 가지 기술을 이용하여 저전력으로 동작하는 전력 증폭기를 구현 하였다. 우선 부하로 작용하는 인덕터를 외부에서 달 수 있도록 하였다. 그래서 원하는 주파수에서 높은 임피던스를 갖는 인덕터를 부하로 이용할 수 있다($L_{road} = 40nH$).

두 번째는 출력단의 common-gate 구조의 이용이다. 공통 게이트 단을 출력단에 위치시킨 이유는 입력단인 공통 소스단은 입력 임피던스가 낮기 때문이다. 그래서

출력단에 공통 게이트단을 추가하여 입력 트랜지스터(MN)의 출력에서 생기는 pole을 높은 주파수로 옮겨 주어 전체 전력 증폭기의 주파수 응답 특성을 향상시킬 수 있다. 공통 소스단의 전류 소모는 식 (20)과 같다. 첫 번째 단의 전류소모 (I_D)는 트랜지스터 자체의 최대 동작 주파수(f_t)에 비례하고 입력 신호의 파워(신호의 크기)의 제곱근에 비례한다[14].

$$I_D = \frac{f_t \sqrt{2P_{in}}}{f_0 \sqrt{R_s}} \quad (20)$$

식(20)에서 입력 단의 신호의 크기(P_{in})는 믹서의 출력전력이 되며 일정한 크기로 유지된다는 것과 R_s 를 전력 증폭기의 입력 포트에서 바라다본 등가 저항으로 나타낸다면 입력 트랜지스터 MN의 f_t 를 낮춤으로써 드레인 전류(I_D)가 감소함을 알 수 있다. 트랜지스터의 동작 주파수(f_t)를 줄이는 방법으로 게이트 소스 단에 커패시터($C_{ex}=500fP$)를 추가하여 입력 커패시턴스를 높이는 방법을 이용하였다. 이는 결과적으로 트랜지스터의 자체 동작주파수(f_t)가 낮추어 전력 증폭기의 전류 소모($I_D=1.5mW$)를 줄이는 역할을 한다. 따라서 구현된 전력 증폭기는 915MHz에서 원하는 이득을 유지하면서도 높은 출력으로 안테나를 구동 시킬 수 있게 된다.

- 출력단 설계

출력단의 설계는 외부에서 매칭을 수행하여 적절한 파라미터 값을 찾았다. 915MHz에서 최대 전력 전달이 되기 위해서 병렬 인덕터(Lout)와 직렬 커패시터(Cout)을 이용한 L-매칭을 수행 하였으며 50Ω의 안테나에 매칭을 하기 위해 출력에서 생길 수 있는 기생 성분을 감안 하였다. 기생 성분은 회로 자체에서 생기는 RC성분을 추출하여 회로에 적용시킨 post-layout시뮬레이션 뿐만 아니라, 본드와이어(bond-wire), 패드(pad) 그리고 트랜스미션 라인(transmission line)을 커패시터, 저항 그리고 인덕터로 모델링을 하였다(그림 3.38). 트랜스미션라인은 PCB로 구현할 경우 제작할 PCB의 정보를 Cadence社의 트랜스 미션 라인 계산기에 적용하여 등가의 회로를 추출하여 회로에 적용 하였다(그림 3.39). 그림 3.40은 계산된 트랜스미션 라인의 정보를 바탕으로 추출된 Netlist를 이용하여 S-parameter 시뮬레이션 결과를 통해 그 특성을 나타낸 그림 이다. 원하는 RF 주파수 밴드인 (910MHz)대역에서 -1dB 이하의 손실이 있는 것을 확인 할 수 있다.

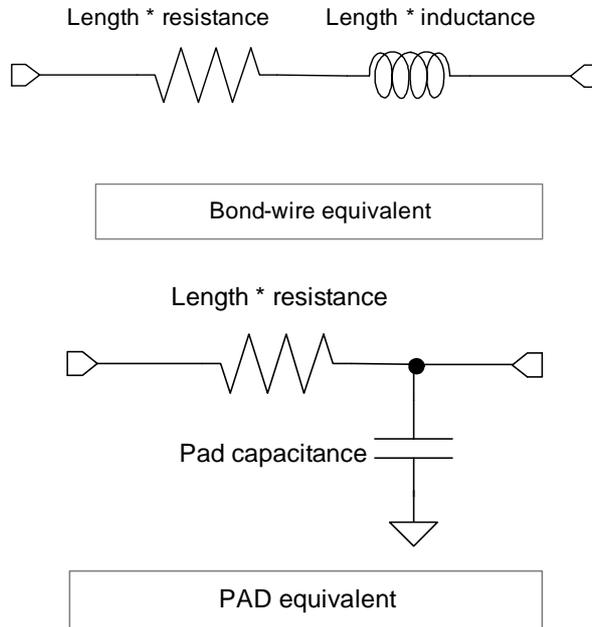


그림 3.38 본드와이어(위)와 패드(아래)의 기생 파라미터의 등가 회로 구현

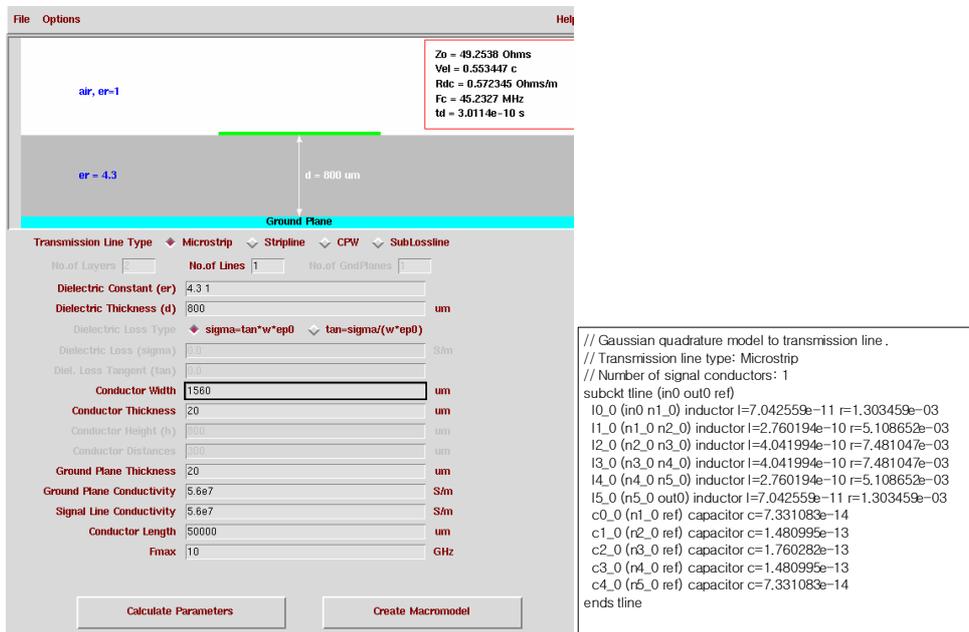


그림 3.39 Cadence 社의 트랜스미션 라인 계산기를 이용한 PCB트랜스미션 라인

계산. (오른쪽), 계산에 의한 추출된 Netlist(왼쪽)

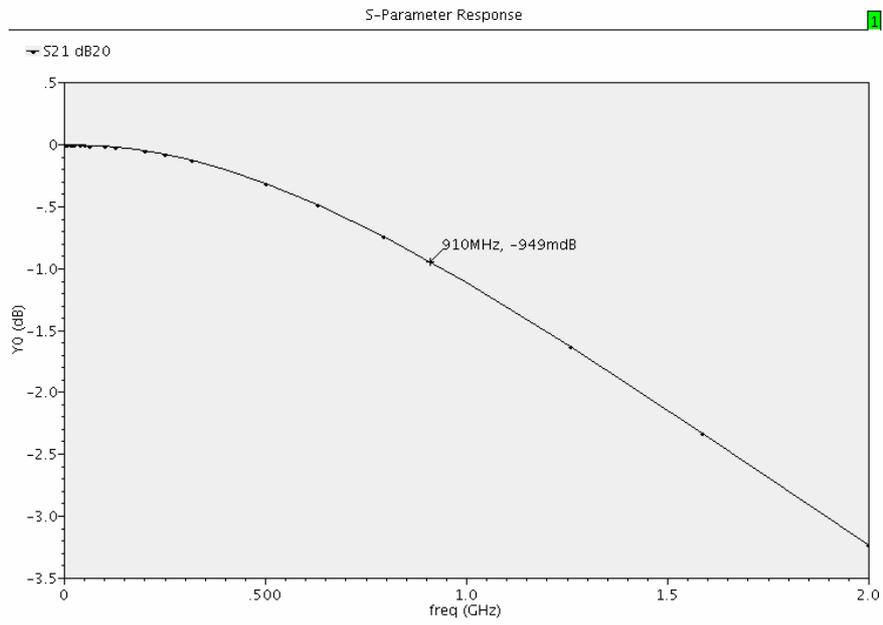


그림 3.40 트랜스미션라인의 AC응답 곡선

■ 전력 증폭기 시뮬레이션 결과

기생 RC 성분을 고려한 출력 반사 손실(S22)의 post-레이아웃 시뮬레이션 결과를 그림 3.41에 나타 내었다. 그리고 패키지(bond-wire, pad)에 의한 기생성분들 또한 시뮬레이션에서 고려 되었다. 입력의 경우 믹서의 출력과 바로 연결 되어 있기 때문에 입력손실(S11)에 대한 결과는 나타내지 않았다. 출력의 경우 외부 매칭 네트워크를 통한 50Ω 매칭이 915MHz에서 수행 되었음을 알 수 있다. 그 결과 출력 손실(S22)이 -35dB인 것을 알 수 있다.

900MHz의 입력 신호를 이용한 PSS 시뮬레이션은 그림 3.42에 나타내었다. 이 결과로부터 전력 증폭기의 선형성과 출력 전력 레벨을 알 수 있다. 그림 3.42의 오른쪽 P-1dB의 결과를 이용하여 전력 증폭기의 선형적으로 증폭할 수 있는 구간을 알 수 있다. 그 결과, 4dBm의 P-1dB를 얻을 수 가 있다. 그리고 전력이득은 13dB가 나온 것을 확인 하였다. 이것으로 0dBm까지 선형적인 출력 범위로 이 전력 증폭기를 이용할 수 있는 것을 확인 하였다. Post-레이아웃 시뮬레이션을 위한 전력 증폭기의 레이아웃은 그림 3.43에 나타 내었다. 그리고 Post-레이아웃 시뮬레이션 최종결과를 표 5에 정리 하였다.

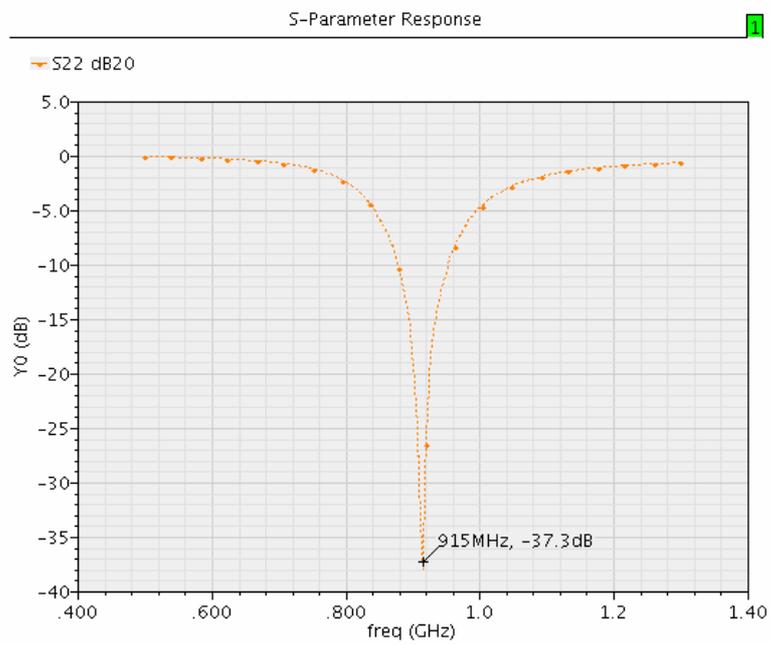


그림 3.41 S-parameter 시뮬레이션 결과 S22

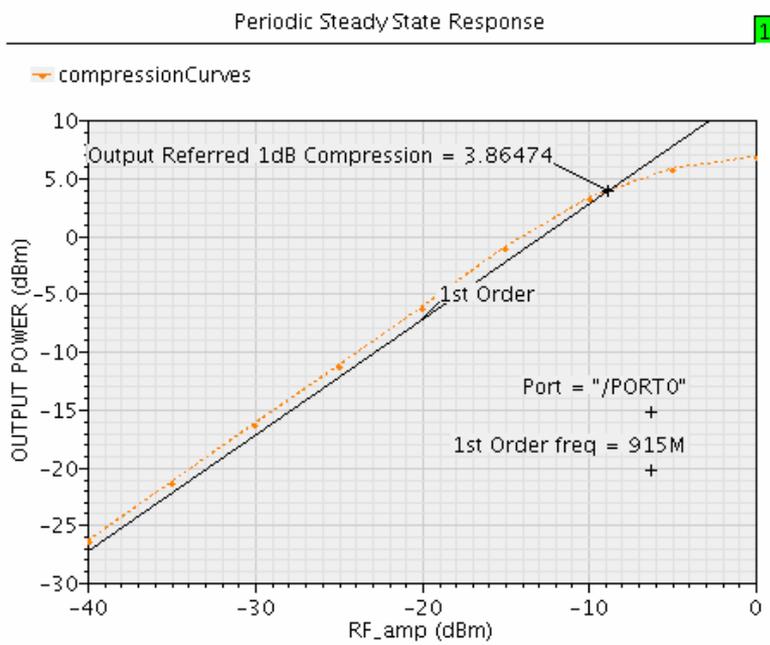


그림 3.42 전력 증폭기의 P-1dB 결과

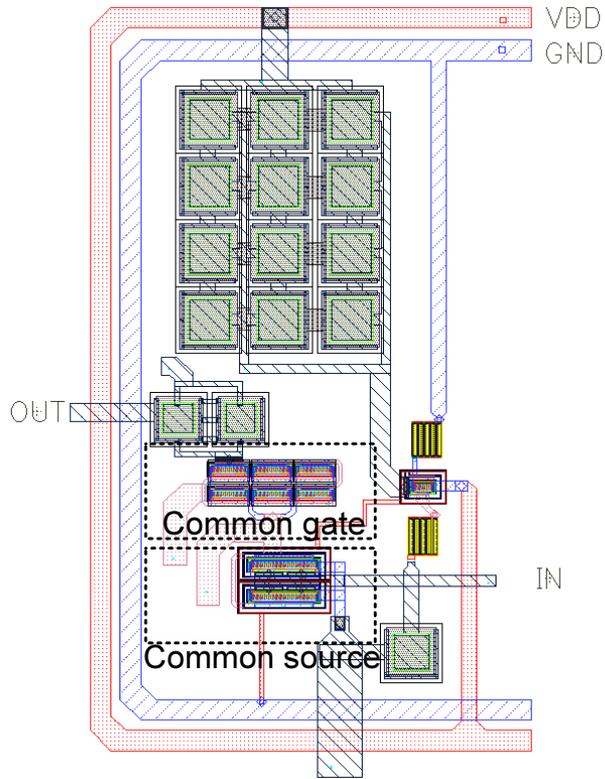


그림 3.43 post-레이아웃 시뮬레이션을 위한 전력 증폭기의 레이아웃

표 5 전력 증폭기의 시뮬레이션 결과

Parameter	Value
Output P-1dB	3.8dB
Maximum output power	0dBm
Power gain	13dB
S22 (output return loss)	-37dB
Current consumption	3.3mA

3.3 전송단 시뮬레이션

전송단을 구성하는 각 개별 블록의 시뮬레이션 검증은 앞 절에서 수행 되었다. 이번 절에서는 전송단 전체를 시뮬레이션을 통해 검증 한다. 그 결과를 실제 칩 테스트 결과와 비교하여 전체 송신단을 검증 하였다.

3.3.1 High level 시뮬레이션

High Level 시뮬레이션을 통해 이득 마진 구한 것을 그림 3.44에 간단히 나타내었다. 전송 단을 설계 할 때 최종 출력이 최대 0dBm 까지 선형적인 출력이 나오도록 해야 한다. 입력 레벨의 범위는 각 단의 역할에 따라 설계 목표치를 잡았다. (표6) 그 결과를 (표 7)에 정리 하였다.

시뮬레이션 결과를 통한 최종결과는 앞의 설계기술에서 시뮬레이션 결과 그림으로 나타내었다. 설계목표는 선형적인 동작을 허용하는 범위 내에서 원하는 이득을 가지는 각 단을 구성하는 것이다. 그 결과 선형성과 이득 마진 둘 다 만족 하면서 동작 하는 전송단을 구현 할 수 있다.

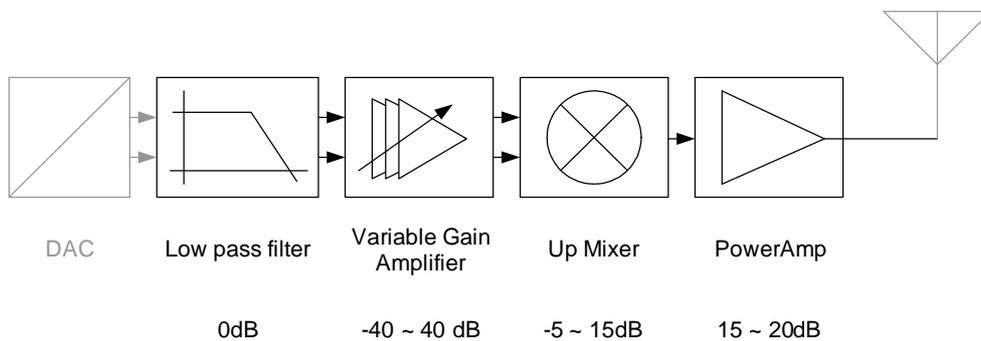


그림 3.44 전체 전송단의 블록 별 이득 마진

표 6: ZigBee 전송단 구성블록 설계 사양

전송단의 블록	성능 예상 결과
Up- conversion mixer	gain : 4dB, IIP3 : -19dBm
Power Amp	gain : 15dB ,P-1dB : 0dBm
VGA	gain range : 80dB (-40dB ~ 40dB)
LPF	pass-band gain : 0dB, tunable cut-off freq : 2~5MHz
TX output max power	0dBm

표 7: 시뮬레이션 검증을 통한 최종 결과

전송단의 블록	최종 시뮬레이션 결과
Up-conversion mixer	gain : 8dB, IIP3 : -17dBm
Power Amp	gain : 12dB ,P-1dB : 3dBm
VGA	gain range : 80dB (-40dB ~ 40dB)
LPF	pass-band gain : 0dB, tunable cut-off freq : 2~5MHz
TX output max power	0dBm

3.3.2 Pre-layout 시뮬레이션

회로 제작과 시뮬레이션은 cadence 社의 composer와 Analog Design Environment를 사용하였다. TSMC018 CMOS공정으로 제작 되었으며 시뮬레이션을 위한 공정 파라미터는 TSMC사에서 받아서 작업을 수행 하였다. 레이아웃은 virtuoso를 이용 하여 작업을 수행 하였다. 설계된 회로를 검증하기 위한 시뮬레이션 방법은 DC analysis, AC analysis, S-parameter analysis, PSS(periodic steady state) analysis를 이용하였다.

각 단을 하나로 연결한 전체 시뮬레이션 결과를 이 장에서 보일 것이다. 전송단의 최종 출력이 0dBm이 되기 위한 각 단의 이득 조절을 수행 하였으며 시뮬레이션 조건으로는 전송단의 입력에 5MHz의 주파수 정보를 갖는 200mVp-p 의 CW (Continuous sine Wave)를 인가하여 최종 출력의 스펙트럼과 파형을 확인 하였다. 시뮬레이션을 하기 위한 각 단을 연결한 회로도들 그림 3.45, 그림 3.46에 나타내었다. 전체 전송단의 시뮬레이션 결과는 50 Ohm 부하(antenna)에 로드 되는 최종 출력 파형과 스펙트럼을 확인한 것이다. 그림 3.47의 출력 스펙트럼은 PSS(Periodic Steady State) 시뮬레이션을 통해 검증한 것이다. 그 결과 0dBm의 출력 스펙트럼이 원하는 주파수(915MHz)에서 나오는 것을 확인 할 수 있었다. 그림 3.48은 최종 출력을 파형으로 확인 한 결과 이며 50 Ohm부하에 750mV의 신호파형이 나온 것을 알 수 있다.

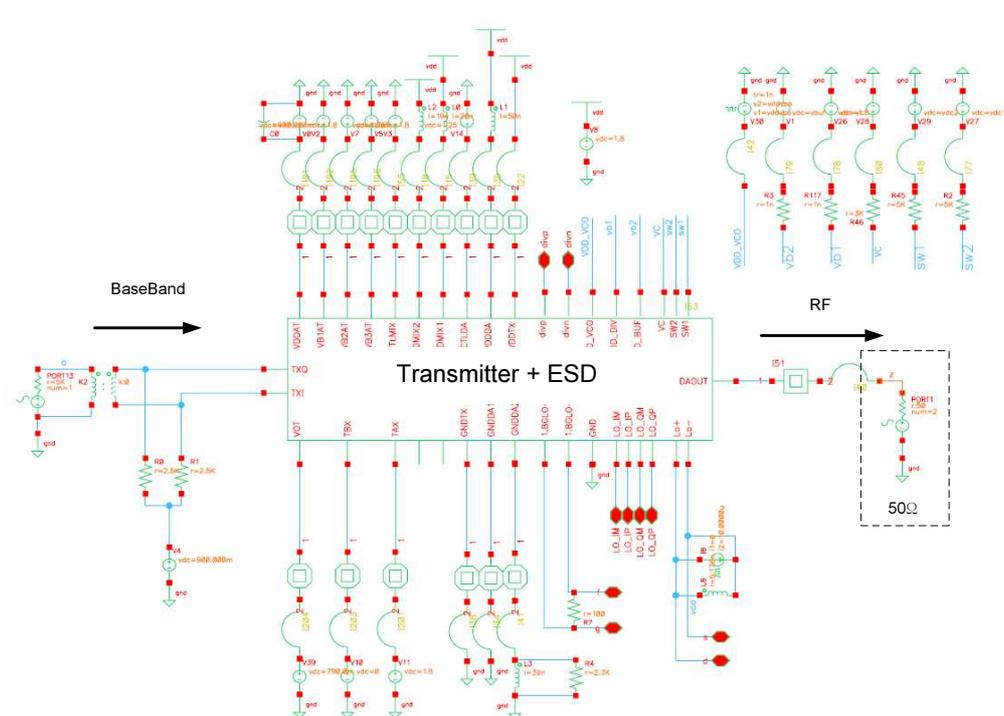


그림 3.45 전송 단 전체 pre-layout 시뮬레이션을 위한 테스트 벤치

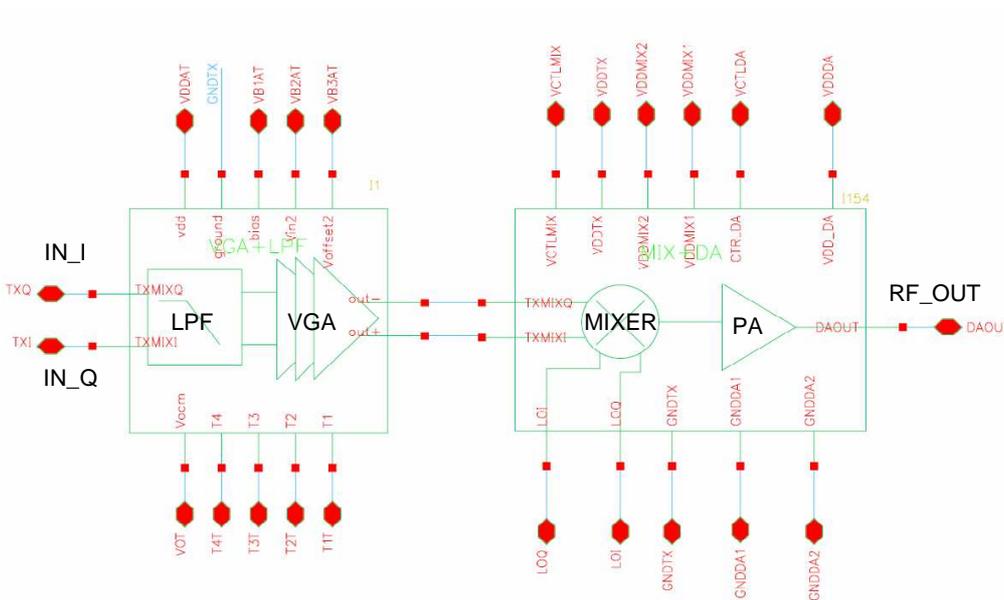


그림 3.46 테스트 벤치 내부의 각 단 구성 회로도

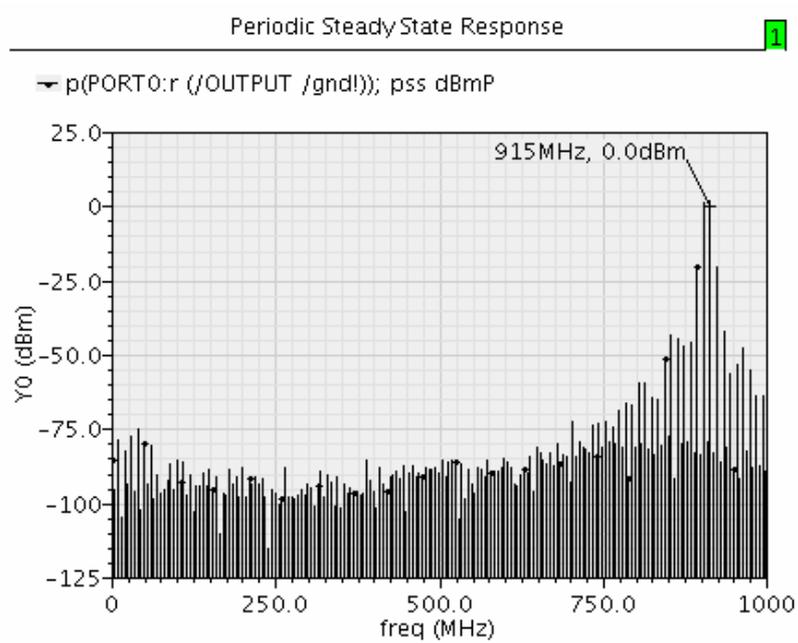


그림 3.47 전송단의 최종 출력 스펙트럼 시뮬레이션 결과

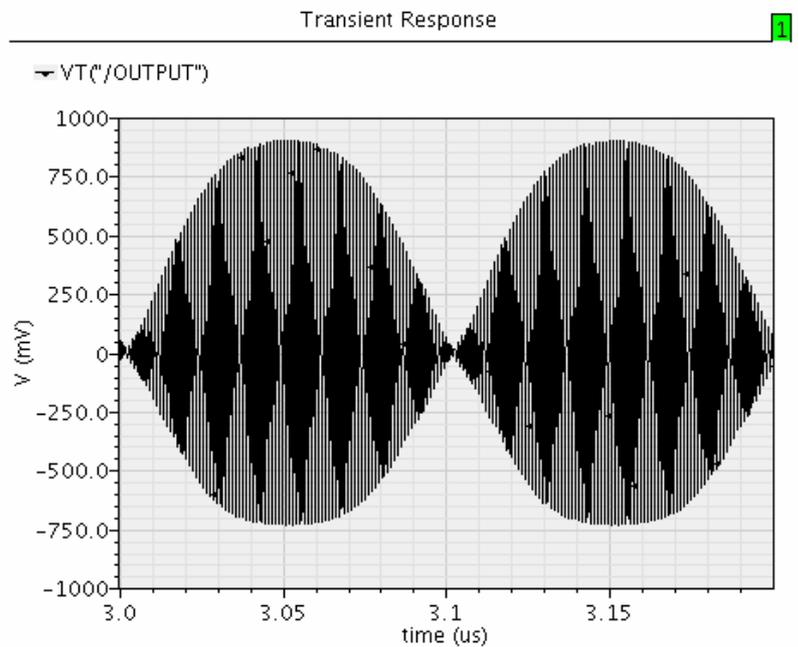


그림 3.48 전송단의 최종 출력 파형 시뮬레이션 결과

3.3.3 Post-layout 시뮬레이션

Post-layout 시뮬레이션을 위하여 사용한 툴은 DIVA를 이용하였다. 시뮬레이션을 위한 전송단 회로는 DRC와 LVS를 통과한 레이아웃으로 대체 한다. post-layout 시뮬레이션의 진행은 DIVA rule 파일을 이용하여 기생 커패시턴스와 저항을 레이아웃으로부터 추출하여 하나의 블록으로 만든 후 시뮬레이션 환경에서 기생 파라미터가 추출된 블록을 적용한다. 그 다음 신호 입/출력과 전원단자, 그리고 조절 단자들을 외부 실험 조건에 맞게 설정해 준 후 시뮬레이션을 수행 하면서 검증하는 절차를 거친다.

post-layout시뮬레이션은 일반적으로 기생 성분에 의해 주파수 응답과 이득이 낮아지는 결과가 나타난다. 각 블록 설계 시 이득 조절과 주파수 조절을 할 수 있도록 배치해 놓은 외부조정 단자를 이용하여 시뮬레이션 결과를 볼 수 있다. 그렇게 하여 pre-layout시뮬레이션 결과와 같은 결과가 나오도록 조정 하였다. post-layout 시뮬레이션을 하기 위한 레이아웃은 그림 3.50 에 보여 진다. 그림 3.49의 블록 (Transmitter_ESD) 안에 레이아웃으로부터 추출한 기생성분이 더해진 코어가 위치하게 되며, 실제 칩을 만들었을 때와 같은 환경으로 만들기 위해 기생 파라미터를 최대한 반영 하였다. 그림 3.49에서 보여지는 것과 같이 외부 조절단자, 전원 전압 핀 그라운드 핀 등의 입출력 포트에도 패드와 bond-wire의 기생 파라미터를 모델링 한 회로를 적용하였다. 그리고 신호의 입 출력에는 앞 절에서 언급한 트랜스미션 라인 모델을 적용하여 최대한 실제 환경과 가깝게 구현하여 실제 제작 했을 때의 실험 결과와 오차를 줄이고자 하였다.

완성된 레이아웃을 이용한 post-layout 시뮬레이션 결과를 그림 3.51, 그림 3.52

에 나타내었다. 이미 각 블록 별(LPF, VGA, Up-conversion mixer, Power Amp) 시뮬레이션과 post-simulation을 한 다음, 전체 블록을 구성 하여 레이아웃 작업을 했기 때문에 pre-layout 시뮬레이션 결과와 많이 차이 나지 않은 것을 알 수 있다. 기생 커패시터와 저항으로 인해 이득과 동작 주파수가 영향을 받았지만 post-layout 시뮬레이션 검증을 통해 기생 성분들의 영향을 줄일 수 있었다. 그리고 각 단의 이득조절 단자를 이용하여 원하는 주파수(915MHz)에서 원하는 출력 전력(OdBm)을 얻도록 조정하는 작업이 있었다. 그림 3.51은 전송단의 시뮬레이션 출력 스펙트럼을 나타낸 것이다. 입력(4MHz, 200mVp-p)신호를 전송단의 입력인 LPF에 인가하고 LO(910MHz, -5dBm)를 믹서에 인가하여 전송 단 출력 단자에서 915MHz의 주파수를 갖는 0.377dBm의 전력을 확인 할 수 있다. 그림 3.52는 전송단의 최종 출력 파형을 50 Ohm 부하에 걸리는 전압 파형을 통해 확인 하였다.

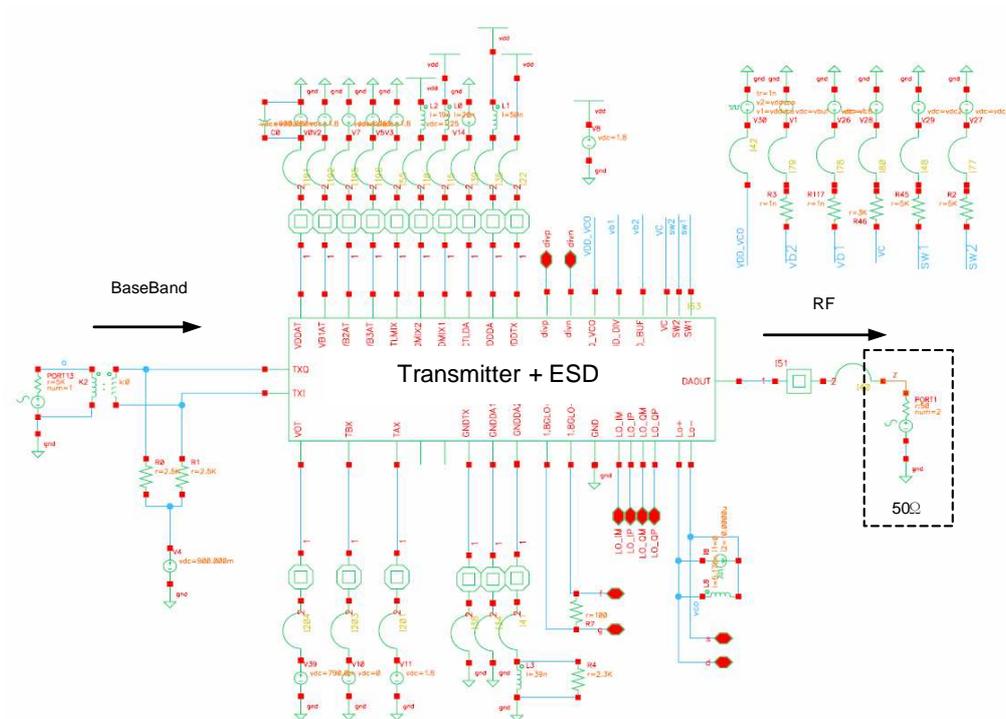


그림 3.49 Post-layout 시뮬레이션을 위한 테스트 벤치

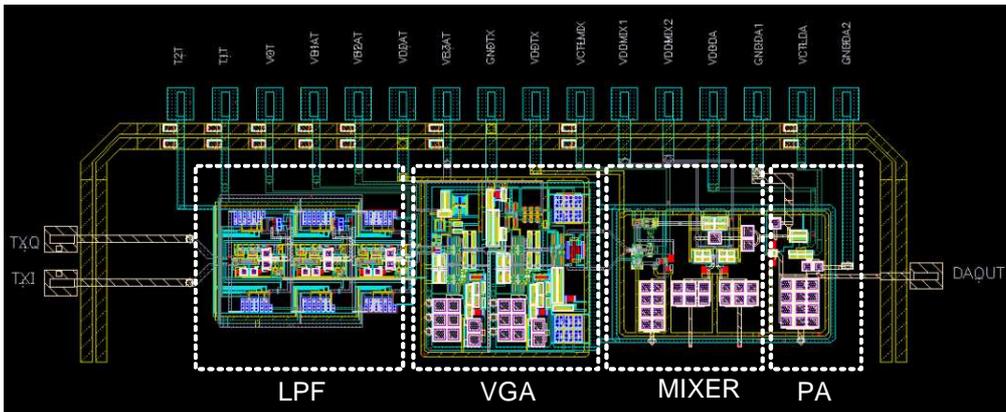


그림 3.50 post-layout 시뮬레이션을 위한 전송단 전체 레이아웃

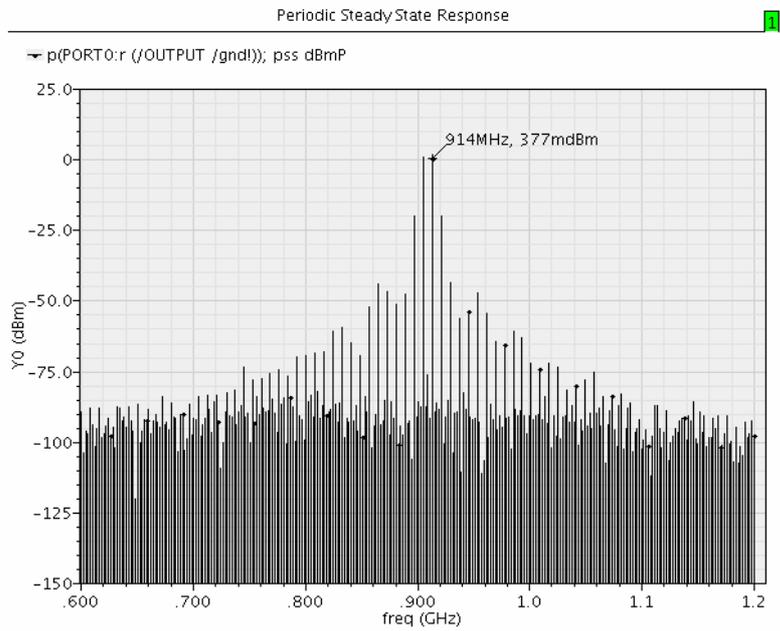


그림 3.51 전송단의 최종 출력 스펙트럼 post-layout시뮬레이션 결과

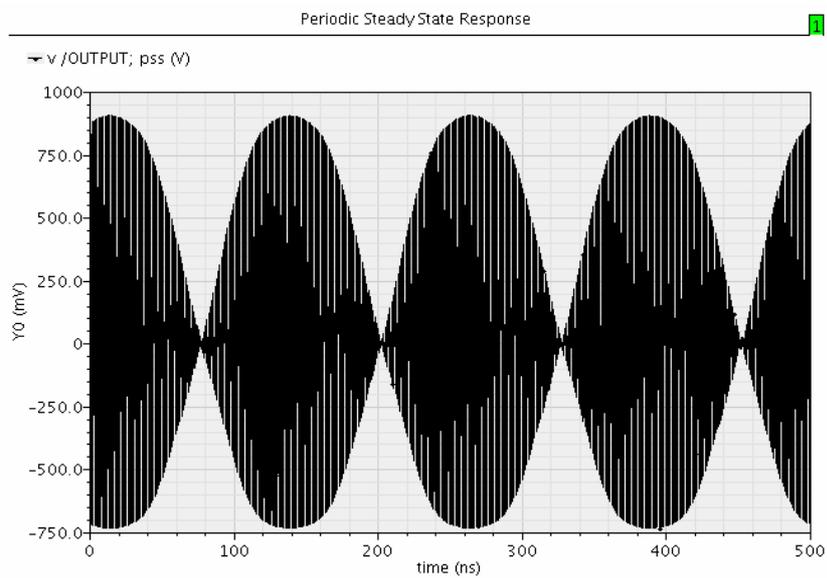


그림 3.52 전송단의 최종 출력 파형 Post-layout시뮬레이션 결과

3 Chip 제작 및 TEST 결과

실제 제작된 칩 사진을 그림 4.1에 나타내었다. PCB로 제작된 전송 단을 측정하기 위한 실험 환경이 그림 4.2, 그림 4.3 에 보인 것처럼 구성 하였다. 전원 공급기에서 1.8V의 전원을 공급하며 각 단의 이득 조절 단자를 테스트 핀으로 뽑아서 출력 결과에 따른 이득 조절을 수행하였다. 테스트는 post-레이아웃 시뮬레이션과 같은 조건으로 5MHz 500mVp-p 신호를 인가하여 915MHz에서 0dBm이 나오는 것을 스펙트럼 어날라이저를 통해 확인 하였다(그림 4.4). 선형적인 최대 출력 범위를 알아보는 P-1dB는 입력 레벨을 증가시키면서 포화되는 출력 전력 레벨을 측정 하였다. 그리고 그 결과를 그림 4.5에 나타 내었다. 그림 4.6 은 Vctrl의 변화에 따라 transmitter RF front-end의 전력 변환 이득을 보여 준다. (트랜스컨덕턴스단에서의 이득-조정 모드). 그림 4.6에서 보는 것과 같이 dB-선형인 이득 변화 구간은 40dB로 측정 되었다. 그림 4.7은 측정된 출력 반사 손실(S22)를 측정 한 결과이다. 매칭 네트워크를 통한 출력 매칭 작업을 수행 하였으며 그 결과 원하는 주파수(915MHz)에서 -10dB이하의 손실이 측정 되었다. 이것으로 송신단의 출력에서 안테나(50 Ω)까지 반사 없이 전달 됨을 알 수 있다. 그리고 최종 적으로 제작된 송신단의 측정 결과를 표 9에 정리하였다.

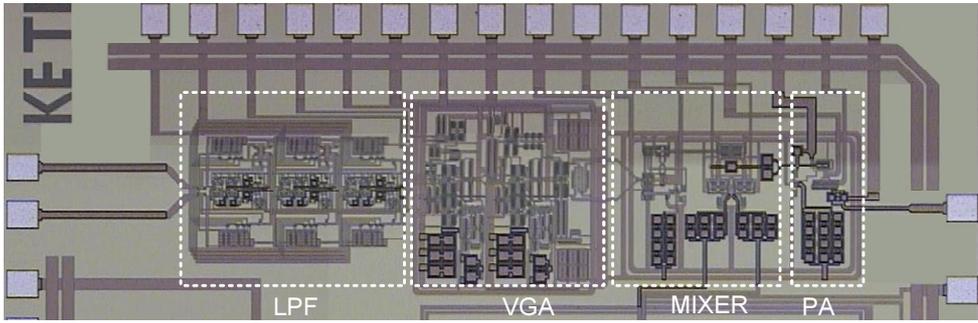


그림 4.1 제작된 전송단 전체 칩 사진

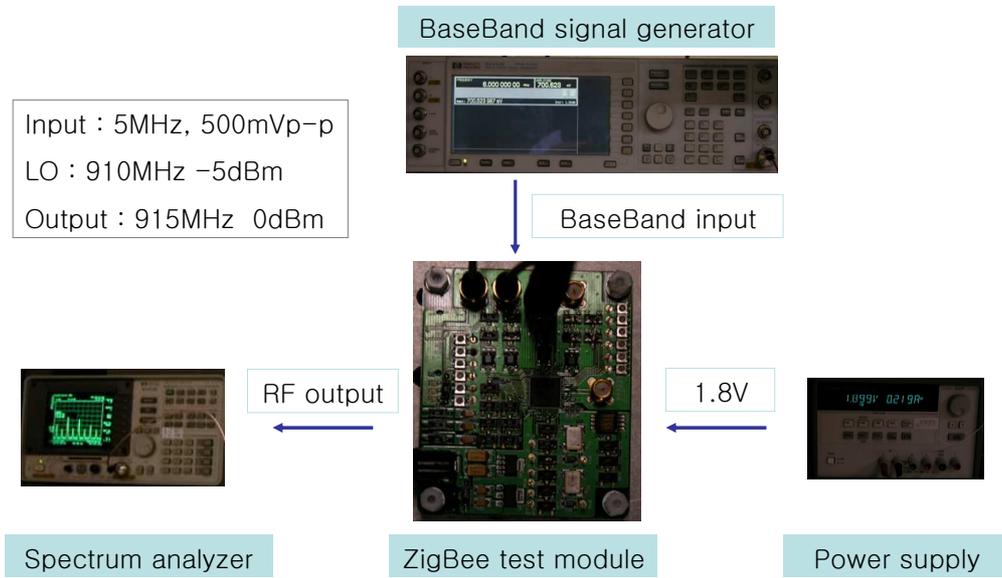


그림 4.2 전송단의 최종 스펙트럼을 보기 위한 테스트 벤치

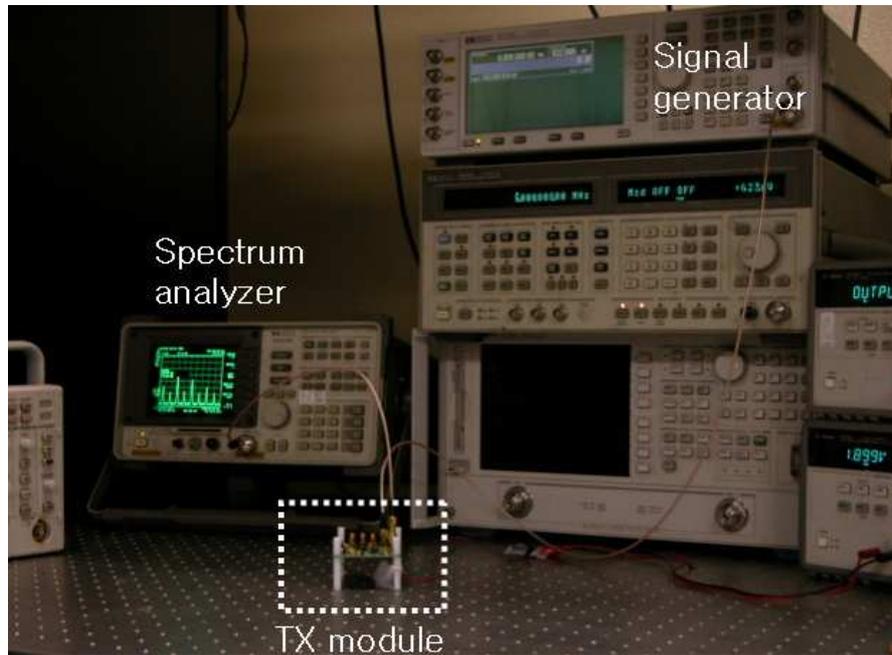


그림 4.3 전체 테스트 환경 사진

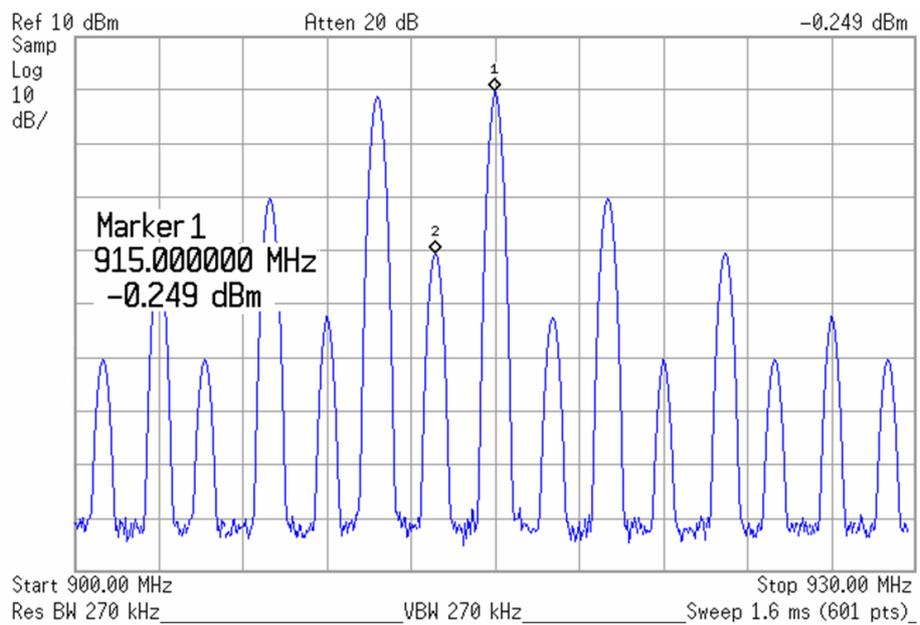


그림 4.4 측정된 전송단의 최종 출력 스펙트럼

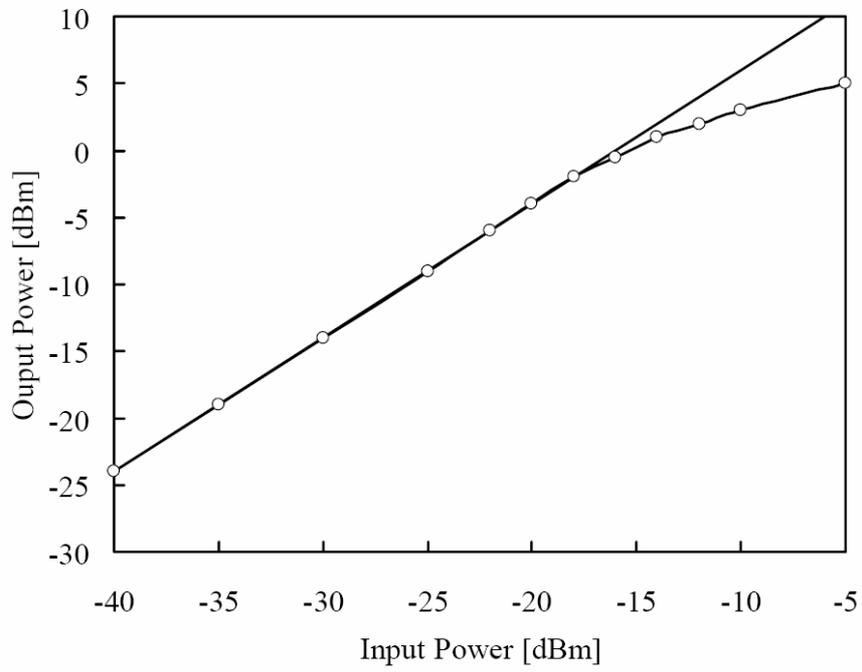


그림 4.5 측정된 전송단의 P-1dB

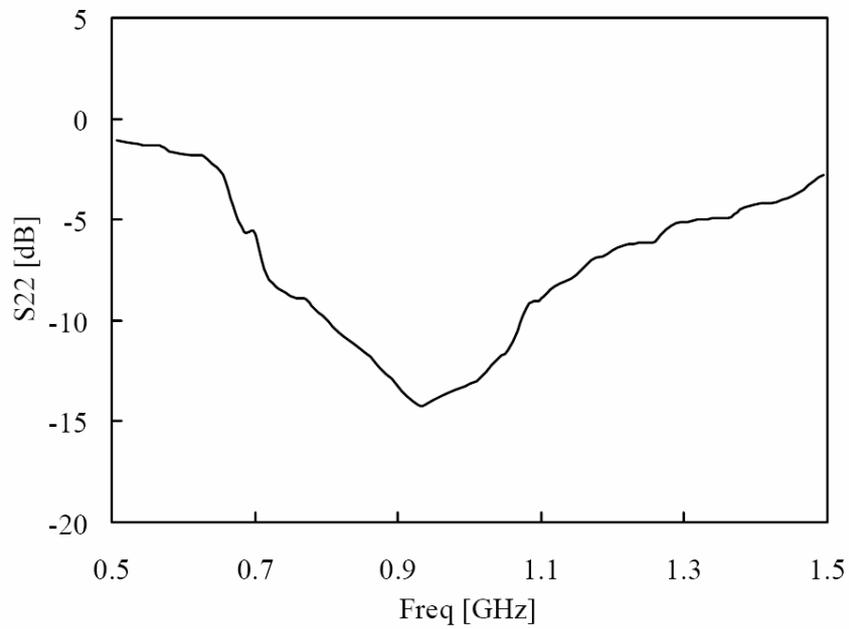


그림 4.7 전체 전송단의 측정된 반사 손실(S_{22})

■ 전류 소모 비교

설계된 900MHz ZigBee용 송신단은 칩 이 소모하는 전류는 13mA 로 측정 되었다. 기존의 이미 나와있는 칩과 비교할 수 있는 칩은 2.4GHz의 주파수 범위를 사용하고 있는 OKI 社 의 송신단 칩이 있다[16]. 이 칩의 경우, GSMC 0.15 μ m공정을 사용 하였으며 송신단 칩에 포함된 기능 블록은 MIXER, PLL, PA로 구성되어 있다. 정확한 비교는 어렵지만 이미 나와있는 상용 칩과 비교해 보았을 때 다른 점은 PLL이 추가되어 있으며 LPF와 VGA가 포함 되지 않은 것이다. 비록 정확한 비교는 어렵지만, 표 8에서 두 칩의 전류 소모에 대해서 비교한 것을 나타내었다.

표 8 상용 칩과 제작된 송신단과 비교

	This work (900MHz ZigBee Transmitter)	OKI 社 2.4GHz ZigBee Transmitter
Process	TSMC 0.18 μ m CMOS	GSMC 0.15 μ m CMOS
구성 블록	LPF, VGA, MIXER, PA	PLL, MIXER, PA
전류소모	13mA @ 0dBm output power	17mA @ 0dBm output power

표9 측정된 송신단의 성능 정리

Parameters	Value
Operation frequency	915 MHz
Output P-1dB	2 (at highest gain) dBm
OIP3	12 (at highest gain) dBm
Gain-range variation	> 46 dB
LO suppression	30 dB
Supply voltage	1.8 V
Current consumption	13mA
Chip size	2.5 mm x 1.5 mm
Technology	0.18 μ m CMOS

4 결론

Wireless Personal Area Networks(WPAN, IEEE 802.15.3)표준에 만족하는 ZigBee용 응용을 위해, 저전력으로 구동되는 915MHz 0.18um CMOS 전송단(transmitter)를 구현하였다. 전송단은 LPF (Low Pass Filter), VGA (Variable Gain Amplifier), 상향 믹서(Up-conversion Mixer), 전력 증폭기(Power-Amp)로 이루어져 있으며, 각 단마다 저전력으로 동작하기 위한 회로 설계에 방법을 수용하였다. 또한 넓은 이득 범위를 가지는 송신단을 구현 하기 위해 각 블록 별로 선형성 (Linearity)을 높이는 기술이 수용 하였다. LPF는 통신회로 구현 시 active-RC 구조가 가지는 장점을 이용하여 저사양 저전력으로 동작 하도록 설계하였고 커패시터 어레이를 이용하여 가변적 (2MHz ~ 5MHz)으로 cut-off 주파수 조절 할 수 있게 하였다. VGA는 넓은 가변 이득 범위를 얻을 수 있는 V-I 이득 조정 회로와 VGA 코어를 수용 하여 -40dB ~ 40dB(80dB)의 가변 이득을 갖도록 설계 되었다. 그리고 변환 이득 조절이 가능한 트랜스 컨덕턴스단을 갖는 구조를 사용하여 선형성이 높아진 믹서가 설계 되었다. 이 논문에서 장점으로 부각 시킬 수 있는 것은 적은 전류소모로 원하는 출력 전력을 낼 수 있는 전력 증폭기를 구현하기 위해 공통 게이트(common gate)단을 이용한 Class A 전력 증폭기가 설계 되었다. 전송단에서 요구되는 이득과 선형성을 만족시키면서 낮은 전류를 소모하기 위해 새로운 구조의 전력 증폭기가 제안 되었으며 실제 구현하여 그 성능과 전류소모를 검증 하였다. 그 결과 ZigBee용으로 사용하기 위한 요구 사항들을 맞춘 송신단을 제작하여 실제 칩으로 만들었다. 실제 실험

측정과의 오차를 줄이기 위해 시뮬레이션은 post-레이아웃 시뮬레이션을 이용하여 검증 하였고 기생 파라미터 값들을 모델링 하여 시뮬레이션 검증에 적용 하였다. 그 결과 넓은 가변 이득 범위를 갖고 13mA의 비교적 낮은 전류로 동작하는 ZigBee용 915MHz 송신단을 제작하였다.

참고문헌

- [1] Jose A. Gutierrez, and E. H. Callaway, *Low-Rate Wireless Personal Area Networks*, IEEE Press 2004.
- [2] <http://www.zigbee.org>
- [3] Razavi, Behzad. "RF Microelectronics". Prentice Hall, Upper Saddle River, N.J. 1998. pp. 38-41, 48-50, 131-132, 138-143, 182-187.
- [4] waleed Khalil, Tsung-Yuan Chang. "A Highly integrated analog front-end for 3G". *IEEE journal of solid-state circuit*, vol.38, no.,may 2003
- [5] Anna M. Durham, William Redman-White, John B. Hughes. "Highly-linearity continuous-time filter in 5-V VLSI CMOS" *IEEE journal of solid-state circuits*. Vol.27, no.29, September 1992
- [6] E. Baguley *et al.*, *Reference Data for Radio Engineers*. New York: Sams, 1975.
- [7] Hughes, "Analog techniques for very large scale integration," Ph.D. dissertation, Southampton Univ., Southampton, U.K., 1992.
- [8] M. M. Green and S. Joshi, "A 1.5-V CMOS VGA Based on Pseudo-Differential Structures," *Inter. Sym. On Cir. And Syst.*, pp. IV-461-IV-464, May 2000.
- [9] C.-C Chang, M.-L. Lin, and S.-I. Liu, "CMOS Current-mode Exponential-Control -Variable-Gain Amplifier", *IEE Electronics Letters*, vol. 37, no. 14, pp 868-869, July 2001.

- [10] S. Otaka, G. Takemura, and H. Tanimoto, "A Low-Power Low- Noise Accurate Linear-in-dB Variable-Gain Amplifier with 500-MHz Bandwidth," *J. of Solid-State Circuits*, vol. 35, no. 12, pp.1942-1948, Dec. 2000.
- [11] Quoc-Hoang Duong, Le Quan, and S.G.Lee, "An all CMOS 84-dB-Linear Low Power Variable Gain Amplifier", *IEEE VLSI Symposium*, pp. 114-117, Jun. 2005.
- [12] Lee, Thomas H. "the Design of CMOS Radio Frequency Circuits". Cambridge University Press, Cambridge, United Kingdom, 1999. pp. 309-313, 319-321, 324.
- [13]F. Krummenacher, et al. "A 4-MHz CMOS Continuous-Time Filter with On-Chip Automatic Tuning", *IEEE Journal of Solid-State Circuits*, vol. 23, pp. 750-758, June 1988.
- [14] Trung-Kien Nguyen, Sang-Gug Lee, and Won-Seok Oh, "A 900 MHz Low Voltage Low Power Variable Gain CMOS Transmitter Front-end," *IEEE, Asian Solid-State Circuits Conference*", *IEEE Asian Solid-State Circuits Conference(A-SSCC05)*, pp. 357-360, Hsinchu, Taiwan, November 2005
- [15] Mona M. Hella, Mohammed Ismail "RF CMOS Power Amplifiers theory, design and implementation" 2002 Kluwer Academic Publishers
- [16] okitechno, data sheet "Low Power Zigbee Transmitter"

ABSTRACT

Implementation of a CMOS RF Transmitter For ZigBee Applications using power amp with low power consumption

Kwon, Jae Kwan

Dept. of Electrical and Electronic Eng.

The Graduate School

Yonsei University

In this thesis, we implement ZigBee RF transmitter for IEEE 802.15.4 application using CMOS process. And we proposed design technique and theory that operate high performance and low power transmitter which consist of Low Pass Filter (LPF), Variable Gain Amplifier (VGA), Up conversion Mixer (Mixer) and Power Amplifier (PA). LPF in the transmitter is designed to control cut-off frequency between 2MHz ~ 5MHz and VGA that adapt V-I control circuit and VGA core circuit which have wide control range is designed to control gain range between -40dB ~ 40dB(80dB). And Up-Mixer that can control transconductance using transconductance-stage is designed to have

high linearity. In the last, Class A power amplifier that is added common source stage is designed to operate low power. Simulation is verified by post-layout simulation to reduce experimental offset, and adapted post-layout simulation by modeling parasitic parameter. It is tested by implemented chip using TSMC 0.18 μ m CMOS design rule.

As a result, transmitter is implemented high performance that control gain linearly and operated in 915MHz frequency with required output power level (0dBm). Compare with other ZigBee Application transmitter, it measured low that consume 13mA.

Key words: ZigBee, CMOS 0.18 μ m, LPF, VGA, MIXER, PA,