



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년07월23일
(11) 등록번호 10-1538457
(24) 등록일자 2015년07월15일

(51) 국제특허분류(Int. Cl.)

G01R 29/02 (2006.01)

(21) 출원번호 10-2014-0061735

(22) 출원일자 2014년05월22일

심사청구일자 2014년05월22일

(56) 선행기술조사문헌

JP2001127623 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

최우영

권대현

박영석

(74) 대리인

권혁수, 송윤호

전체 청구항 수 : 총 13 항

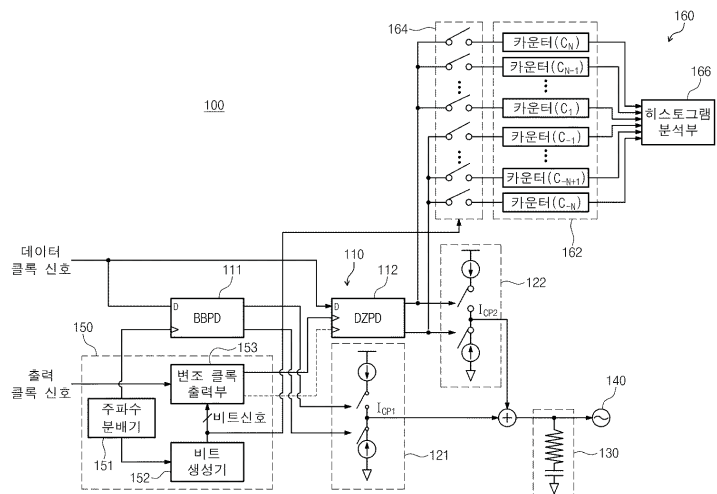
심사관 : 강민구

(54) 발명의 명칭 클럭 데이터 복원 회로의 지터 측정 장치 및 지터 측정 방법

(57) 요약

본 발명은 클럭 데이터 복원 회로의 지터 측정 장치 및 지터 측정 방법에 관한 것으로, 데이터 클럭 신호와 출력 클럭 신호 간의 위상 차이를 검출하는 위상 검출기를 포함하는 클럭 데이터 복원 회로의 지터를 측정하는 장치로서, 위상 검출기는 출력 클럭 신호로부터 서로 다른 위상을 갖도록 변조된 변조 클럭 신호들과 데이터 클럭 신호 간의 위상을 비교하여 비교 신호를 출력하는 위상 비교부를 포함하고, 변조 클럭 신호들 각각에 대응하는 비교 신호의 누적 값을 비교하여 지터를 측정하는 지터 측정부를 포함하는 클럭 데이터 복원 회로의 지터 측정 장치를 제공한다.

대표도



명세서

청구범위

청구항 1

삭제

청구항 2

데이터 클럭 신호와 출력 클럭 신호 간의 위상 차이를 검출하는 위상 검출기를 포함하는 클럭 데이터 복원 회로의 지터를 측정하는 장치로서,

상기 위상 검출기는 상기 출력 클럭 신호로부터 서로 다른 위상을 갖도록 변조된 변조 클럭 신호들과 상기 데이터 클럭 신호 간의 위상을 비교하여 비교 신호를 출력하는 위상 비교부를 포함하고,

상기 변조 클럭 신호들 각각에 대응하는 비교 신호의 누적 값을 비교하여 상기 지터를 측정하는 지터 측정부를 포함하며,

상기 클럭 데이터 복원 회로는,

상기 비교 신호에 따라 전하 공급량을 조절하는 전하 펌프부;

상기 전하 공급량을 누적하여 조절 신호를 출력하는 루프 필터부; 및

상기 조절 신호에 따라 가변적인 출력 클럭 신호를 생성하는 전원 제어 발진기를 더 포함하며,

상기 위상 검출기는, 상기 변조 클럭 신호들을 순차적으로 입력받고, 순차적으로 입력되는 변조 클럭 신호와 상기 데이터 클럭 신호의 위상을 비교하여 상기 비교 신호를 출력하는 클럭 데이터 복원 회로의 지터 측정 장치.

청구항 3

제2 항에 있어서,

상기 출력 클럭 신호로부터 상기 변조 클럭 신호들을 생성하고, 상기 변조 클럭 신호들을 순차적으로 상기 위상 검출기로 입력하는 변조 클럭 생성부를 더 포함하는 클럭 데이터 복원 회로의 지터 측정 장치.

청구항 4

제3 항에 있어서,

상기 변조 클럭 생성부는,

상기 출력 클럭 신호의 주파수를 분배하여 분주 클럭 신호를 생성하는 주파수 분배기;

상기 분주 클럭 신호의 클럭 에지에 응답하여 비트 신호를 생성하는 비트 생성기; 및

상기 비트 신호에 따라 상기 변조 클럭 신호들을 순차적으로 출력하는 변조 클럭 출력부를 포함하는 클럭 데이터 복원 회로의 지터 측정 장치.

청구항 5

제3 항에 있어서,

상기 변조 클럭 생성부는, 상기 출력 클럭 신호의 미리 설정된 기준 위상으로부터 선형적인 위상 차이를 갖도록 상기 변조 클럭 신호들을 변조하여, 상기 변조 클럭 신호들 각각을 동일한 시간 주기 동안 상기 위상 검출기로 입력하는 클럭 데이터 복원 회로의 지터 측정 장치.

청구항 6

제2 항에 있어서,

상기 위상 검출기는,

상기 데이터 클럭 신호와 상기 출력 클럭 신호의 위상을 비교하여 제1 비교 신호를 출력하는 제1 위상 비교부; 및

상기 데이터 클럭 신호와 상기 변조 클럭 신호들의 위상을 순차적으로 비교하여 제2 비교 신호를 출력하는 제2 위상 비교부를 포함하는 클럭 데이터 복원 회로의 지터 측정 장치.

청구항 7

제6 항에 있어서,

상기 지터 측정부는,

상기 변조 클럭 신호들과 일대일 대응하고, 상기 변조 클럭 신호들에 대응하여 상기 비교 신호의 누적 값을 측정하는 복수의 카운터; 및

상기 제2 위상 비교부와 상기 복수의 카운터 사이에 연결되고, 상기 위상 검출기로 순차적으로 입력되는 변조 클럭 신호에 대응하여, 상기 복수의 카운터 중의 적어도 하나를 선택하는 선택 회로를 포함하는 클럭 데이터 복원 회로의 지터 측정 장치.

청구항 8

제7 항에 있어서,

상기 지터 측정부는,

상기 복수의 카운터 각각에 의해 측정된 누적 값을 히스토그램 분석하여 지터를 측정하는 히스토그램 분석부를 더 포함하는 클럭 데이터 복원 회로의 지터 측정 장치.

청구항 9

제2 항에 있어서,

상기 위상 검출기는, 서로 다른 변조 클럭 신호를 입력받아, 상기 데이터 클럭 신호와의 위상을 비교하여 상기 비교 신호를 출력하는 복수의 위상 비교기를 포함하고,

상기 지터 측정부는 상기 복수의 위상 비교기 각각으로 출력되는 비교 신호의 누적 값을 비교하여 상기 지터를 측정하는 클럭 데이터 복원 회로의 지터 측정 장치.

청구항 10

제9 항에 있어서,

상기 지터 측정부는, 상기 복수의 위상 비교기와 일대일 대응하도록 연결되고, 대응하는 위상 비교기로부터 출력되는 비교 신호의 누적 값을 측정하는 복수의 카운터를 포함하는 클럭 데이터 복원 회로의 지터 측정 장치.

청구항 11

데이터 클럭 신호와 제1 클럭 신호의 위상을 비교하는 위상 검출 장치의 지터를 측정하는 장치로서,

상기 제1 클럭 신호를 서로 다른 위상을 갖도록 변조하여 변조 클럭 신호들을 생성하는 변조 클럭 생성부;

상기 변조 클럭 신호들 각각의 위상을 상기 데이터 클럭 신호와 비교하여 비교 신호를 출력하는 위상 검출기; 및

상기 변조 클럭 신호들 각각에 대응하는 비교 신호의 누적 값을 비교하여 상기 지터를 측정하는 지터 측정부를 포함하는 지터 측정 장치.

청구항 12

제11 항에 있어서,

상기 위상 검출기는, 순차적으로 입력되는 변조 클럭 신호와 상기 데이터 클럭 신호의 위상을 비교하고,

상기 지터 측정부는, 상기 위상 검출기로 입력되는 서로 다른 변조 클럭 신호 각각에 대응하여 상기 비교 신호의 누적 값을 개별적으로 측정하는 복수의 카운터를 포함하는 지터 측정 장치.

청구항 13

삭제

청구항 14

데이터 클럭 신호와 출력 클럭 신호 간의 위상 차이를 검출하는 위상 검출기를 포함하는 클럭 데이터 복원 회로의 지터를 측정하는 방법으로서,

상기 출력 클럭 신호의 위상을 변조하여 서로 다른 위상을 갖는 변조 클럭 신호들을 생성하는 단계; 및

상기 출력 클럭 신호로부터 서로 다른 위상을 갖도록 변조된 변조 클럭 신호들과 상기 데이터 클럭 신호 간의 위상을 비교하여 비교 신호를 출력하고, 상기 변조 클럭 신호들 각각에 대응하는 비교 신호의 누적 값을 비교하여 상기 지터를 측정하는 단계를 포함하는 클럭 데이터 복원 회로의 지터 측정 방법.

청구항 15

제14 항에 있어서,

상기 변조 클럭 신호들을 상기 위상 검출기로 순차적으로 입력하는 단계를 더 포함하는 클럭 데이터 복원 회로의 지터 측정 방법.

발명의 설명

기술 분야

[0001] 본 발명은 클럭 데이터 복원 회로(clock and data recovery circuit)의 지터(jitter)를 측정하는 장치 및 방법에 관한 것이다.

배경 기술

[0002] 클럭 데이터 복원 회로(Clock and Data Recovery circuit)는 잡음이 있는 데이터에 대해 데이터율(data rate)에 맞는 클럭을 복원하고, 데이터를 샘플링(sampling)하여 깨끗한 데이터로 복원하는 장치이며, 현재 대부분의 데이터 수신기에 없어서는 안되는 중요한 회로이다. 도 1은 종래의 클럭 데이터 복원 회로의 구성도이다. 일반적으로, 클럭 데이터 복원 회로는 위상 검출기(11), 전하 펌프부(12), 루프 필터부(13), 및 전원 제어 발진기(14)로 이루어진다. 위상 검출기 중 선형 위상 검출기는 데이터 클럭 신호와 출력 클럭 신호, 둘 중의 어느 것이 빠르지와, 얼마나 빠르지를 모두 판단할 수 있으나, 고속 동작이 어렵다는 단점을 갖는다. 위상 검출기 중 뱅뱅 위상 검출기(Bang-Bang Phase Detector)는 고속 동작이 가능하나, 데이터 클럭 신호와 출력 클럭 신호 중의 어떤 것이 위상이 더 빠르지만을 판단할 수 있다.

[0003] 한편, 반도체 회로의 제작 비용은 점점 줄어들고 있으나, 이를 테스트하는 비용은 줄지 않고 있다. 예를 들어, 반도체 회로의 지터(jitter)를 측정하기 위해서는 고속으로 동작하고 고해상도를 갖는 특별한 비교기를 필요로 하게 되며, 이는 하드웨어 비용의 증가를 초래하며, 하드웨어 설계에 있어 제약 사항으로 작용한다. 또한, 종래의 지터 측정 장치는 기준 클럭(reference clock)을 추가적으로 필요로 하며, 기준 클럭을 제공받아야 하므로, 클럭 데이터 복원 회로와의 연동에 있어 적합하지 않다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 클럭 데이터 복원 회로의 지터(jitter)를 간단하고 효율적으로 측정할 수 있는 장치 및 방법을 제공하는 것을 목적으로 한다.

[0005] 본 발명이 해결하고자 하는 다른 과제는 적은 면적 및 낮은 전력 소모 특성을 갖는 동시에, 다중-단계의 위상 검출이 가능한 클럭 데이터 복원 회로, 이의 지터 측정 장치 및 방법을 제공하는 것에 있다.

[0006] 본 발명이 해결하고자 하는 과제는 이상에서 언급된 과제로 제한되지 않는다. 언급되지 않은 다른 기술적 과제

들은 이하의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0007] 본 발명의 일 측면에 따른 클록 데이터 복원 회로의 지터 측정 장치는, 데이터 클록 신호와 출력 클록 신호 간의 위상 차이를 검출하는 위상 검출기를 포함하는 클록 데이터 복원 회로의 지터를 측정하는 장치로서, 상기 위상 검출기는 상기 출력 클록 신호로부터 서로 다른 위상을 갖도록 변조된 복수의 변조 클록 신호와 상기 데이터 클록 신호 간의 위상을 비교하여 비교 신호를 출력하는 비교부를 포함하고, 상기 복수의 변조 클록 신호 각각에 대응하는 비교 신호의 누적 값을 비교하여 상기 지터를 측정하는 지터 측정부를 포함한다.
- [0008] 일 실시 예로, 상기 클록 데이터 복원 회로는, 상기 비교 신호에 따라 전하 공급량을 조절하는 전하 펌프부; 상기 전하 공급량을 누적하여 조절 신호를 출력하는 루프 필터부; 및 상기 조절 신호에 따라 가변적인 출력 클록 신호를 생성하는 전원 제어 발진기를 더 포함하며, 상기 위상 검출기는, 상기 변조 클록 신호들을 순차적으로 입력받고, 순차적으로 입력되는 변조 클록 신호와 상기 데이터 클록 신호의 위상을 비교하여 상기 비교 신호를 출력할 수 있다.
- [0009] 일 실시 예로, 상기 클록 데이터 복원 회로의 지터 측정 장치는, 상기 출력 클록 신호로부터 상기 변조 클록 신호들을 생성하고, 상기 변조 클록 신호들을 순차적으로 상기 위상 검출기로 입력하는 변조 클록 생성부를 더 포함할 수 있다.
- [0010] 일 실시 예로, 상기 변조 클록 생성부는, 상기 출력 클록 신호의 주파수를 분배하여 분주 클록 신호를 생성하는 주파수 분배기; 상기 분주 클록 신호의 클록 에지에 응답하여 비트 신호를 생성하는 비트 생성기; 및 상기 비트 신호에 따라 상기 변조 클록 신호들을 순차적으로 출력하는 변조 클록 출력부를 포함할 수 있다.
- [0011] 일 실시 예로, 상기 변조 클록 생성부는, 상기 출력 클록 신호의 미리 설정된 기준 위상으로부터 선형적인 위상 차이를 갖도록 상기 변조 클록 신호들을 변조하여, 상기 변조 클록 신호들 각각을 동일한 시간 주기 동안 상기 위상 검출기로 입력할 수 있다.
- [0012] 일 실시 예로, 상기 위상 검출기는, 상기 데이터 클록 신호와 상기 출력 클록 신호의 위상을 비교하여 제1 비교 신호를 출력하는 제1 위상 비교부; 및 상기 데이터 클록 신호와 상기 변조 클록 신호들의 위상을 순차적으로 비교하여 제2 비교 신호를 출력하는 제2 위상 비교부를 포함할 수 있다.
- [0013] 일 실시 예로, 상기 지터 측정부는, 상기 복수의 변조 클록 신호와 일대일 대응하고, 상기 복수의 변조 클록 신호에 대응하여 상기 비교 신호의 누적 값을 측정하는 복수의 카운터; 및 상기 제2 위상 비교부와 상기 복수의 카운터 사이에 연결되고, 상기 위상 검출기로 순차적으로 입력되는 변조 클록 신호에 대응하여, 상기 복수의 카운터 중의 적어도 하나를 선택하는 선택 회로를 포함할 수 있다.
- [0014] 일 실시 예로, 상기 지터 측정부는, 상기 복수의 카운터 각각에 의해 측정된 누적 값을 히스토그램 분석하여 지터를 측정하는 히스토그램 분석부를 더 포함할 수 있다.
- [0015] 일 실시 예로, 상기 위상 검출기는, 서로 다른 변조 클록 신호를 입력받아, 상기 데이터 클록 신호와의 위상을 비교하여 상기 비교 신호를 출력하는 복수의 비교기를 포함하고, 상기 지터 측정부는 상기 복수의 비교기 각각으로 출력되는 비교 신호의 누적 값을 비교하여 상기 지터를 측정할 수 있다.
- [0016] 일 실시 예로, 상기 지터 측정부는, 상기 복수의 비교기와 일대일 대응하도록 연결되고, 대응하는 비교기로부터 출력되는 비교 신호의 누적 값을 측정하는 복수의 카운터를 포함할 수 있다.
- [0017] 본 발명의 다른 일 측면에 따르면, 데이터 클록 신호와 제1 클록 신호의 위상을 비교하는 위상 검출 장치의 지터를 측정하는 장치로서, 상기 제1 클록 신호를 서로 다른 위상을 갖도록 변조하여 변조 클록 신호들을 생성하는 변조 클록 생성부; 상기 변조 클록 신호들 각각의 위상을 상기 데이터 클록 신호와 비교하여 비교 신호를 출력하는 위상 검출기; 및 상기 변조 클록 신호들 각각에 대응하는 비교 신호의 누적 값을 비교하여 상기 지터를 측정하는 지터 측정부를 포함하는 지터 측정 장치가 제공된다.
- [0018] 일 실시 예로, 상기 위상 검출기는, 순차적으로 입력되는 변조 클록 신호와 상기 데이터 클록 신호의 위상을 비교하고, 상기 지터 측정부는, 상기 위상 검출기로 입력되는 서로 다른 변조 클록 신호 각각에 대응하여 상기 비교 신호의 누적 값을 개별적으로 측정하는 복수의 카운터를 포함할 수 있다.
- [0019] 본 발명의 또 다른 일 측면에 따르면, 데이터 클록 신호와 출력 클록 신호 간의 위상 차이를 검출하는 위상 검

출기를 포함하는 클록 데이터 복원 회로의 지터를 측정하는 방법으로서, 상기 출력 클록 신호로부터 서로 다른 위상을 갖도록 변조된 복수의 변조 클록 신호와 상기 데이터 클록 신호 간의 위상을 비교하여 비교 신호를 출력하고, 상기 복수의 변조 클록 신호 각각에 대응하는 비교 신호의 누적 값을 비교하여 상기 지터를 측정하는 단계를 포함하는 클록 데이터 복원 회로의 지터 측정 방법이 제공된다.

- [0020] 일 실시 예로, 상기 클록 데이터 복원 회로의 지터 측정 방법은, 상기 출력 클록 신호의 위상을 변조하여 상기 복수의 변조 클록 신호를 생성하는 단계를 더 포함할 수 있다.
- [0021] 일 실시 예로, 상기 클록 데이터 복원 회로의 지터 측정 방법은, 상기 복수의 변조 클록 신호를 상기 위상 검출기로 순차적으로 입력하는 단계를 더 포함할 수 있다.

발명의 효과

- [0022] 본 발명의 실시 예에 의하면, 클록 데이터 복원 회로의 지터(jitter)를 간단하고 효율적으로 측정할 수 있다.
- [0023] 또한, 본 발명의 실시 예에 의하면, 적은 면적 및 낮은 전력 소모 특성을 갖는 동시에, 다중-단계의 위상 검출이 가능한 클록 데이터 복원 회로, 이의 지터 측정 장치 및 방법이 제공된다.
- [0024] 본 발명의 효과는 상술한 효과들로 제한되지 않는다. 언급되지 않은 효과들은 본 명세서 및 첨부된 도면으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확히 이해될 수 있을 것이다.

도면의 간단한 설명

- [0025] 도 1은 종래의 클록 데이터 복원 회로의 구성도이다.
- 도 2는 본 발명의 일 실시 예에 따른 클록 데이터 복원 회로의 지터 측정 장치를 개략적으로 보여주는 구성도이다.
- 도 3은 본 발명의 일 실시 예에 따른 클록 데이터 복원 회로의 지터 측정 장치를 구성하는 변조 클록 생성부에 의해 생성된 변조 클록 신호들을 예시적으로 보여주는 도면이다.
- 도 4a는 본 발명의 일 실시 예에 따른 클록 데이터 복원 회로의 지터 측정 장치를 좀 더 자세히 보여주는 구성도이다.
- 도 4b는 본 발명의 일 실시 예에 따른 클록 데이터 복원 회로의 지터 측정 장치를 구성하는 제2 위상 비교부로 입력되는 변조 클록 신호를 보여주는 도면이다.
- 도 5a는 본 발명의 일 실시 예에 따른 변조 클록 생성부의 기능을 설명하기 위한 신호 타이밍도이다.
- 도 5b는 도 5a에 도시된 'A'부의 확대도이다.
- 도 5c는 도 5a에 도시된 'B'부의 확대도이다.
- 도 6은 본 발명의 일 실시 예에 따른 클록 데이터 복원 회로의 지터 측정 장치를 구성하는 제1 위상 비교부의 기능을 설명하기 위한 도면이다.
- 도 7은 본 발명의 일 실시 예에 따른 클록 데이터 복원 회로의 지터 측정 장치를 구성하는 제2 위상 비교부의 기능을 설명하기 위한 도면이다.
- 도 8은 본 발명의 일 실시 예에 따른 위상 검출기의 기능을 설명하기 위한 도면이다.
- 도 9는 본 발명의 일 실시 예에 따른 클록 데이터 복원 회로의 지터 측정 장치를 구성하는 위상 검출기를 좀 더 구체적으로 보여주는 구성도이다.
- 도 10 내지 도 11은 본 발명의 일 실시 예에 따른 클록 데이터 복원 회로의 동작을 설명하기 위한 도면이다.
- 도 12a 내지 도 12c, 및 도 13은 본 발명의 일 실시 예에 따른 클록 데이터 복원 회로의 지터 측정 방법을 설명하기 위한 도면이다.
- 도 14는 본 발명의 다른 일 실시 예에 따른 클록 데이터 복원 회로의 지터 측정 장치를 보여주는 구성도이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 발명의 다른 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술하는 실시

예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되지 않으며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 만일 정의되지 않더라도, 여기서 사용되는 모든 용어들(기술 혹은 과학 용어들을 포함)은 이 발명이 속한 종래 기술에서 보편적 기술에 의해 일반적으로 수용되는 것과 동일한 의미를 갖는다. 공지된 구성에 대한 일반적인 설명은 본 발명의 요지를 흐리지 않기 위해 생략될 수 있다. 본 발명의 도면에서 동일하거나 상응하는 구성에 대하여는 가급적 동일한 도면부호가 사용된다.

[0027] 본 발명의 일 실시 예에 따른 클록 데이터 복원 회로(clock and data recovery circuit)는 데이터 클록 신호의 위상을 검출하여 비교 신호를 출력하는 위상 검출기, 비교 신호에 따라 전하 공급량을 조절하는 전하 펌프부, 전하 공급량을 누적하여 조절 신호를 출력하는 루프 필터부, 조절 신호에 따라 가변적인 출력 클록 신호를 생성하는 전원 제어 발진기, 및 출력 클록 신호로부터 변조 클록 신호들을 생성하여 위상 검출기로 입력하는 변조 클록 생성부를 포함한다. 위상 검출기는 변조 클록 생성부에 의해 출력 클록 신호로부터 서로 다른 위상을 갖도록 변조된 변조 클록 신호들을 순차적으로 입력받고, 순차적으로 입력되는 변조 클록 신호와 데이터 클록 신호의 위상을 비교하여 비교 신호를 출력한다. 본 발명의 실시 예에 의하면, 위상 검출기의 면적과 전력 소모량을 최소화하여 다중-단계(multi-level) 위상 검출 특성을 갖는 위상 검출기를 구현할 수 있다.

[0028] 본 발명의 실시 예에 따른 클록 데이터 복원 회로의 지터 측정 장치는 출력 클록 신호로부터 서로 다른 위상을 갖도록 변조된 복수의 변조 클록 신호와 데이터 클록 신호 간의 위상을 비교하여 비교 신호를 출력하고, 복수의 변조 클록 신호 각각에 대응하는 비교 신호의 누적 값을 비교하여 지터를 측정한다. 본 발명의 실시 예에 의하면, 복잡한 회로를 추가하지 않고 클록 데이터 복원 회로 자체의 회로들을 최대한으로 활용하여 클록 데이터 복원 회로의 지터(jitter)를 간단하고 효율적으로 측정할 수 있다.

[0029] 도 2는 본 발명의 일 실시 예에 따른 클록 데이터 복원 회로의 지터 측정 장치를 개략적으로 보여주는 구성도이다. 클록 데이터 복원 회로의 지터 측정 장치(100)는 데이터 수신단 측에 제공될 수 있다. 클록 데이터 복원 회로는 데이터 송신단으로부터 전송되는 데이터 클록 신호를 입력받고, 잡음을 포함하는 데이터 클록 신호로부터 데이터 수신단의 데이터율(data rate)에 맞는 클록을 복원하고, 복원한 클록을 이용한 샘플링을 통해 노이즈가 없는 깨끗한 데이터를 복원할 수 있다.

[0030] 도 2를 참조하면, 본 발명의 일 실시 예에 따른 클록 데이터 복원 회로의 지터 측정 장치(100)는 위상 검출기(110), 전하 펌프부(120), 루프 필터부(130), 전원 제어 발진기(140), 변조 클록 생성부(150), 및 지터 측정부(160)를 포함한다. 위상 검출기(110)는 데이터 클록 신호를 입력받고, 전원 제어 발진기(140)로부터 출력되는 출력 클록 신호, 및 출력 클록 신호로부터 위상 변조된 변조 클록 신호들을 이용해, 데이터 클록 신호의 위상을 비교하고 그에 따른 비교 신호를 출력할 수 있다. 위상 검출기(110)는 출력 클록 신호로부터 서로 다른 위상을 갖도록 변조된 변조 클록 신호들을 순차적으로 입력받고, 순차적으로 입력되는 변조 클록 신호와 데이터 클록 신호의 위상을 비교할 수 있다. 위상 검출기(110)의 구체적인 구조, 상세한 기능, 동작에 관한 설명은 후술한다.

[0031] 전하 펌프부(120)는 위상 검출기(110)에서 출력되는 비교 신호에 따라 전하 공급량을 조절한다. 루프 필터부(130)는 전하 펌프부(120)에서 조절하는 전하 공급량을 누적하여 조절 신호를 출력한다. 전원 제어 발진기(140)는 루프 필터부(130)에 의해 출력되는 조절 신호에 따라 가변적인 출력 클록 신호를 생성한다. 변조 클록 생성부(150)는 전원 제어 발진기(140)로부터 출력 클록 신호를 입력받고, 출력 클록 신호의 위상을 변조하여 변조 클록 신호들을 생성한다. 변조 클록 신호들은 변조 클록 생성부(150)에 의해 서로 다른 위상을 갖도록 출력 클록 신호로부터 변조될 수 있다. 변조 클록 생성부(150)는 출력 클록 신호와 변조 클록 신호들을 위상 검출기(110)로 입력한다. 변조 클록 신호들은 변조 클록 생성부(150)에 의해 시간에 따라 순차적으로 위상 검출기(110)에 입력될 수 있다.

[0032] 지터 측정부(160)는 복수의 변조 클록 신호 각각에 대응하여 위상 검출기(110)로부터 변조 클록 신호 별로 출력되는 비교 신호의 누적 값을 비교하여 클록 데이터 복원 회로의 지터를 측정할 수 있다. 지터 측정부(160)는 변조 클록 신호 별로 위상 검출기(110)로부터 출력되는 누적 값을 히스토그램(histogram) 분석하여 지터를 측정할 수 있다.

[0033] 도 3은 본 발명의 일 실시 예에 따른 클록 데이터 복원 회로의 지터 측정 장치를 구성하는 변조 클록 생성부에 의해 생성된 변조 클록 신호들을 예시적으로 보여주는 도면이다. 도 2 내지 도 3을 참조하면, 변조 클록 생성부(150)는 전원 제어 발진기(140)로부터의 출력 클록 신호로부터, 제1 변조 클록 신호(Lclk)들, 및 제2 변조 클록 신호(Rclk)들을 포함하는 변조 클록 신호들을 생성할 수 있다. 도 3의 예에서, 16개의 제1 변조 클록 신호(Lclk)들과, 16개의 제2 변조 클록 신호(Rclk)들을 포함하는 32개의 변조 클록 신호들이 생성되지만, 이는 어디

까지나 예시적인 것으로 이해되어야 한다.

- [0034] 변조 클럭 생성부(150)에 의해, 제1 변조 클럭 신호(Lclk)들은 출력 클럭 신호의 미리 설정된 기준 위상(Cclk)보다 빠른 위상을 갖도록 전원 제어 발진기(140)의 출력 클럭 신호로부터 변조되고, 제2 변조 클럭 신호(Rclk)들은 출력 클럭 신호의 기준 위상(Cclk)보다 느린 위상을 갖도록 전원 제어 발진기(140)의 출력 클럭 신호로부터 변조될 수 있다. 기준 위상(Cclk)은 예시적으로, 전원 제어 발진기(140)의 출력 클럭 신호의 180° 위상일 수 있으나, 기준 위상은 0° 등의 다른 위상 값으로 설정될 수도 있음은 물론이다.
- [0035] 위상 검출 정확도가 향상되도록, 변조 클럭 신호들은 출력 클럭 신호의 미리 설정된 기준 위상(Cclk)으로부터 선형적인 위상 차이를 갖도록 변조될 수 있다. 도 3에 도시된 바와 같이, 변조 클럭 생성부(150)는 제1 변조 클럭 신호(Lclk)들과, 제2 변조 클럭 신호(Rclk)들이 인접하는 변조 클럭 신호 간에 일정한 위상 차이($\Delta\phi$)를 갖도록, 전원 제어 발진기(140)로부터 출력된 출력 클럭 신호의 위상을 변조할 수 있다.
- [0036] 변조 클럭 생성부(150)는 제1 변조 클럭 신호(Lclk)들과, 제2 변조 클럭 신호(Rclk)들 중의 대응하는 한 쌍의 변조 클럭 신호를 미리 설정된 시간 주기 동안 위상 검출기(110)로 출력할 수 있다. 변조 클럭 신호들 중 대응하는 한 쌍의 변조 클럭 신호는 도 3에서, 동일한 두 자리 번호(00, 01, ..., 15)로 표시되어 있다. 예시적으로, 변조 클럭 생성부(150)는 '00'으로부터 '15' 순번으로 변조 클럭 신호를 순차적으로 출력하거나 그 역순으로 출력할 수 있다. 변조 클럭 생성부(150)는 각 쌍의 변조 클럭 신호를 동일한 시간 주기 동안 위상 검출기(110)로 입력할 수 있다.
- [0037] 도 4a는 본 발명의 일 실시 예에 따른 클럭 데이터 복원 회로를 좀 더 자세히 보여주는 구성도이다. 도 4a를 참조하면, 위상 검출기(110)는 제1 위상 비교부(111)와, 제2 위상 비교부(112)를 포함한다. 전하 펌프부(120)는 제1 전하 펌프(121)와, 제2 전하 펌프(122)를 포함한다. 제1 위상 비교부(111)는 데이터 클럭 신호와 출력 클럭 신호의 위상을 비교하여 제1 비교 신호를 출력한다. 제1 위상 비교부(111)는 제1 샘플링 신호로서 전원 제어 발진기(140)의 출력 클럭 신호를 입력받는다. 제1 위상 비교부(111)는 전원 제어 발진기(140)의 출력 클럭 신호의 상승 에지(rising edge)마다, 데이터 클럭 신호와 출력 클럭 신호의 위상을 비교하며, 출력 클럭 신호의 위상이 데이터 클럭 신호보다 빠르지 느린지를 판단하여 제1 비교 신호를 출력할 수 있다. 일 예로, 제1 위상 비교부(111)는 뱅뱅 위상 검출기(Bang-Bang Phase Detector)로 구현될 수 있다.
- [0038] 제1 전하 펌프(121)는 제1 위상 비교부(111)로부터의 제1 비교 신호에 따라 전하 공급량을 조절한다. 뱅뱅 위상 검출기(BBPD)로 구현되는 제1 위상 비교부(111)는 출력 클럭 신호의 위상이 데이터 클럭 신호보다 빠르지 느린지 여부만을 판단할 수 있으며, 출력 클럭 신호의 위상이 데이터 클럭 신호보다 얼마나 빠르거나 느린지를 판단할 수 없다. 본 발명의 실시 예에 따른 클럭 데이터 복원 회로의 지터 측정 장치(100)는 출력 클럭 신호와 데이터 클럭 신호 간의 위상 차를 판단할 수 있도록, 제2 위상 비교부(112)를 구비한다.
- [0039] 제2 위상 비교부(112)는 변조 클럭 생성부(150)로부터 입력되는 변조 클럭 신호를 순차적으로 입력받고, 출력 클럭 신호의 상승 에지(rising edge)마다, 변조 클럭 신호를 샘플링 신호로 이용해 데이터 클럭 신호와 변조 클럭 신호들의 위상을 순차적으로 비교하여 제2 비교 신호를 출력한다. 제2 위상 비교부(112)는 출력 클럭 신호와 데이터 클럭 신호 간의 위상 차를 다중-레벨 중의 어느 하나의 레벨로 결정할 수 있다. 다중-레벨은 변조 클럭 생성부(150)에 의해 생성되는 서로 다른 위상을 갖는 변조 클럭 신호의 개수에 대응한다.
- [0040] 도 4b는 본 발명의 일 실시 예에 따른 클럭 데이터 복원 회로의 지터 측정 장치를 구성하는 제2 위상 비교부로 입력되는 변조 클럭 신호를 보여주는 도면이다. 도 4b에서, 점선으로 도시된 신호는 도 3에 도시된 제1 변조 클럭 신호(Lclk)에 상응하며, 실선으로 도시된 신호는 도 3에 도시된 제2 변조 클럭 신호(Rclk)에 상응한다. 도 4b의 예에서, 출력 클럭 신호의 기준 위상은 0°로 설정된다. 도 4b에 도시된 바와 같이, N개의 제1 변조 클럭 신호(Lclk)와 N개의 제2 변조 클럭 신호(Rclk)를 순차적으로 제2 위상 비교부(112)에 입력하는 경우, N개의 위상 차 중의 어느 하나의 값으로 데이터 클럭 신호와 출력 클럭 신호의 위상 차를 검출할 수 있다. 따라서, 변조 클럭 신호들의 위상 간격을 조밀하게 할수록, 그리고 변조 클럭 신호들의 개수를 증가시킬수록, 출력 클럭 신호와 데이터 클럭 신호 간의 위상 차를 보다 정밀하게 판단할 수 있다.
- [0041] 다시 도 4a를 참조하면, 제2 전하 펌프(122)는 제2 위상 비교부(112)로부터의 제2 비교 신호에 따라 전하 공급량을 조절한다. 루프 필터부(130)는 제1 전하 펌프(121)의 전하 공급량과 제2 전하 펌프(122)의 전하 공급량을 합하여 누적한다. 전원 제어 발진기(140)는 루프 필터부(130)의 출력 값(조절 신호)에 따라 출력 클럭 신호를 조절한다. 이에 따라, 출력 클럭 신호는 데이터 클럭 신호와 동기화될 수 있다. 전원 제어 발진기(140)는 예를 들어, 전압 제어 발진기(Voltage Controlled Oscillator)나 전류 제어 발진기(Current Controlled Oscillato

r)로 구현될 수 있다. 전원 제어 발진기(140)에 의해 출력되는 출력 클록 신호는 데이터 수신단 측의 데이터율에 부합하도록 생성될 수 있다. 출력 클록 신호의 180° 위상을 샘플링 신호로 이용하여, 데이터 클록 신호를 샘플링할 수 있다. 데이터 클록 신호의 샘플링은 예를 들어, 제1 위상 비교부(111)에서 수행될 수 있다.

[0042] 도 5a는 본 발명의 일 실시 예에 따른 변조 클록 생성부의 기능을 설명하기 위한 신호 타이밍도이다. 도 4a 및 도 5a를 참조하면, 변조 클록 생성부(150)는 주파수 분배기(151), 비트 생성기(152), 및 변조 클록 출력부(153)를 포함한다. 주파수 분배기(151)는 출력 클록 신호(f_{clock})의 주파수를 $1/M$ (M 은 2 이상의 정수)로 분배하여 분주 클록 신호(f_{clock}/M)를 생성한다. 분주 클록 신호(f_{clock}/M)는 출력 클록 신호(f_{clock})의 M 배에 해당하는 주기를 갖는다.

[0043] 비트 생성기(152)는 주파수 분배기(151)에 의해 생성된 분주 클록 신호(f_{clock}/M)의 클록 에지, 예를 들어 상승 에지(rising edge)에 응답하여 비트 신호를 생성한다. 변조 클록 출력부(153)는 비트 생성기(152)에 의해 생성된 비트 신호에 따라 변조 클록 신호들(Lclk, Rclk)을 순차적으로 출력한다. 도 5b는 도 5a에 도시된 'A'부의 확대도이고, 도 5c는 도 5a에 도시된 'B'부의 확대도이다. 도 4a, 도 5a 내지 도 5c를 참조하면, 변조 클록 출력부(153)는 비트 생성기(152)의 비트 신호의 상승 에지에 동기화되어 순차적으로 변조 클록 신호들(Lclk, Rclk)을 출력할 수 있다. 변조 클록 신호들(Lclk, Rclk)은 순차적으로 제2 위상 비교부(112)로 입력된다.

[0044] 도 6은 본 발명의 일 실시 예에 따른 클록 데이터 복원 회로의 지터 측정 장치를 구성하는 제1 위상 비교부의 기능을 설명하기 위한 도면이고, 도 7은 본 발명의 일 실시 예에 따른 클록 데이터 복원 회로의 지터 측정 장치를 구성하는 제2 위상 비교부의 기능을 설명하기 위한 도면이고, 도 8은 본 발명의 일 실시 예에 따른 위상 검출기의 기능을 설명하기 위한 도면이다. 제1 위상 비교부(111)는 도 6에 도시된 바와 같이, 출력 클록 신호가 데이터 클록 신호보다 빠르지는 느린지 여부를 판단하여 제1 비교 신호를 출력한다. 제2 위상 비교부(112)는 도 7에 도시된 바와 같이, 데이터 클록 신호와 출력 클록 신호 간의 위상 차이 값이 변조 클록 신호의 위상 변조량보다 큰 경우, 출력 클록 신호의 위상을 조절하도록 하는 제2 비교 신호를 출력한다.

[0045] 만약, 데이터 클록 신호와 출력 클록 신호 간의 위상 차이 값이 Φ_1 보다 작은 경우, 제2 위상 비교부(112)는 어떠한 변조 클록 신호에 대해서도 출력 클록 신호의 위상을 조절하는 제2 비교 신호를 출력하지 않는다. 만약, 데이터 클록 신호와 출력 클록 신호 간의 위상 차이 값이 Φ_N 보다 큰 경우, 제2 위상 비교부(112)는 모든 변조 클록 신호에 대하여 출력 클록 신호의 위상을 조절하는 제2 비교 신호를 출력한다. 따라서, 제2 위상 비교부(112)는 데이터 클록 신호와 출력 클록 신호 간의 위상 차이 값보다 작은 위상 변조량을 갖는 변조 클록 신호가 입력될 때만 출력 클록 신호의 위상을 조절하는 제2 비교 신호를 출력하므로, 도 8에 도시된 바와 같이, 모든 변조 클록 신호에 대하여 누적되는 제2 비교 신호에 따라 데이터 클록 신호의 위상을 다중-단계로 판단할 수 있다.

[0046] 도 9는 본 발명의 일 실시 예에 따른 클록 데이터 복원 회로의 지터 측정 장치를 구성하는 위상 검출기를 좀 더 구체적으로 보여주는 구성도이다. 도 9를 참조하면, 제1 위상 비교부(111)는 제1 플립플롭(1111), 제2 플립플롭(1112), 제3 플립플롭(1113), 제4 플립플롭(1114), 제1 XOR 게이트(1115), 및 제2 XOR 게이트(1116)를 포함한다. 제1 플립플롭(1111)은 출력 클록 신호의 제1 클록 에지(예를 들어, 상승 에지)(CK0)에 응답하여 데이터 클록 신호를 출력한다. 제2 플립플롭(1112)은 제1 클록 에지(CK0)에 응답하여 제1 플립플롭(1111)의 출력 값을 출력한다. 제3 플립플롭(1113)은 출력 클록 신호의 제2 클록 에지(예를 들어, 하강 에지)(CK180)에 응답하여 데이터 클록 신호를 출력한다. 제4 플립플롭(1114)은 제1 클록 에지(CK0)에 응답하여 제3 플립플롭(1113)의 출력 값을 출력한다.

[0047] 제1 XOR 게이트(1115)는 제1 플립플롭(1111)의 출력 값과 제4 플립플롭(1114)의 출력 값을 비교한다. 제2 XOR 게이트(1116)는 제2 플립플롭(1112)의 출력 값과 제4 플립플롭(1114)의 출력 값을 비교한다. 제1 위상 비교부(111)에서 출력되는 제1 비교 신호, 즉 제1 XOR 게이트(1115)의 출력 값과 제2 XOR 게이트(1116)의 출력 값은 제1 전하 펌프(121)로 입력된다.

[0048] 제2 위상 비교부(112)는 제5 플립플롭(1121), 제6 플립플롭(1122), 제7 플립플롭(1123), 제8 플립플롭(1124), 제3 XOR 게이트(1125), 및 제4 XOR 게이트(1126)를 포함한다. 제5 플립플롭(1121)은 일정 시간 간격으로 순차적으로 입력되는 제1 변조 클록 신호($CK180-\pi$)(Lclk)에 응답하여 데이터 클록 신호를 출력한다. 제6 플립플롭(1122)은 출력 클록 신호의 제1 클록 에지(CK0)에 응답하여 제5 플립플롭(1121)의 출력 값을 출력한다. 제7 플립플롭(1123)은 순차적으로 입력되는 제2 변조 클록 신호($CK180+\pi$)(Rclk)에 응답하여 데이터 클록 신호를 출력

한다. 제8 플립플롭(1124)은 제1 클록 에지(CK0)에 응답하여 제7 플립플롭(1123)의 출력 값을 출력한다.

[0049] 제3 XOR 게이트(1125)는 제5 플립플롭(1121) 또는 제4 플립플롭(1114)의 출력 값과, 제6 플립플롭(1122)의 출력 값을 비교한다. 제4 XOR 게이트(1126)는 제2 플립플롭(1122) 또는 제4 플립플롭(1114)의 출력 값과, 제8 플립플롭(1124)의 출력 값을 비교한다. 제2 위상 비교부(112)에서 출력되는 제2 비교 신호, 즉 제3 XOR 게이트(1125)의 출력 값과 제4 XOR 게이트(1126)의 출력 값은 제2 전하 펌프(122)로 입력된다.

[0050] 도 10 내지 도 11은 본 발명의 일 실시 예에 따른 클록 데이터 복원 회로의 동작을 설명하기 위한 도면이다. 도 10 내지 도 11을 참조하면, 3개의 서로 다른 위상 변조량(ϕ_1 , ϕ_2 , ϕ_3)으로 변조된 3 쌍의 변조 클록 신호가 생성된다. 변조 클록 신호는 위상 검출기로 순차적으로 입력된다. 도 10에 도시된 네 가지 케이스의 데이터 클록 신호에 대하여 전하 펌프부(120)에 형성되는 전류 값이 도 11에 도시되어 있다. 도 11에서, ' I_{CP1} '은 제1 위상 비교부(111)에 의한 제1 전하 펌프(121)의 전류 값이고, ' I_{CP2} '는 제2 위상 비교부(112)에 의한 제2 전하 펌프(122)의 전류 값이다.

[0051] 케이스 1의 경우, 출력 클록 신호와 데이터 클록 신호 간의 위상 차이가 모든 쌍의 변조 클록 신호 간의 데드존(dead-zone) 내에 포함되어 있어, 모든 변조 클록 신호에 대해 제2 전하 펌프에 전류(I_{CP2})가 흐르지 않는다. 여기서, 데드존은 대응하는 한 쌍의 변조 클록 신호 사이의 위상 영역을 의미한다. 케이스 2에서 케이스 4로 갈수록, 출력 클록 신호와 데이터 클록 신호 간의 위상 차이가 커지고, 그에 따라 제2 전하 펌프(122)에 전류(I_{CP2})가 흐르는 시간이 단계별로 증가한다. 케이스 4의 경우, 출력 클록 신호와 데이터 클록 신호 간의 위상 차이가 모든 쌍의 변조 클록 신호 간의 데드존(dead-zone)에서 벗어나 있어, 어떠한 변조 클록 신호가 입력되더라도 제2 전하 펌프(122)에 전류(I_{CP2})가 흐르게 된다. 본 발명의 실시 예에 의하면, 하드웨어 추가를 최소화하면서, 다중-단계를 갖는 위상 검출기를 구현할 수 있으며, 저면적 저전력 특성을 갖는 클록 데이터 복원 회로를 제조할 수 있다. 본 발명의 실시 예에 따른 위상 검출기와 클록 데이터 복원 회로는 위상 고정 회로에 제공될 수 있다.

[0052] 다시 도 4a를 참조하면, 지터 측정부(160)는 복수의 카운터(162), 선택 회로(164), 및 히스토그램 분석부(166)를 포함할 수 있다. 복수의 카운터(162)는 복수의 변조 클록 신호와 일대일 대응하도록 제공되며, 제2 위상 비교부(112)로 순차적으로 입력되는 복수의 변조 클록 신호 각각에 대응하여 비교 신호의 누적 값을 개별적으로 측정한다. 선택 회로(164)는 제2 위상 비교부(112)와 복수의 카운터(162) 사이에 연결되고, 제2 위상 비교부(112)로 순차적으로 입력되는 변조 클록 신호에 대응하여 복수의 카운터(162) 중의 하나 이상의 카운터를 선택한다. 히스토그램 분석부(166)는 복수의 카운터(162) 각각에 의해 측정된 누적 값을 히스토그램 분석하여 지터를 측정한다.

[0053] 도 4a의 실시 예에서, N 쌍의 변조 클록 신호에 대응하여, 2N 개의 카운터(C_N , C_{N+1} , ..., C_{N-1} , C_N)가 제공된다. 일 실시 예로, 선택 회로(164)는 비트 생성기(152)의 비트 신호에 따라 $\{C_1, C_{-1}\}$, $\{C_2, C_{-2}\}$, ..., $\{C_{N-1}, C_{-N+1}\}$, $\{C_N, C_{-N}\}$ 순으로 스위치(예를 들어, 트랜지스터)를 온(on)으로 동작시켜 카운터를 선택할 수 있다. 선택된 카운터는 데이터 클록 신호의 위상이 대응하는 쌍의 변조 클록 신호 사이의 위상 영역(데드존)에서 벗어난 경우, 이를 카운트한다. 즉, 데이터 클록 신호의 상승 에지(transition)가 데드존(dead-zone)의 바깥에 위치하는 경우, 카운터(혹은 누산기, accumulator)에 의해 그 횟수가 누적된다.

[0054] 일 실시 예로, N 개의 카운터($C_1 \sim C_N$)는 데이터 클록 신호가 변조 클록 신호의 오른쪽에서 전환되는 횟수, 즉, 데이터 클록 신호의 위상이 변조 클록 신호보다 느리게 나타나는 횟수를 카운트할 수 있다. 나머지 N 개의 카운터($C_{-1} \sim C_{-N}$)는 데이터 클록 신호가 변조 클록 신호의 왼쪽에서 전환되는 횟수, 즉, 데이터 클록 신호의 위상이 변조 클록 신호보다 빠르게 나타나는 횟수를 카운트할 수 있다.

[0055] 도 12a 내지 도 12c, 및 도 13은 본 발명의 일 실시 예에 따른 클록 데이터 복원 회로의 지터 측정 방법을 설명하기 위한 도면이다. 도 12a를 참조하면, x번째 변조 클록 신호가 제2 위상 비교부(112)로 입력되는 동안, 이에 대응하여 선택된 카운터는 제2 위상 비교부(112)로부터 출력되는 비교 신호를 카운트하여 그 누적 값(C_x)을 히스토그램 분석부(166)로 입력한다. 도 12b를 참조하면, x+1번째 변조 클록 신호가 제2 위상 비교부(112)로 입력되는 동안, 이에 대응하여 선택된 카운터는 제2 위상 비교부(112)로부터 출력되는 비교 신호를 카운트하여 그 누적 값(C_{x+1})을 히스토그램 분석부(166)로 입력한다.

[0056] 도 12c를 참조하면, 히스토그램 분석부(166)는 x번째 카운터에서 비교 신호를 카운트한 누적 값(C_x)에서 x+1번째

제 카운터에서 비교 신호를 카운트한 누적 값(C_{x+1})을 감소한다. 감소된 값($C_x - C_{x+1}$)은 ϕ_x , ϕ_{x+1} 위상 사이에서 데이터 클럭 신호가 트랜지션한 횟수를 나타낸다. 모든 데드존에 대한 카운터(162) 간의 누적 값의 감소 결과를 통해 도 13에 도시된 바와 같은 지터 히스토그램을 얻을 수 있다. 도 13에서, C_0 값은 모든 데이터 트랜지션(data transition)이 ϕ_{-1} 과 ϕ_1 위상 사이에서 발생하는 것으로 가정하였을 때, ϕ_0 과 ϕ_1 사이에 존재하는 데이터 에지(data edge) 개수에 해당하는 값으로 결정될 수 있다.

[0057] 지터 히스토그램이 가운데로 집중될수록 지터가 적은 것을 나타내며, 지터 히스토그램이 분산된 형태로 나타나는 경우 지터가 큰 것을 나타낸다. 클럭 데이터 복원 회로의 지터가 작을수록, 클럭 데이터 복원 회로와 출력 클럭 신호의 위상이 동기된 상태에서 카운터에 의해 측정되는 $C_{\pm 1}$, $C_{\pm 2}, \dots, C_{\pm N}$ 값은 감소되고, 지터 히스토그램의 형태가 가운데로 집중되어 나타난다. 반대로, 클럭 데이터 복원 회로의 지터가 큰 경우, 즉 출력 클럭 신호의 위상 떨림 현상이 심한 경우, 클럭 데이터 복원 회로와 출력 클럭 신호의 위상이 동기된 상태에서 카운터에 의해 측정되는 지터의 정도에 따라 $C_{\pm 1}$, $C_{\pm 2}, \dots, C_{\pm N}$ 값이 증가하여, $C_0 - C_1$, $C_0 - C_{-1}$ 값이 감소하고, $C_1 - C_2$, $C_2 - C_3$ 값이 상대적으로 증가하여, 지터 히스토그램의 형태가 넓게 퍼지도록 나타난다.

[0058] 따라서, 도 13에 도시된 바와 같은 지터 히스토그램의 분포로부터 클럭 데이터 복원 회로의 지터를 모니터링할 수 있다. 본 발명의 실시 예에 의하면, 간단한 계산을 통하여, 데드존 사이에 얼마만큼의 트랜지션(transition)이 있는지 판별할 수 있으며, 이를 지터 히스토그램 분석을 통해 지터 분포의 양과 모양 등으로 환산하여 클럭 데이터 복원 회로의 지터를 모니터링할 수 있다.

[0059] 도 14는 본 발명의 다른 일 실시 예에 따른 클럭 데이터 복원 회로의 지터 측정 장치를 보여주는 구성도이다. 도 14의 실시 예를 설명함에 있어서, 앞서 설명된 실시 예와 동일하거나 상응하는 구성에 대하여는 중복되는 설명을 생략할 수 있다. 도 14를 참조하면, 위상 검출기(110)는 시간에 따라 순차적으로 변조 클럭 신호($CK_{180 \pm \pi_{1,2,3}}$)를 입력받는 대신, 서로 다른 변조 클럭 신호($CK_{180 \pm \pi_{1,2,3}}$)를 입력받아, 데이터 클럭 신호와의 위상을 비교하여 비교 신호를 출력하는 복수의 위상 비교기를 포함하는 점에서, 도 9의 실시 예와 차이가 있다.

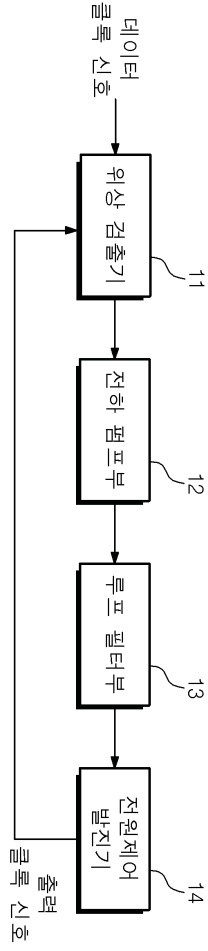
[0060] 지터 측정부(160)는 복수의 위상 비교기 각각으로 출력되는 비교 신호의 누적 값을 비교하여 지터를 측정할 수 있다. 즉, 도 14의 실시 예에서, 지터 측정부(160)는 복수의 위상 비교기와 일대일 대응하도록 연결되는 복수의 카운터(162)를 포함한다. 복수의 카운터(162) 각각은 대응하는 위상 비교기로부터 출력되는 비교 신호의 누적 값을 측정한다.

[0061] 클럭 데이터 복원 회로의 지터가 작은 경우, 클럭 데이터 복원 회로와 출력 클럭 신호의 위상이 동기된 상태에서, 데이터 클럭 신호가 인접하는 변조 클럭 신호($CK_{180 \pm \pi_{1,2,3}}$) 간의 위상 영역에서 트랜지션되는 횟수가 줄어들고, 지터 히스토그램 분포는 가운데로 집중된 형태로 나타난다. 반대로, 클럭 데이터 복원 회로의 지터가 클수록, 즉 출력 클럭 신호의 위상 떨림 현상이 심할수록, 클럭 데이터 복원 회로와 출력 클럭 신호의 위상이 동기된 상태에서, 데이터 클럭 신호가 인접하는 변조 클럭 신호($CK_{180 \pm \pi_{1,2,3}}$) 간의 위상 영역에서 트랜지션되는 횟수가 증가하고, 지터 히스토그램 분포는 넓게 퍼지는 형태로 나타난다.

[0062] 이상의 실시 예들에 의하면, 복수의 위상 비교부를 포함하는 위상 검출기의 출력 값을 이용하여 클럭 데이터 복원 회로의 지터를 측정할 수 있으며, 복잡한 회로를 추가하지 않고 클럭 데이터 복원 회로 자체의 회로들을 최대한 활용하여 지터를 간단하고 효율적으로 측정할 수 있다. 이상의 실시 예들은 본 발명의 이해를 돕기 위하여 제시된 것으로, 본 발명의 범위를 제한하지 않으며, 이로부터 다양한 변형 가능한 실시 예들도 본 발명의 범위에 속하는 것임을 이해하여야 한다. 본 발명의 기술적 보호범위는 특허청구범위의 기술적 사상에 의해 정해져야 할 것이며, 본 발명의 기술적 보호범위는 특허청구범위의 문언적 기재 그 자체로 한정되는 것이 아니라 실질적으로는 기술적 가치가 균등한 범주의 발명에 대하여까지 미치는 것임을 이해하여야 한다.

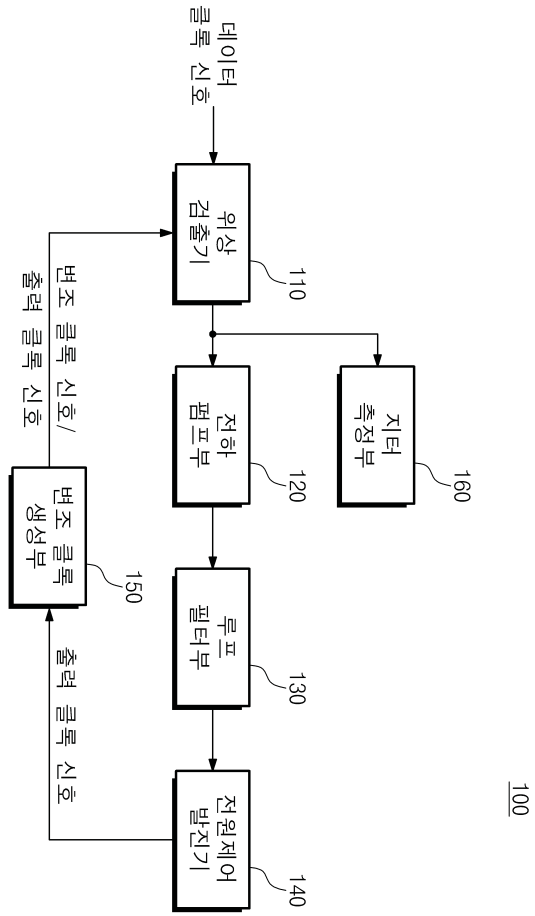
도면

도면1



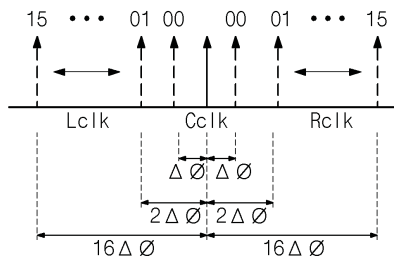
10

도면2

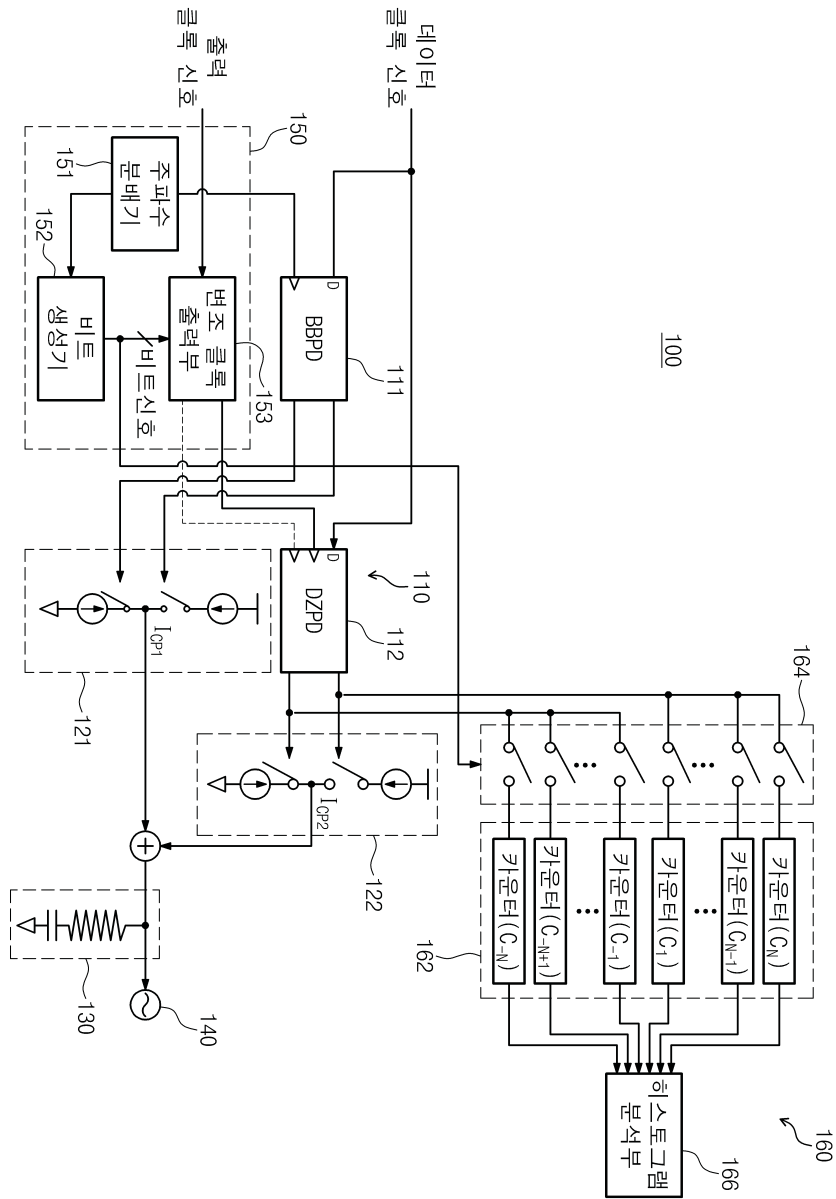


100

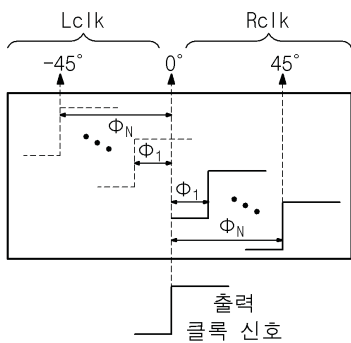
도면3



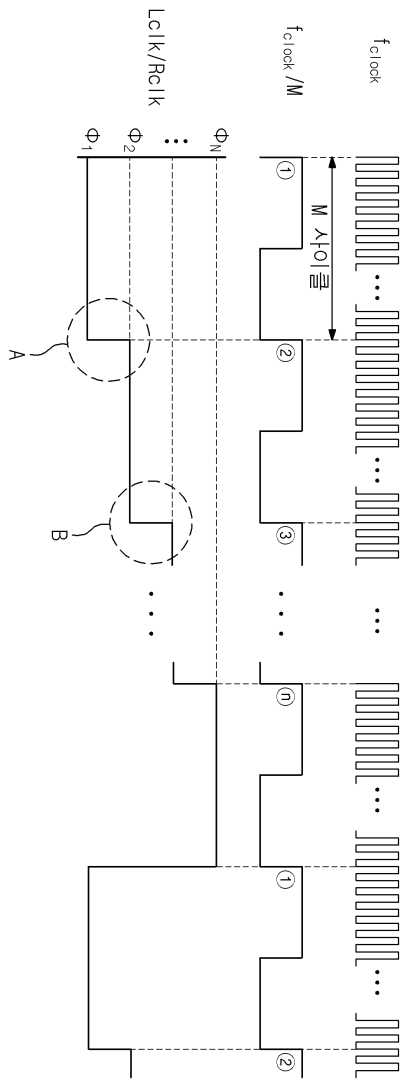
도면4a



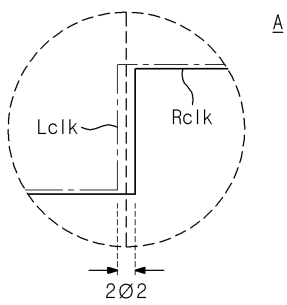
도면4b



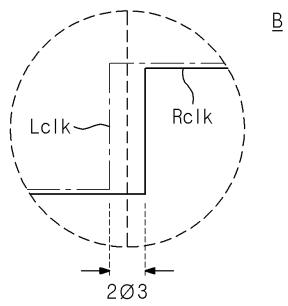
도면5a



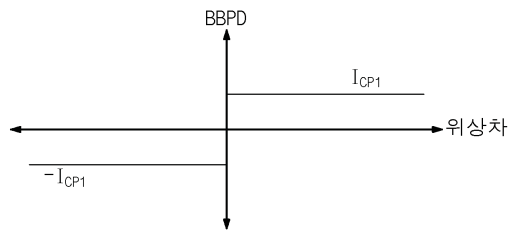
도면5b



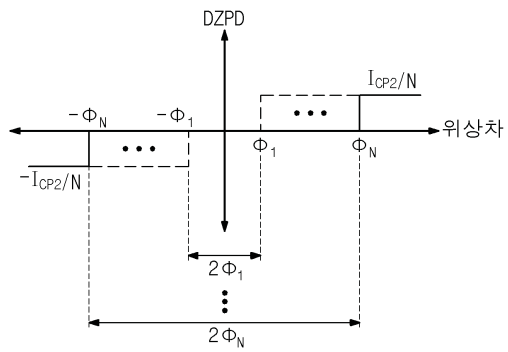
도면5c



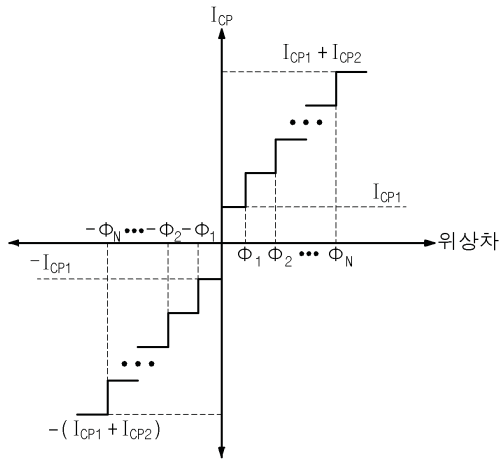
도면6



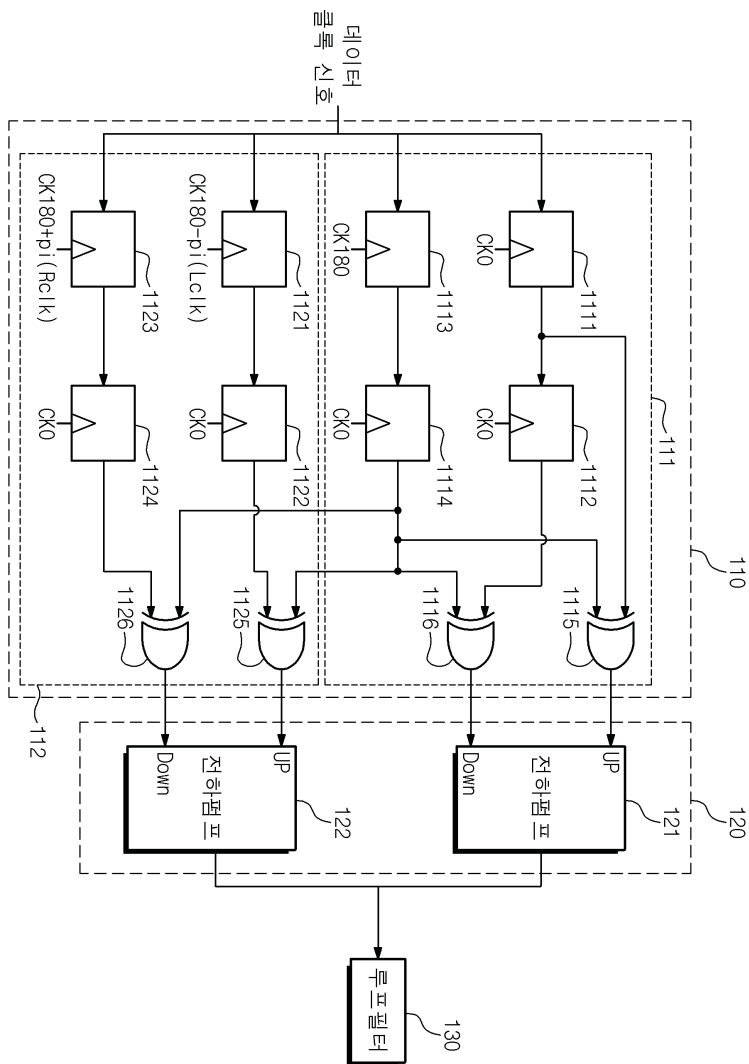
도면7



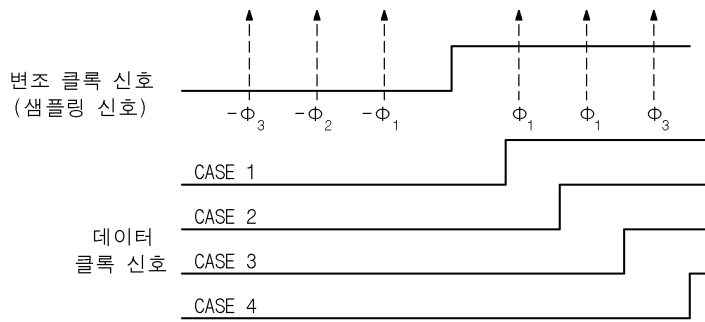
도면8



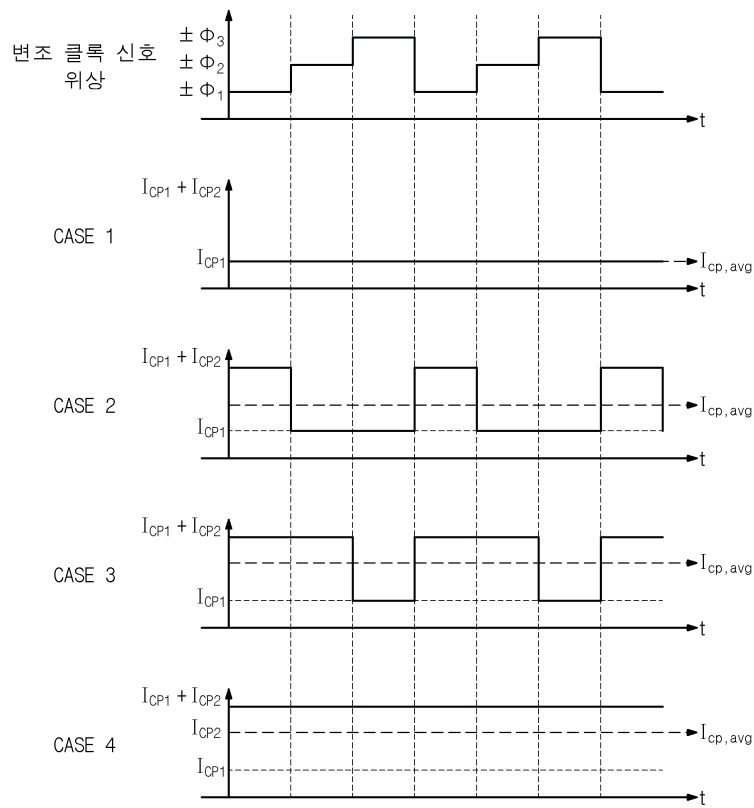
도면9



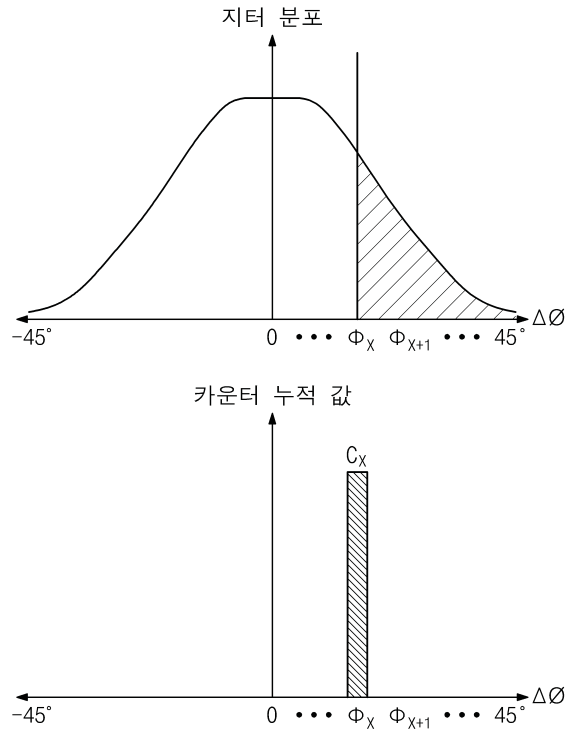
도면10



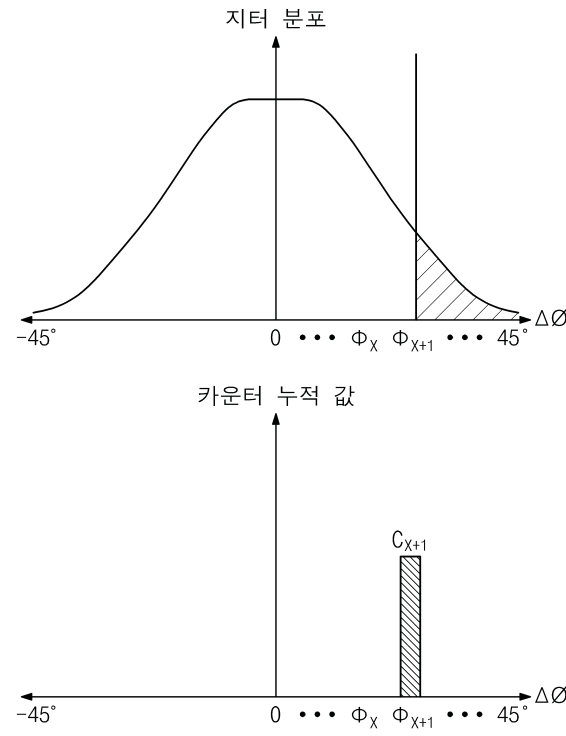
도면11



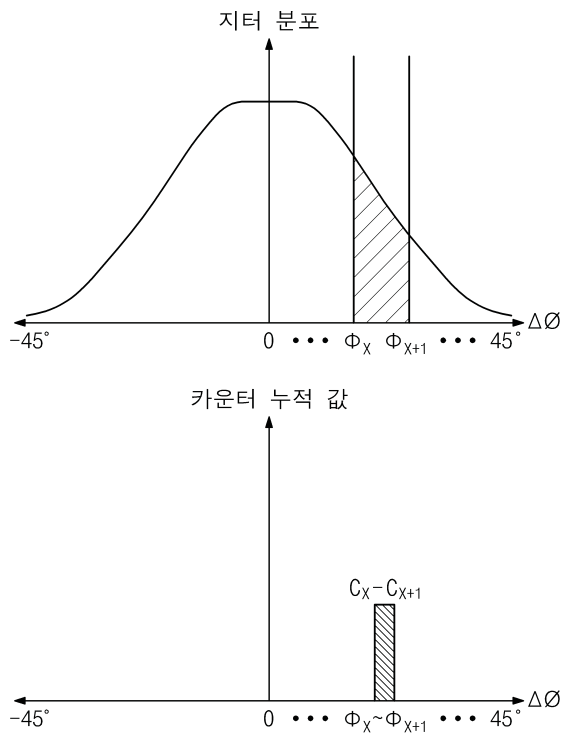
도면12a



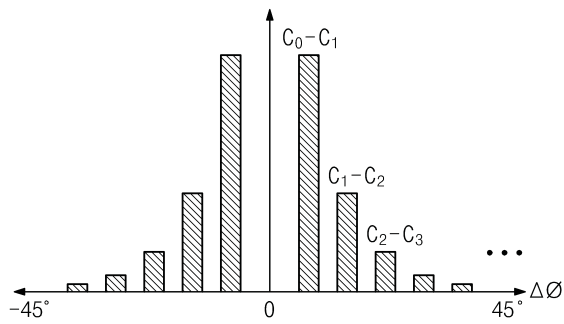
도면12b



도면12c



도면13



도면14

