

# 특허증

CERTIFICATE OF PATENT



특허

Patent Number

제 10-1704711 호

출원번호

Application Number

제 10-2015-0175942 호

출원일

Filing Date

2015년 12월 10일

등록일

Registration Date

2017년 02월 02일

발명의 명칭 Title of the Invention

전압 제어 발진기 및 그를 포함하는 위상 동기 루프

특허권자 Patentee

연세대학교 산학협력단(274171-\*\*\*\*\*)

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

발명자 Inventor

등록사항란에 기재

위의 발명은 「특허법」에 따라 특허등록원부에 등록되었음을 증명합니다.

This is to certify that, in accordance with the Patent Act, a patent for the invention has been registered at the Korean Intellectual Property Office.



2017년 02월 02일

특허청장

COMMISSIONER,

KOREAN INTELLECTUAL PROPERTY OFFICE

최 동 규

# 등록사항

특허

등록제 10-1704711 호

Patent Number

발명자 Inventors

최우영

김성근

## 【발명의 설명】

### 【발명의 명칭】

전압 제어 발진기 및 그를 포함하는 위상 동기 루프{VOLTAGE CONTROLLED OSCILLATOR AND PHASE LOCKED LOOP COMPRISING THE SAME}

### 【기술분야】

【0001】 본 발명은 전압 제어 발진기 및 그를 포함하는 위상 동기 루프에 관한 것이다.

### 【발명의 배경이 되는 기술】

【0002】 최근 IC(Integrated Circuit) 설계에 있어서, 전력 소모의 절감과 에너지 효율의 증대가 중요한 과제로 대두되었다. 이를 위해 전원 전압을 낮추는 방법이 사용되며, 이에 따라 위상 동기 루프(Phase-Locked Loop, PLL)에 있어서도 낮은 전원 전압에서의 구동이 가능하도록 하는 설계가 관심 받고 있다.

【0003】 위상 동기 루프는 유무선 통신 시스템에서 필수적인 회로로서, 부궤환 회로에 의해 기준 신호의 주파수와 동일하거나 체배된 주파수를 안정적으로 얻기 위해 사용된다. 위상 동기 루프에 있어서 전원 잡음은 성능을 크게 좌우하며, 특히 전압 제어 발진기(Voltage Controlled Oscillator, VCO)는 전원 잡음에 의해 발진 주파수가 바뀌기 때문에 전원 잡음에 가장 민감하다.

【0004】 일반적으로 전원 잡음의 보상을 위해 전원 전압 레귤레이터가 사용되고 있다. 그러나 이는 회로에 추가적인 트랜지스터 스택킹(stack)이 더 필요

한 구조이므로 낮은 전원 전압 하에서는 전압 헤드룸의 문제를 일으키는 등 부적합하다.

### 【발명의 내용】

#### 【해결하고자 하는 과제】

【0005】 본 발명은 저전압에서 효율적으로 동작할 수 있는 전압 제어 발진기 및 이를 구비한 위상 동기 루프를 제공하는 것을 목적으로 한다.

【0006】 또한, 본 발명은 전원 잡음을 보상하는 회로를 갖는 전압 제어 발진기를 사용하여, 전력 소모를 절감시키면서 전원 잡음에도 둔감한 위상 동기 루프를 제공하는 것을 목적으로 한다.

【0007】 본 발명이 해결하고자 하는 과제가 상술한 과제로 한정되는 것은 아니며, 언급되지 아니한 과제들은 본 명세서 및 첨부된 도면으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

#### 【과제의 해결 수단】

【0008】 본 발명의 일 실시 예에 따른 전압 제어 발진기는, 서로 다른 위상을 갖는 다수의 신호를 각각 발생시키는 다수의 인버터가 링 형태로 연결되고, 인버터들 사이에 형성된 다수의 피드 포워드(feed forward) 회로를 포함하는 발진부; 및 전원 전압의 잡음을 감지하여, 감지된 잡음을 기반으로 상기 인버터 및 상기 피드 포워드 회로를 제어하는 제어부를 포함할 수 있다.

【0009】 상기 제어부는, 상기 전원 전압의 변화량, 및 상기 변화량의 평균값을 감지하는 감지부를 포함할 수 있다.

【0010】 상기 감지부는, 상기 전원 전압이 공급되는 전원단과 접지 노드 사이에 연결된 제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터를 포함하며, 상기 변화량은 상기 제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터의 임피던스에 의한 전압 분할에 의해 감지될 수 있다.

【0011】 상기 감지부는, 상기 전원 전압이 공급되는 전원단과 접지 노드 사이에 연결된 제2 PMOS 트랜지스터와 제2 NMOS 트랜지스터, 그리고 상기 제2 NMOS 트랜지스터에 병렬로 연결된 커패시터를 포함하며, 상기 평균값은 상기 제2 PMOS 트랜지스터, 상기 제2 NMOS 트랜지스터, 및 상기 커패시터가 연결된 노드의 전압에 의해 결정될 수 있다.

【0012】 상기 제어부는, 상기 변화량과 상기 평균값의 차를 기반으로 상기 인버터를 제어하는 전압, 및 상기 피드 포워드 회로를 제어하는 전압을 생성하는 전압 발생부를 포함할 수 있다.

【0013】 상기 전압 발생부는, 상기 변화량을 반전 단자에 입력받고, 상기 평균값을 비반전 단자에 입력받으며, 상기 인버터를 제어하는 다이렉트(direct) 제어 전압을 출력하는 제1 반전 증폭기; 및 상기 평균값을 반전 단자에 입력받고, 상기 변화량을 비반전 단자에 입력받으며, 상기 피드 포워드 회로를 제어하는 피드 포워드 제어 전압을 출력하는 제2 반전 증폭기를 포함할 수 있다.

【0014】 상기 인버터는 PMOS 트랜지스터의 바디 바이어스(body bias)가 상기 다이렉트 제어 전압에 의해 제어되는 CMOS 인버터를 포함하며, 상기 피드 포워드 회로는 PMOS 트랜지스터의 바디 바이어스가 상기 피드 포워드 제어 전압에 의해 제어되는 CMOS 인버터를 포함할 수 있다.

【0015】 본 발명의 일 실시 예에 따른 위상 동기 루프는, 입력 신호와 출력 신호에 대응하는 피드백 신호의 위상과 주파수를 검출하여 풀업(pull-up) 신호 또는 풀다운(pull-down) 신호를 출력하는 위상 주파수 검출기, 상기 풀업 신호 또는 상기 풀다운 신호에 대응하여 제어 전압을 출력하는 전하 펌프, 상기 제어 전압의 고주파 성분을 제거하는 루프 필터, 및 상기 루프 필터로부터의 제어 신호에 따라 가변적인 주파수를 갖는 상기 출력 신호를 생성하는 전압 제어 발진기를 포함할 수 있다.

【0016】 상기 전압 제어 발진기는, 서로 다른 위상을 갖는 다수의 신호를 각각 발생시키는 다수의 인버터가 링 형태로 연결되고, 인버터들 사이에 형성된 다수의 피드 포워드(feed forward) 회로를 포함하는 발진부; 및 전원 전압의 잡음을 감지하여, 감지된 잡음을 기반으로 상기 인버터 및 상기 피드 포워드 회로를 제어하는 제어부를 포함할 수 있다.

【0017】 상기 제어부는, 상기 전원 전압의 변화량, 및 상기 변화량의 평균값을 감지하는 감지부를 포함할 수 있다.

【0018】 상기 감지부는, 상기 전원 전압이 공급되는 전원단과 접지 노드 사이에 연결된 제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터를 포함하며, 상기 변화량은 상기 제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터의 임피던스에 의한 전압 분할에 의해 감지될 수 있다.

【0019】 상기 감지부는, 상기 전원 전압이 공급되는 전원단과 접지 노드 사이에 연결된 제2 PMOS 트랜지스터와 제2 NMOS 트랜지스터, 그리고 상기 제2 NMOS 트랜지스터에 병렬로 연결된 커패시터를 포함하며, 상기 평균값은 상기 제2 PMOS 트랜지스터, 상기 제2 NMOS 트랜지스터, 및 상기 커패시터가 연결된 노드의 전압에 의해 결정될 수 있다.

【0020】 상기 변화량과 상기 평균값의 차를 기반으로 상기 인버터를 제어하는 전압, 및 상기 피드 포워드 회로를 제어하는 전압을 생성하는 전압 발생부를 포함할 수 있다.

【0021】 상기 전압 발생부는, 상기 변화량을 반전 단자에 입력받고, 상기 평균값을 비반전 단자에 입력받으며, 상기 인버터를 제어하는 다이렉트(direct) 제어 전압을 출력하는 제1 반전 증폭기; 및 상기 평균값을 반전 단자에 입력받고, 상기 변화량을 비반전 단자에 입력받으며, 상기 피드 포워드 회로를 제어하는 피드 포워드 제어 전압을 출력하는 제2 반전 증폭기를 포함할 수 있다.

【0022】 상기 인버터는, 상기 인버터의 상단에 연결되고 상기 루프 필터로부터의 제어 신호에 의해 제어되는 PMOS 트랜지스터에 의해 공급 전류가 제어되는



CMOS 인버터일 수 있다.

【0023】 상기 인버터는 PMOS 트랜지스터의 바디 바이어스(body bias)가 상기 다이렉트 제어 전압에 의해 제어되는 CMOS 인버터를 포함하며, 상기 피드 포워드 회로는 PMOS 트랜지스터의 바디 바이어스가 상기 피드 포워드 제어 전압에 의해 제어되는 CMOS 인버터를 포함할 수 있다.

### 【발명의 효과】

【0024】 본 발명의 일 실시 예에 따른 전압 제어 발진기를 포함하는 위상 동기 루프는 저전압에서 효율적으로 동작할 수 있다.

【0025】 또한, 본 발명의 일 실시 예에 따른 위상 동기 루프는 전원 잡음을 보상하는 회로를 갖는 전압 제어 발진기를 사용하여, 전력 소모를 절감시키면서 전원 잡음에도 둔감한 효과를 나타낼 수 있다.

【0026】 본 발명의 효과가 상술한 효과들로 한정되는 것은 아니며, 언급되지 아니한 효과들은 본 명세서 및 첨부된 도면으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확히 이해될 수 있을 것이다.

### 【도면의 간단한 설명】

【0027】 도 1은 본 발명이 일 실시 예에 따른 위상 동기 루프를 나타내는 도면이다.

도 2는 본 발명의 일 실시 예에 따른 전압 제어 발진기의 발진부를 나타내는 도면이다.



도 3은 도 2에 도시된 발진부의 바디 바이어스 전압 제어에 따른 발진 주파수를 나타내는 그래프이다.

도 4는 본 발명의 일 실시 예에 따른 전압 제어 발진기의 감지부를 나타내는 도면이다.

도 5a 내지 도 5c는 각각 전원 전압, 전원 전압의 변화량, 및 바디 바이어스 전압의 시간에 따른 변화를 나타내는 그래프이다.

도 5d는 본 발명의 일 실시 예 및 비교 예에 따른 전압 제어 발진기의 발진 주파수를 나타내는 그래프이다.

도 6은 본 발명의 일 실시 예에 따른 전압 제어 발진기의 감지부의 주파수 응답(frequency response)과 전원 전압 잡음에 따라 보상된 주파수 변동을 나타내는 그래프이다.

### **【발명을 실시하기 위한 구체적인 내용】**

【0028】 본 발명의 다른 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술하는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되지 않으며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 만일 정의되지 않더라도, 여기서 사용되는 모든 용어들(기술 혹은 과학 용어들을 포함)은 이 발명이 속한 종래 기술에서 보편적 기술에 의해 일반적으로 수용되는 것과 동일한 의미를 갖는다. 공지된 구성에 대한 일반적인 설명은 본 발명의 요지를 흐리지 않기 위해 생략될 수 있다. 본 발명의 도면에

서 동일하거나 상응하는 구성에 대하여는 가급적 동일한 도면 부호가 사용된다.

【0029】 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다", "가지다", 또는 "구비하다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 본 명세서에서 어떤 구성요소가 다른 구성요소에 '연결'되는 것의 의미는 어떤 구성요소가 다른 구성요소에 직접 연결되거나, 또 다른 구성요소를 매개로 하여 간접적으로 연결되는 것을 포함하는 의미이다.

【0030】 본 발명의 실시 예에 따른 위상 동기 루프는 전원 잡음을 보상하는 전압 제어 발진기를 포함하여, 저전압에서의 동작의 효율을 높일 수 있다. 특히, 본 발명은 추가적인 트랜지스터 스택킹(stack) 없이도 전원 잡음을 보상할 수 있는 전압 제어 발진기를 제공한다.

【0031】 도 1은 본 발명이 일 실시 예에 따른 위상 동기 루프(10)를 나타내는 도면이다.

【0032】 도 1을 참조하면, 본 발명의 일 실시 예에 따른 위상 동기 루프(10)는 위상 주파수 검출기(11), 전하 펌프(12), 루프 필터(13), 주파수 분배기(14),

및 전압 제어 발진기(100)를 포함한다. 위상 동기 루프(10)는 기준 신호( $CLK_{Ref}$ )에 동기된 출력 신호를 생성한다.

【0033】 위상 주파수 검출기(11)는 입력 신호인 기준 신호( $CLK_{Ref}$ )와, 전압 제어 발진기(100)의 출력 신호에 대응하는 피드백 신호의 위상과 주파수를 검출하고, 기준 신호( $CLK_{Ref}$ )와 피드백 신호 간의 비교 결과에 따라 풀업(pull-up) 신호(UP) 또는 풀다운 신호(pull-down) 신호(DN)를 출력한다. 기준 신호( $CLK_{Ref}$ )는 기준 주파수를 갖는 신호일 수 있다. 피드백 신호는 전압 제어 발진기(100)의 출력 신호로부터 주파수 분배기(14)에 의해 주파수 분배된(분주된) 신호일 수 있다.

【0034】 예를 들어, 위상 주파수 검출기(11)는 기준 신호( $CLK_{Ref}$ )의 위상이 피드백 신호보다 느리면 풀업 신호(UP)를 출력하고, 기준 신호( $CLK_{Ref}$ )의 위상이 피드백 신호보다 빠르면 풀다운 신호(DN)를 출력할 수 있다. 위상 주파수 검출기(11)에서 출력된 풀업 신호(UP) 또는 풀다운 신호(DN)는 전하 펌프(12)로 입력된다.

【0035】 전하 펌프(12)는 위상 주파수 검출기(11)로부터 출력되는 풀업 신호(UP) 또는 풀다운 신호(DN)를 입력받고, 풀업 신호(UP) 또는 풀다운 신호(DN)에 대응하여 제어 신호( $V_{CONT}$ )를 출력한다. 예를 들어, 전하 펌프(12)는 위상 주파수 검출기(11)로부터 풀업 신호(UP)가 입력되면 상대적으로 높은 전압의 제어 신호( $V_{CONT}$ )를 출력하고, 위상 주파수 검출기(11)로부터 풀다운 신호(DN)가 입력되면 상대적으로

낮은 전압의 제어 신호( $V_{CONT}$ )를 출력한다.

【0036】 루프 필터(13)는 전하 펌프(12)로부터 출력된 제어 신호( $V_{CONT}$ )에서 고주파 성분을 제거한다. 일 실시 예로, 루프 필터(13)는 적어도 하나의 커패시터 소자와 저항 소자를 포함할 수 있다. 루프 필터(13)는 연산증폭기를 구비한 능동 루프 필터와 수동 소자만으로 이루어진 수동 루프 필터 모두 사용될 수 있다. 루프 필터(13)는 도 1에 도시된 구조로 제한되지 않으며, 도시되지 않은 다양한 구조로 제공될 수 있다. 루프 필터(13)에 의해 고주파 성분이 제거된 제어 신호( $V_{CONT}$ )는 전압 제어 발진기(100)로 입력된다. 전압 제어 발진기(100)의 구조에 대해서는 도 2 및 도 4를 참조하여 구체적으로 설명된다.

【0037】 주파수 분배기(14)는 전압 제어 발진기(100)의 출력 신호의 주파수를 분배하여 피드백 신호를 생성한다. 주파수 분배기(14)에서 출력된 피드백 신호는 위상 주파수 검출기(11)로 피드백 입력된다. 도 1에 도시된 바와 같이, 일 실시 예에 따라 주파수 분배기(14)는 3개의 트루 싱글 페이즈 클록(true-single-phase-clock, TSPC) D 플립플롭, 및 1개의 확장된 트루 싱글 페이즈 클록(extended true-single-phase-clock, E-TSPC) D 플립플롭으로 구성된 1/16 주파수 분배기일 수 있다. 도 1에 도시된 바와 같은 1/16 주파수 분배기는 빠른 동작 속도와 적은 전력 소모를 위해 사용될 수 있다. 그러나 본 발명의 실시 예에 따른 위상 동기 루프(10)에서 사용될 수 있는 주파수 분배기(14)의 형태는 이에 제한되지 않는다.

【0038】 이하에서 도 2 내지 4를 참조하여 본 발명의 일 실시 예에 따른 전압 제어 발진기(100)의 구조 및 동작에 대해 구체적으로 설명한다. 도 1에 도시된 바와 같이, 본 발명의 일 실시 예에 따른 전압 제어 발진기(100)는 발진부(110) 및 제어부(120)를 포함한다.

【0039】 도 2는 본 발명의 일 실시 예에 따른 전압 제어 발진기(100)의 발진부(110)를 나타내는 도면이다.

【0040】 발진부(110)는 서로 다른 위상을 갖는 다수의 신호를 각각 발생시키는 다수의 인버터가 링 형태로 연결되고, 상기 인버터들 사이에 형성된 다수의 피드 포워드(feed forward) 회로를 포함하는 피드 포워드 링 오실레이터(feed forward ring oscillator)일 수 있다. 도 2에 도시된 바와 같이, 피드 포워드 링 오실레이터는 다이렉트 경로(direct path)와 피드 포워드 경로(feedforward path)를 포함한다. 일 실시 예에 따라, 발진부(110)는 각각의 인버터가 90° 위상 차를 갖는 신호를 출력하는 4-스테이지(4-stage) 피드 포워드 링 오실레이터일 수 있다. 그러나 발진부(110)의 형태는 이제 제한되지 않으며, 인버터의 개수를 조절하여 다른 형태의 피드 포워드 링 오실레이터로 구현될 수 있다.

【0041】 도 2를 참조하면, 다이렉트 경로에 포함되는 인버터들은 PMOS 트랜지스터에 의해 제어되는 커런트-스타브드(current-starved) CMOS 인버터일 수 있다. 또한 도 2에 도시된 바와 같이 피드 포워드 경로에 포함되는 인버터들은 CMOS 인버터일 수 있다.

【0042】다이렉트 경로에 포함되는 인버터에 있어서, 전원 전압이 공급되는 PMOS 트랜지스터, 즉 인버터에 공급되는 전류를 제어하는 PMOS 트랜지스터의 바디(body)는 루프 필터(13)에 연결되어 발진부(110)의 주파수를 조절할 수 있다. PMOS 트랜지스터의 바디 바이어스(body bias) 조절은 저전압에서도 래치-업(latch-up) 현상 없이 가능하다.

【0043】피드 포워드 링 오실레이터에 있어서, 다이렉트 경로와 피드 포워드 경로의 드라이빙 강도(driving strength) 비는 발진 주파수를 결정하는 요소가 될 수 있다. 도 3은 도 2에 도시된 발진부의 바디 바이어스 전압 제어에 따른 발진 주파수를 나타내는 그래프이다. 도 3에 도시된 바와 같이, 피드 포워드 링 오실레이터의 발진 주파수는, 다이렉트 경로와 피드 포워드 경로에 포함되는 CMOS 인버터의 PMOS 바디 바이어스 차( $V_D - V_F$ )에 따라 조절될 수 있다. 따라서, 피드 포워드 링 오실레이터의 바디 바이어스를 감지된 전원 전압의 잡음을 기반으로 조절하여 전원 전압의 잡음을 보상할 수 있다.

【0044】도 4는 본 발명의 일 실시 예에 따른 전압 제어 발진기(100)의 제어부(120)를 나타내는 도면이다. 제어부(120)는 감지부, 및 전압 발생부를 포함할 수 있다.

【0045】감지부는 전원 전압의 잡음을 감지한다. 구체적으로, 감지부(120)는 전원 전압의 변화량( $V_N$ ), 및 변화량의 평균값( $V_{N,AVG}$ )을 감지할 수 있다.

【0046】 도 4를 참조하면, 감지부는 전원 전압이 공급되는 전원단과 접지 노드 사이에 연결된 제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터를 포함한다. 전원 전압의 변화량( $V_N$ )은 상기 제1 PMOS 트랜지스터 및 상기 제1 NMOS 트랜지스터의 임피던스에 의한 전압 분할에 의해 감지될 수 있다. 다시 도 4를 참조하면, 감지부(120)는 전원 전압이 공급되는 전원단과 접지 노드 사이에 연결된 제2 PMOS 트랜지스터와 제2 NMOS 트랜지스터, 그리고 상기 제2 NMOS 트랜지스터에 병렬로 연결된 커패시터를 포함한다. 변화량의 평균값( $V_{N,AVG}$ )은 상기 제2 PMOS 트랜지스터, 상기 제2 NMOS 트랜지스터, 및 상기 커패시터가 연결된 노드의 전압에 의해 결정될 수 있다.

【0047】 도 4에 도시된 바와 같이, 제어부(120)는 변화량( $V_N$ )과 평균값( $V_{N,AVG}$ )의 차를 기반으로 다이렉트 경로의 인버터를 제어하는 다이렉트 제어 전압( $V_D$ ), 및 피드 포워드 경로의 인버터를 제어하는 피드 포워드 제어 전압( $V_F$ )을 생성하는 전압 발생부를 포함할 수 있다.

【0048】 도 4를 참조하면, 전압 발생부는 변화량( $V_N$ )을 반전 단자에 입력받고, 평균값( $V_{N,AVG}$ )을 비반전 단자에 입력받는 제1 반전 증폭기, 및 평균값( $V_{N,AVG}$ )을 반전 단자에 입력받고, 변화량( $V_N$ )을 비반전 단자에 입력받는 제2 반전 증폭기를 포함할 수 있다. 제1 반전 증폭기는 다이렉트 제어 전압( $V_D$ )을 출력하며, 제2 반전 증



폭기는 피드 포워드 제어 전압( $V_F$ )을 출력할 수 있다.

【0049】 변화량( $V_N$ )이 평균값( $V_{N,AVG}$ )보다 큰 경우, 다이렉트 제어 전압( $V_D$ )이 피드 포워드 제어 전압( $V_F$ )보다 커지며, 이에 따라 바디 바이어스가 제어된 발진부(110)의 발진 주파수는 감소할 수 있다. 반대로, 평균값( $V_{N,AVG}$ )이 변화량( $V_N$ )보다 큰 경우, 피드 포워드 제어 전압( $V_F$ )이 다이렉트 제어 전압( $V_D$ )보다 커지며, 이에 따라 바디 바이어스가 제어된 발진부(110)의 발진 주파수는 증가할 수 있다.

【0050】 도 5a 내지 도 5c는 각각 전원 전압, 전원 전압의 변화량, 및 바디 바이어스 전압의 시간에 따른 변화를 나타내는 그래프이다.

【0051】 잡음에 의해 변화하는 전원 전압(VDD)의 그래프가 도 5a에 도시되어 있으며, 도 5b는 감지된 변화량( $V_N$ ) 및 평균값( $V_{N,AVG}$ )을 나타낸다. 도 5c는 감지된 변화량( $V_N$ ) 및 평균값( $V_{N,AVG}$ )에 따라 생성된 바이어스 제어 전압( $V_D$ ,  $V_F$ )을 나타낸다.

【0052】 도 5d는 본 발명의 일 실시 예 및 비교 예에 따른 전압 제어 발진기의 발진 주파수를 나타내는 그래프이다. 비교 예에 따라 전원 전압 잡음의 보상을 수행하지 않은 경우(w/o compensation) 보다, 본 발명의 일 실시 예에 따라 전원 전압 잡음의 보상을 수행한 경우(w/ compensation) 잡음이 발진 주파수에 미치는 영향이 줄어들었음을 확인할 수 있다.

【0053】 도 6은 본 발명의 일 실시 예에 따른 전압 제어 발진기의 감지부의 주파수 응답(frequency response)과 전원 전압 잡음에 따라 보상된 발진 주파수 변동률을 나타내는 그래프이다. 도 6을 참조하면, 전원 전압의 잡음 주파수가 감지부의 대역폭 내에 있을 때, 발진 주파수 변동률은 0.8% 이하임을 확인할 수 있다. 위상 동기 루프 및 전압 제어 발진기는 전원 전압의 잡음에 대해 대역-통과 필터의 특성을 갖는다. 결과적으로, 감지부의 대역폭이 위상 동기 루프의 대역폭을 포함한다면, 감지부는 적절하게 동작 가능하다.

【0054】 이상에서 본 발명의 바람직한 실시 예에 대해 도시하고 설명하였으나, 본 발명은 상술한 특정의 바람직한 실시 예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형 실시가 가능한 것은 물론이고, 그와 같은 변경은 청구범위 기재의 범위 내에 있게 된다.

### 【부호의 설명】

- 【0055】 10 : 위상 동기 루프
- 11 : 위상 주파수 검출기
- 12 : 전하 펌프
- 13 : 루프 필터
- 14 : 주파수 분배기
- 100 : 전압 제어 발진기

110 : 발진부

120 : 제어부

## 【특허청구범위】

### 【청구항 1】

서로 다른 위상을 갖는 다수의 신호를 각각 발생시키는 다수의 인버터가 링 형태로 연결되고, 인버터들 사이에 형성된 다수의 피드 포워드(feed forward) 회로를 포함하는 발진부; 및

전원 전압의 잡음을 감지하여, 감지된 잡음을 기반으로 상기 인버터 및 상기 피드 포워드 회로를 제어하는 제어부를 포함하는 전압 제어 발진기.

### 【청구항 2】

제1 항에 있어서,

상기 제어부는,

상기 전원 전압의 변화량, 및 상기 변화량의 평균값을 감지하는 감지부를 포함하는 전압 제어 발진기.

### 【청구항 3】

제2 항에 있어서,

상기 감지부는,

상기 전원 전압이 공급되는 전원단과 접지 노드 사이에 연결된 제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터를 포함하며,

상기 변화량은 상기 제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터의 임피던스에 의한 전압 분할에 의해 감지되는 전압 제어 발진기.

#### 【청구항 4】

제3 항에 있어서,

상기 감지부는,

상기 전원 전압이 공급되는 전원단과 접지 노드 사이에 연결된 제2 PMOS 트랜지스터와 제2 NMOS 트랜지스터, 그리고 상기 제2 NMOS 트랜지스터에 병렬로 연결된 커패시터를 포함하며,

상기 평균값은 상기 제2 PMOS 트랜지스터, 상기 제2 NMOS 트랜지스터, 및 상기 커패시터가 연결된 노드의 전압에 의해 결정되는 전압 제어 발진기.

#### 【청구항 5】

제2 항에 있어서,

상기 제어부는,

상기 변화량과 상기 평균값의 차를 기반으로 상기 인버터를 제어하는 전압, 및 상기 피드 포워드 회로를 제어하는 전압을 생성하는 전압 발생부를 포함하는 전압 제어 발진기.

**【청구항 6】**

제5 항에 있어서,

상기 전압 발생부는,

상기 변화량을 반전 단자에 입력받고, 상기 평균값을 비반전 단자에 입력받으며, 상기 인버터를 제어하는 다이렉트(direct) 제어 전압을 출력하는 제1 반전 증폭기; 및

상기 평균값을 반전 단자에 입력받고, 상기 변화량을 비반전 단자에 입력받으며, 상기 피드 포워드 회로를 제어하는 피드 포워드 제어 전압을 출력하는 제2 반전 증폭기를 포함하는 전압 제어 발진기.

**【청구항 7】**

제6 항에 있어서,

상기 인버터는 PMOS 트랜지스터의 바디 바이어스(body bias)가 상기 다이렉트 제어 전압에 의해 제어되는 CMOS 인버터를 포함하며,

상기 피드 포워드 회로는 PMOS 트랜지스터의 바디 바이어스가 상기 피드 포워드 제어 전압에 의해 제어되는 CMOS 인버터를 포함하는 전압 제어 발진기.

**【청구항 8】**

입력 신호와 출력 신호에 대응하는 피드백 신호의 위상과 주파수를 검출하여

풀업(pull-up) 신호 또는 풀다운(pull-down) 신호를 출력하는 위상 주파수 검출기, 상기 풀업 신호 또는 상기 풀다운 신호에 대응하여 제어 전압을 출력하는 전하 펌프, 상기 제어 전압의 고주파 성분을 제거하는 루프 필터, 및 상기 루프 필터로부터의 제어 신호에 따라 가변적인 주파수를 갖는 상기 출력 신호를 생성하는 전압 제어 발진기를 포함하는 위상 동기 루프로서,

상기 전압 제어 발진기는,

서로 다른 위상을 갖는 다수의 신호를 각각 발생시키는 다수의 인버터가 링 형태로 연결되고, 인버터들 사이에 형성된 다수의 피드 포워드(feed forward) 회로를 포함하는 발진부; 및

전원 전압의 잡음을 감지하여, 감지된 잡음을 기반으로 상기 인버터 및 상기 피드 포워드 회로를 제어하는 제어부를 포함하는 위상 동기 루프.

### 【청구항 9】

제8 항에 있어서,

상기 제어부는,

상기 전원 전압의 변화량, 및 상기 변화량의 평균값을 감지하는 감지부를 포함하는 위상 동기 루프.



**【청구항 10】**

제9 항에 있어서,

상기 감지부는,

상기 전원 전압이 공급되는 전원단과 접지 노드 사이에 연결된 제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터를 포함하며,

상기 변화량은 상기 제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터의 임피던스에 의한 전압 분할에 의해 감지되는 위상 동기 루프.

**【청구항 11】**

제10 항에 있어서,

상기 감지부는,

상기 전원 전압이 공급되는 전원단과 접지 노드 사이에 연결된 제2 PMOS 트랜지스터와 제2 NMOS 트랜지스터, 그리고 상기 제2 NMOS 트랜지스터에 병렬로 연결된 커패시터를 포함하며,

상기 평균값은 상기 제2 PMOS 트랜지스터, 상기 제2 NMOS 트랜지스터, 및 상기 커패시터가 연결된 노드의 전압에 의해 결정되는 위상 동기 루프.

**【청구항 12】**

제9 항에 있어서,

상기 변화량과 상기 평균값의 차를 기반으로 상기 인버터를 제어하는 전압, 및 상기 피드 포워드 회로를 제어하는 전압을 생성하는 전압 발생부를 포함하는 위상 동기 루프.

### 【청구항 13】

제12 항에 있어서,

상기 전압 발생부는,

상기 변화량을 반전 단자에 입력받고, 상기 평균값을 비반전 단자에 입력받으며, 상기 인버터를 제어하는 다이렉트(direct) 제어 전압을 출력하는 제1 반전 증폭기; 및

상기 평균값을 반전 단자에 입력받고, 상기 변화량을 비반전 단자에 입력받으며, 상기 피드 포워드 회로를 제어하는 피드 포워드 제어 전압을 출력하는 제2 반전 증폭기를 포함하는 위상 동기 루프.

### 【청구항 14】

제13 항에 있어서,

상기 인버터는,

상기 인버터의 상단에 연결되고 상기 루프 필터로부터의 제어 신호에 의해 제어되는 PMOS 트랜지스터에 의해 공급 전류가 제어되는 CMOS 인버터인 위상 동기

루프.

**【청구항 15】**

제13 항에 있어서,

상기 인버터는 PMOS 트랜지스터의 바디 바이어스(body bias)가 상기 다이렉트 제어 전압에 의해 제어되는 CMOS 인버터를 포함하며,

상기 피드 포워드 회로는 PMOS 트랜지스터의 바디 바이어스가 상기 피드 포워드 제어 전압에 의해 제어되는 CMOS 인버터를 포함하는 위상 동기 루프.

**【요약서】****【요약】**

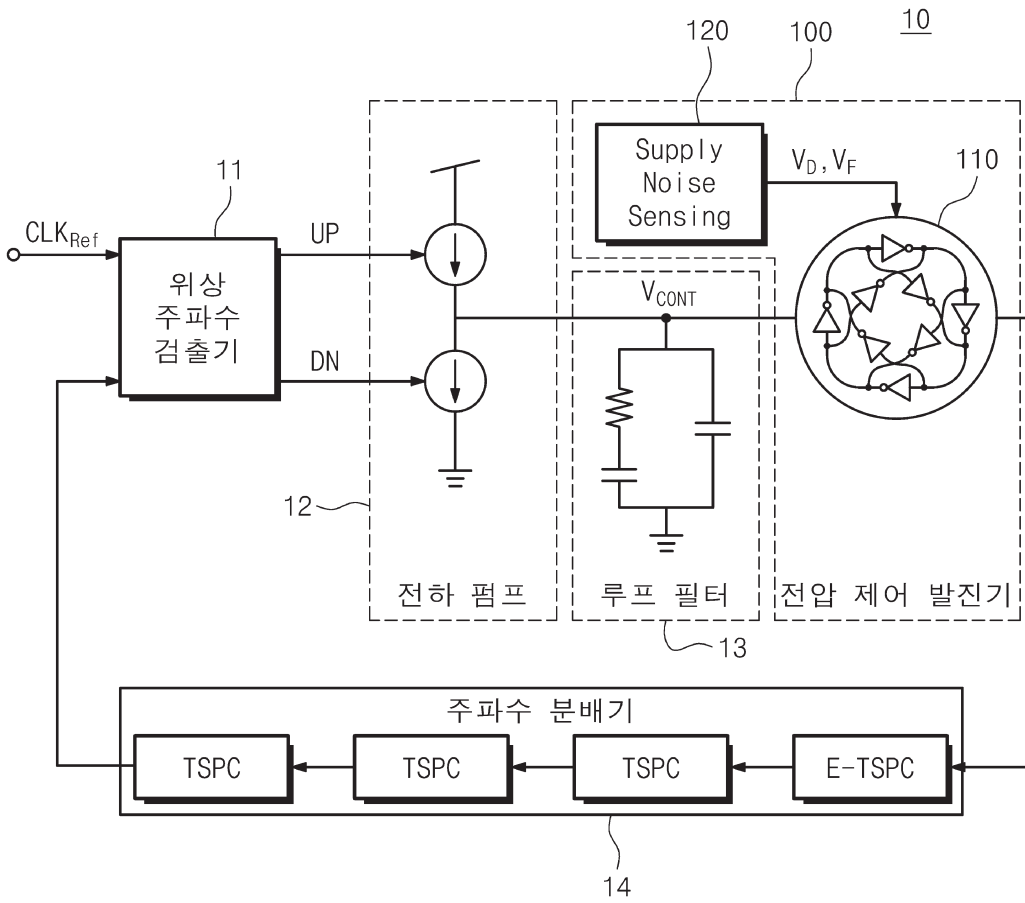
본 발명은 전원 전압의 잡음을 보상하는 전압 제어 발진기 및 그를 포함하는 위상 동기 루프에 관한 것이다. 본 발명의 일 실시 예에 따른 전압 제어 발진기는, 서로 다른 위상을 갖는 다수의 신호를 각각 발생시키는 다수의 인버터가 링 형태로 연결되고, 인버터들 사이에 형성된 다수의 피드 포워드 회로를 포함하는 발진부; 및 전원 전압의 잡음을 감지하여 감지된 잡음을 기반으로 상기 인버터 및 상기 피드 포워드 회로를 제어하는 제어부를 포함할 수 있다.

**【대표도】**

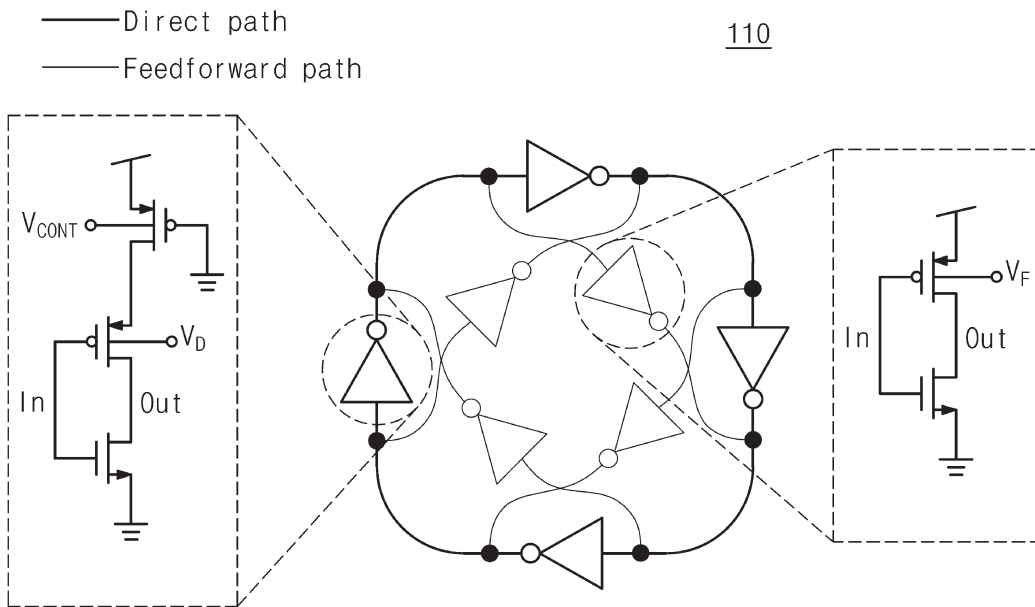
도 1

【도면】

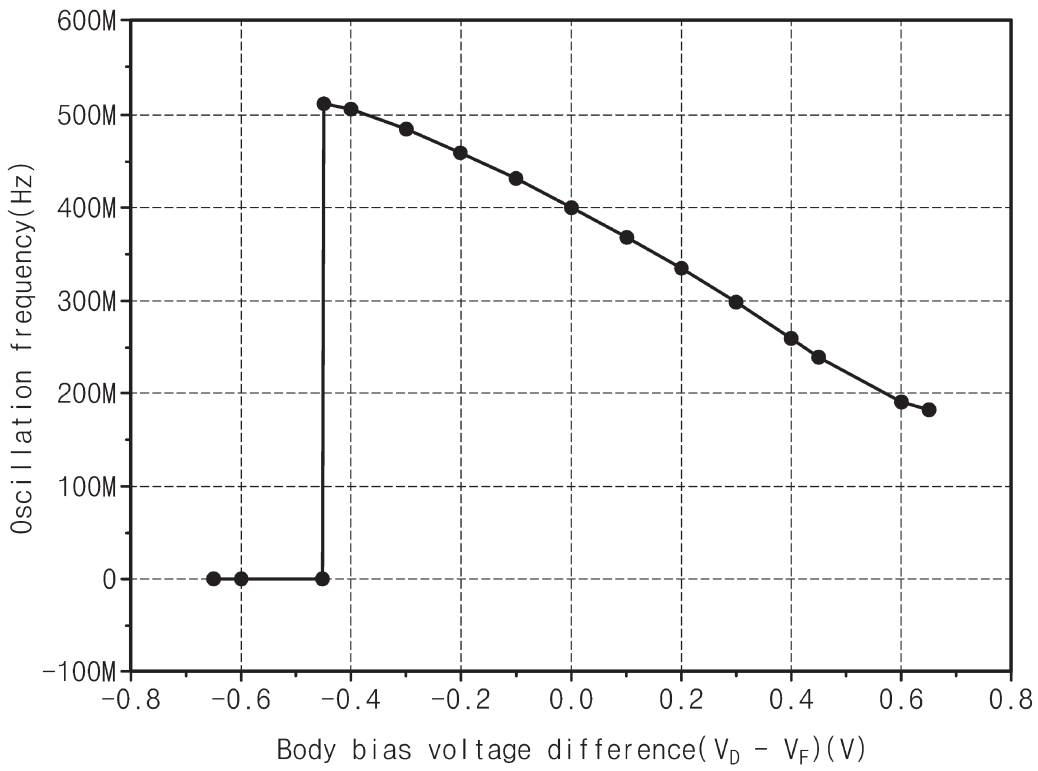
【도 1】



【도 2】

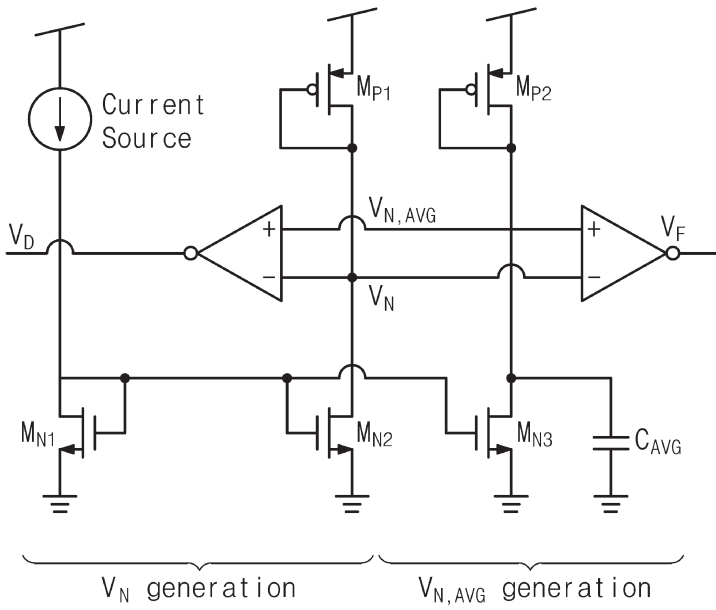


【도 3】

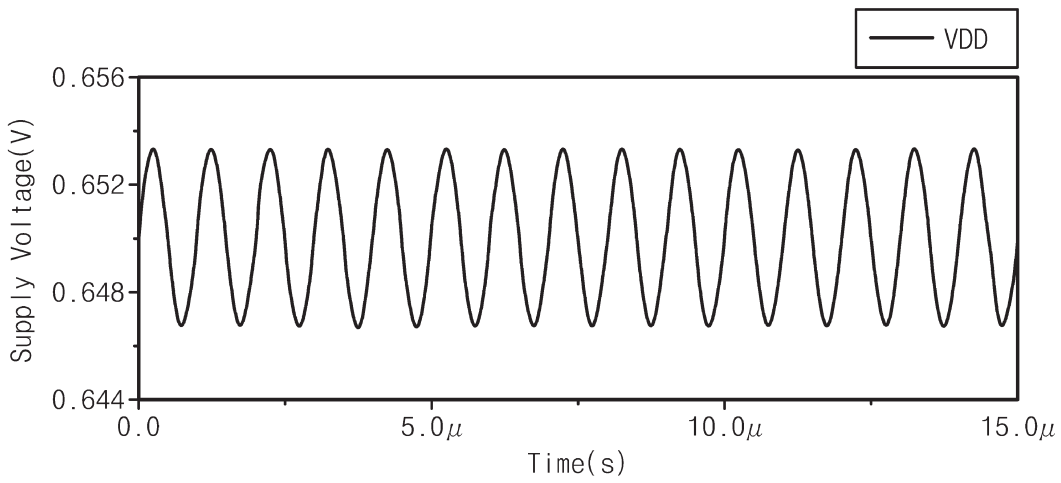


【도 4】

120

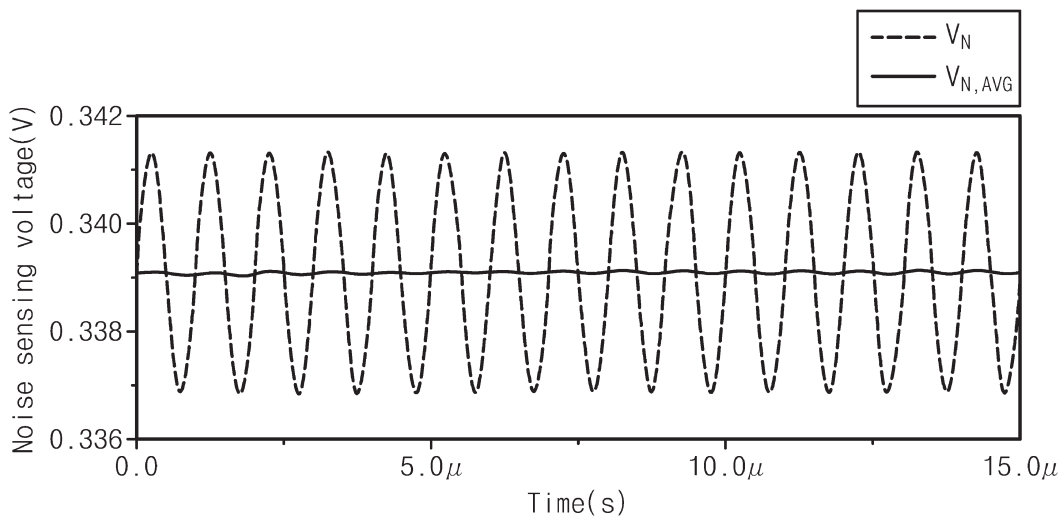


【도 5a】

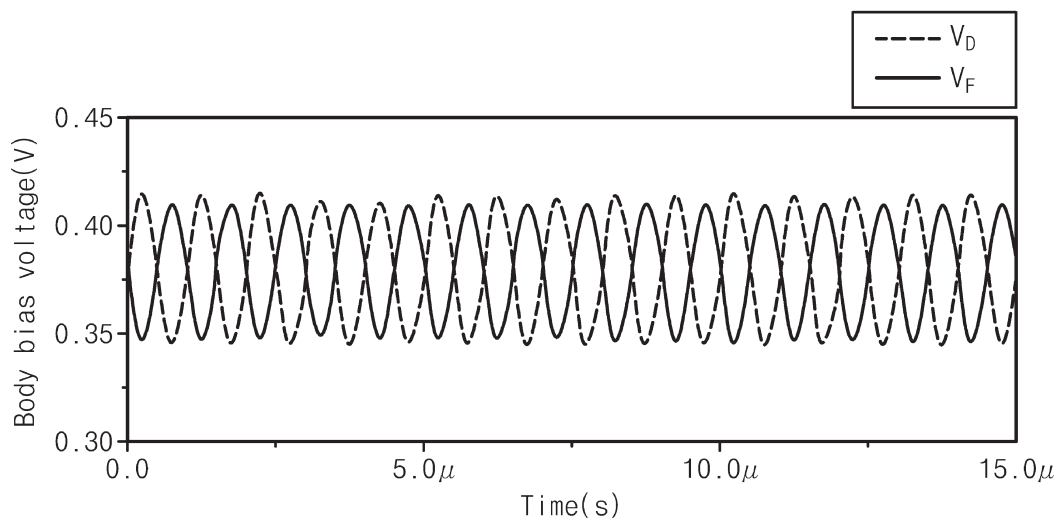




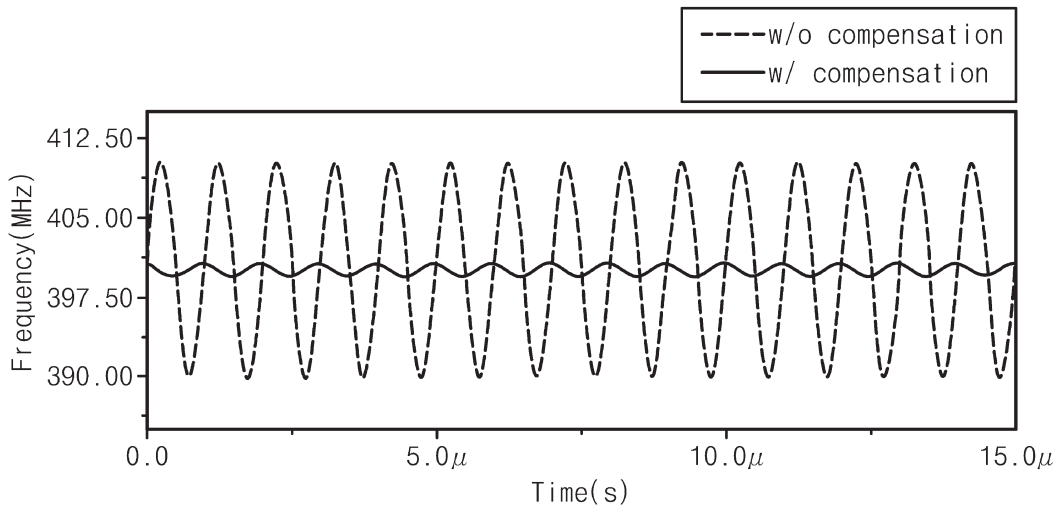
【도 5b】



【도 5c】



【도 5d】



【도 6】

