GaAs MESFET를 이용한 GHz급 위상 동기 회로 설계

연세대학교 대학원
전기·컴퓨터 공학과
정 태 식

GaAs MESFET를 이용한 GHz급 위상 동기 회로 설계

지도 최 우 영 교수

이 논문을 박사 학위논문으로 제출함

1999년 12월 일

연세대학교 대학원
전기·컴퓨터 공학과
정 태 식

정태식의 박사 학위논문을 인준함

심사위원 _____ 인

심사위원 _____ 인

심사위원 _____ 인

심사위원 _____ 인

심사위원 _____ 인

연세대학교 대학원

1999년 12월 일

감사의 글

논문을 완성하기까지 부족한 저를 사랑으로 돌봐주신 많은 분들께 감사의 마음을 전하고자 합니다.

박사 과정 동안 각별한 관심과 지도를 통해 미흡한 저의 연구에 커다란 가르침을 주신 최우영 교수님께 깊은 감사를 드립니다. 또한, 석사 과정 때부터 오늘에 이르기까지 많은 가르침을 주신 김봉열 교수님과 본 논문을 작성하는데 큰 도움을 주신 이범철 박사님께 감사드리고, 논문의 부족한 점을 지도해 주신 김재석 교수님과 한건희 교수님께도 감사드립니다. 그리고, 학부와 대학원 과정 동안 가르침을 주신 박규태 교수님, 차일환 교수님, 이상배 교수님, 이문기 교수님, 윤대희 교수님, 김재희 교수님, 이용석 교수님, 그리고 박한규 교수님께 감사드립니다.

연구가 충실히 진행될 수 있도록 물심양면으로 도움을 주신 한국 전자 통신 연구원 고속 스위치 팀의 최은창 선임연구원께 감사의 마음을 전합니다.

연구실 생활을 같이 하며 친구처럼 지낸 경환이와 승우, 졸업 동기인 성훈, 명수, 그리고 서영광 씨, 앞으로 연구실을 이끌어갈 용상, 유근, 재욱, 혁기, 그리고 창순, 모두에게 고마운 마음을 전합니다. 또한, 이미 졸업했지만 함께 일하며 고생했던 정일, 종수, 그리고 상오에게도 고마움을 전합니다.

오늘이 있기까지 그 무엇과도 비교할 수 없는 무한한 사랑으로 돌봐주신 부모님의 은혜에 머리 숙여 감사를 드리며 이 작은 결실을 드립니다. 언제나 분에 넘치는 사랑으로 격려해주신 장인 장모님과 여러 친지 분들께도 말할 수 없이 깊은 감사를 드립니다.

늘 함께 하며 곁에서 웃어 주는 아내 혜경에게 그 동안의 미안함과 고마움을 동시에 전하며, 사랑하는 딸 희진이와 함께 이 기쁨을 나누고자 합니다.

1999년 12월

정태식 올림

차 례

그 림 차 례

표 차 례

국 문 요 약

본 논문에서는 Gbps급 데이터 통신 시스템에 응용될 수 있는 2GHz급 위상 동기 회로와 10GHz급 위상 동기 회로를 제안한다. 제안된 회로는 0.5㎛ GaAs MESFET 공정 파라미터를 이용하여 설계되며, SPICE를 이용한 post-layout 시뮬레이션을 통해 회로 성능을 검증한다. 또한, 각각의 위상 동기 회로를 구현하기 위해 다음과 같은 새로운 구조의 구성 회로들을 제안한다.

첫째, 10GHz 대역의 높은 주파수를 낼 수 있는 새로운 구조의 전압 제어 발진기를 제안한다. 제안된 회로는 SCFL 형태의 차동 인버터의 공통-소오스에서 나타나는 주파수 체배 효과를 이용하여 2단 링 발진기로부터 10GHz 대역의 신호를 발생시키는 방식을 사용한다. SPICE 시뮬레이션 결과, 제안된 10GHz급 전압 제어 발진기는 -1.6V -0.4V의 제어 전압 범위에서 8.95GHz 10.13GHz의 출력 주파수 범위를 가지며 -25℃ 80℃의 동작 온도 범위에서 -5.52MHz/℃의 온도 계수를 갖는다.

둘째, 기존의 피드백 결합 방식의 전압 제어 발진기보다 넓은 주파수 범위를 가지면서 안정성이 강화된 새로운 구조의 2GHz급 전압 제어 발진기를 제안한다. 제안된 회로는 2개의 동일한 링 발진기를 아날로그 MUX를 이용하여 상호 결합함으로써 기존의 방식이 갖는 장점을 그대로 유지하면서 동시에 기존 방식에서 문제가 되었던 발진 주파수 범위의 제한 및 발진의 불안정성을 해결할 수 있는 구조를 사용한다. SPICE 시뮬레이션 결과, 제안된 회로는 -0.8V 0.2V의 차동 제어 전압 범위에서 1.48GHz 2.84GHz의 출력 주파수 범위를 가지며 0℃ 80℃의 동작 온도 범위에서 -1.82MHz/℃의 온도 계수를 갖는다.

셋째, 고속 동작이 가능하면서 동시에 출력의 안정성을 향상시킬 수 있는 새로운 구조의 차동 전하 펌프 회로를 제안한다. 제안된 회로는 기존의 차동 전하 펌프에서 나타나는 누설로 인한 출력 전압 유지 성능의 저하를 해결하기 위해 다이오드를 이용하여 간단하게 구성할 수 있는 누설 방지 회로와 설계 조건이 크게 완화된 피드백을 통한 전류원 제어 회로를 이용하여 기존의 구조에 비해 개선된

출력 전압 유지 성능을 갖는 구조를 사용한다. SPICE 시뮬레이션 결과, 80°C의 동작 온도 조건하에서 최대 0.16%/500ns의 출력 전압 유지 성능을 갖는다.

본 논문에서 제안된 각 구성 회로들을 이용하여 설계된 2GHz급 위상 동기 회로와 10GHz급 위상 동기 회로의 성능은 SPICE 시뮬레이션 결과, 각각 0.72° 와 0.62° 의 최대 정적 위상 오차를 가지며, 0.452ps(0.00072UI)와 0.048ps(0.00048UI)의 최대 rms 지터를 갖는다.

위상 동기 회로, 0.5㎛ GaAs MESFET, 10GHz급 전압 제어 발진기, 2GHz급 전압 제어 발진기, 고속 차동 전하 펌프, SPICE

제 1 장. 서 론

통신 시스템이 점차 고속화·대용량화됨에 따라, 시스템을 구성하는 부시스템들의 집적화 및 고속화가 요구되고 있다. 이에 따라, GHz 대역의 높은 시스템 클럭을 제공하기 위한 위상 동기 회로(phase-locked loops; PLL) 및 Gbps급의 높은 전송율로 전송되는 데이터로부터 클럭 신호를 추출하는 클럭/데이터 복원 회로(clock/data recovery circuits)에 관한 연구가 활발히 이루어지고 있다.[1-11]

PLL은 주파수 합성 회로(frequency synthesizer) 및 클럭/데이터 복원 회로에 필수적으로 포함되는 핵심 구성 회로이다. 일반적으로 PLL은 위상/주파수 검출기(phase/frequency detector; PFD), 전하 펌프(charge-pump), 루프 필터(loop filter), 전압 제어 발진기(voltage-controlled oscillator; VCO), 그리고 주파수 분주기(frequency divider)로 구성되어 기준 입력 신호에 대해 VCO 출력의 분주된 신호의 위상을 동기시키는 기능을 한다.[9] PLL을 구성하는 모든 요소들이 전체 회로의 성능에 영향을 미치지만 그 중에서도 VCO는 PLL의 입력 신호의 주파수 및 위상에 동기되는 신호를 발생시키기 위한 수단으로서 PLL의 성능에 가장 큰 영향을 미치는 요인이 되며, VCO를 제어하는 전하 펌프 회로 역시 중대한 작용을 한다. 따라서, PLL을 구성하는 여러 기능 블록들 중에서 특히 VCO와 전하 펌프에 대한 연구가 광범위하게 진행되고 있다.[12-26] VCO에 대해서는 VCO의 출력이 곧 PLL의 동작 주파수를 결정하므로 이의 최대 출력 주파수를 향상시키기 위한 연구가 이루어지고 있으며, 동시에 VCO의 안정성을 위한 연구도 병행되고 있다.[12-23] 전하 펌프 회로의 경우에 있어서는 전하 펌프 회로의 출력을 안정화시켜서 PLL의 잡음 특성을 개선하기 위한 연구가 이루어지면서 동시에 동작 주파수를 향상시키기 위한 연구도 병행되고 있다.[24-26]

집적화된 PLL 구현을 위해 사용되는 공정으로는 CMOS, BiCMOS, GaAs MESFET, 등이 사용될 수 있으며, 현재 연구의 주된 방향은 CMOS와 BiCMOS를 이용한 PLL의 구현에 맞추어져 있으나 GHz 대역의 고속 PLL 구현을 위해서는 GaAs MESFET를 이용하는 것이 유리한 측면이 있다.[19-20,24]

본 논문에서는 이러한 연구 경향에 맞추어서 PLL의 동작 속도 개선과 안정성의 향상이라는 두 가지 목표를 추구한다. 미국 Vitesse 사의 최신 공정인 0.5㎛ GaAs MESFET 공정을 이용하여 초고속 위상 동기 회로에 응용될 수 있는 새로운 구조의 10GHz급 VCO를 제안하고, 2GHz 대역의 위상 동기 회로에 응용될 수 있는 개선된 안정성과 넓은 출력 주파수 범위를 갖는 새로운 구조의 2GHz급 VCO를 제안하고자 한다. 또한, 각각의 위상 동기 회로에 응용될 수 있는 새로운 구조의 안정성이 강화된 고속 차동 전하 펌프 회로도 제안하고자 한다. 제안된 회로들을 포함하여 구성한 2GHz급 위상 동기 회로 및 10GHz급 위상 동기 회로는 현재 제작 중이며, 제안된 구조들에 대한 이론적인 해석과 SPICE 시뮬레이션을 통한 성능 검증을 병행하여 그 타당성을 입증하고자 한다.

2장에서는 회로 설계에 사용되는 0.5㎛ GaAs MESFET의 공정에 대해 간략히 언급하고, 3, 4, 5장에서는 각각 제안된 10GHz급 VCO, 2GHz급 VCO, 그리고 고속 차동 전하 펌프 회로에 대한 이론적인 해석과 설계 과정, 그리고 SPICE 시뮬레이션을 통한 성능 검증을 보인다. 6장에서는 이들을 이용하여 각각 2GHz급 PLL과 10GHz급 PLL을 구성한 후 이의 성능을 SPICE 시뮬레이션을 통해 분석하여 제안된 회로들이 전체 회로와 연동될 때 나타나는 성능을 분석하며, 마지막으로 7장에서 결론을 맺는다.

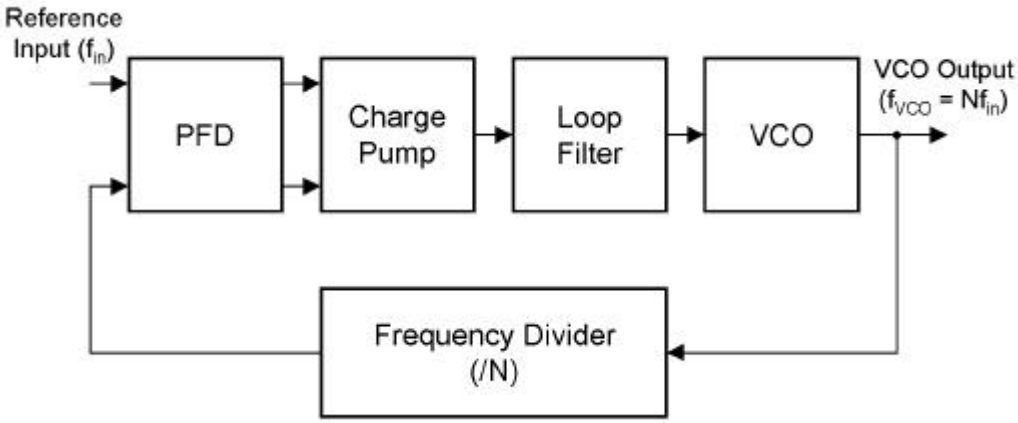


그림 1-1. 위상 동기 회로의 블럭도.

Figure 1-1. Block diagram of phase-locked loops.

제 2 장. GaAs MESFET

제 2-1 절. GaAs MESFET의 특성

GaAs는 전자의 유효 질량(effective mass)이 Si에 비해 작기 때문에 상대적으로 전자 이동도(electron mobility)가 높고($5000cm^2/Vs$), 낮은 전계에서 전자가 최대 속도($1.7\times10^7cm/s$)를 갖는다. 또한, GaAs MESFET는 게이트가 쇼트키(Schottkey) 접합을 이루고 있으므로 유전체를 사용하는 MOSFET에 비해 내부 커패시턴스(capacitance)가 작아 고속 회로 동작에 유리하다.[10]

그러나, GaAs MESFET는 회로가 복잡하고 설계 상에 많은 제약이 따른다. 가장 큰 단점은 complementary 소자를 사용할 수 없다는 점이다. N형 GaAs MESFET는 위에서 설명한 바와 같이 고속 소자로 이용이 가능하나 정공(hole)의 유효 질량은 매우 커 이동도가 낮으므로 P형의 소자를 사용할 수가 없다. 이는 회로 설계에 있어 CMOS에서 사용하는 설계 기술을 적용하기가 어렵고, 특히 효율적인 능동 저항을 구성하기가 어려움을 의미한다. 또한 디지털과 아날로그 회로 구현에 있어서 저전력화를 힘들게 하는 요소이다.[10]

또한, GaAs MESFET의 게이트는 쇼트키 접합으로 이루어져 있기 때문에 게이트와 소오스 사이의 전압이 쇼트키 다이오드(diode)의 문턱 전압(threshold voltage)을 넘을 경우 다이오드 도통에 의해 트랜지스터로서의 동작을 상실하게 된다. 이는 회로를 설계할 때 입력 신호에 제약이 가해져서 노이즈 마진(noise margin)이 작아짐을 의미하며 회로의 출력이 다음 단의 입력 범위에 맞도록 레벨 천이 회로(level shifter)를 사용해야 하는 등 회로의 복잡도를 증가시킨다.

이 외에도 GaAs MESFET는 출력 저항 r_{ds}가 및 전달 콘덕턴스 g_m이 CMOS에 비해 상대적으로 작은 문제가 있다. r_{ds}는 채널 길이 변조 효과(channel length modulation effect)의 결과로 유한한 값을 갖게 되는데, r_{ds}가 MOSFET에 비해서 상당히 작다. 뿐만 아니라 전달 컨덕턴스 상수 g_m도 작은 값을 가지고 있어 더욱 전압 이득이 작게 된다.

제 2-2 절. GaAs MESFET 공정

GaAs MESFET에는 normally-off 또는 증가형(enhancement-mode; E-mode) MESFET와 normally-on 또는 공핍형(depletion-mode; D-mode) MESFET의 두 가지 종류가 있다. 이 두 종류의 FET는 채널의 불순물(impurity) 농도가 다른 것을 제외하고는 공정 상 동일하다. 따라서, D-mode MESFET를 제작할 때에는 N+ 채널 도핑을 위한 별도의 마스크가 한 장 더 필요하게 된다.[27]

E-mode 및 D-mode MESFET의 공정 흐름도는 그림 2-1과 같다. 그림에서 보는 바와 같이 총 14개의 마스크(mask)를 사용하고, 게이트 메탈(metal) 및 4 레이어(layer)의 알루미늄 메탈을 이용하여 소자를 연결한다. 그림 2-2에는 그림 2-1의 공정을 거쳐 완성된 D-mode MESFET의 단면 구조를 나타내었다. 마스크 #1->#5의 공정을 거쳐 GaAs MESFET가 완성되고, 마스크 #6->#14은 4 레이어의 알루미늄 메탈 연결을 위한 공정이다.

제 2-2-1 절. 저항 및 다이오드 공정

저항은 마스크 #1으로 활성 영역 N을 정의하고, 마스크 #4에서 소오스/드레인 N^+ 임플란트(implant) 공정에서 N^+로 전환한 후 오믹 접촉(ohmic contact)을 형성하여 저항을 제작한다. 저항 값은 27 85℃의 범위에서 260 340Ω/□이다.

다이오드는 D-mode MESFET를 제작한 후 소오스와 드레인을 단락시켜 2단자 소자로 사용하며, 게이트와 소오스 그리고 게이트와 드레인간의 쇼트키 다이오드 2개가 병렬로 연결된 구조로 되어 있다. 이러한 연결 방법을 사용한 MESFET 다이오드는 약 0.7V 정도의 문턱전압을 갖는다. 이 밖에, E-mode MESFET에서 FET의 드레인과 게이트를 연결하여 다이오드를 구성하는 경우도 있는데, 이러한 구조의 다이오드는 약 0.4V 정도의 문턱 전압을 갖게 된다.

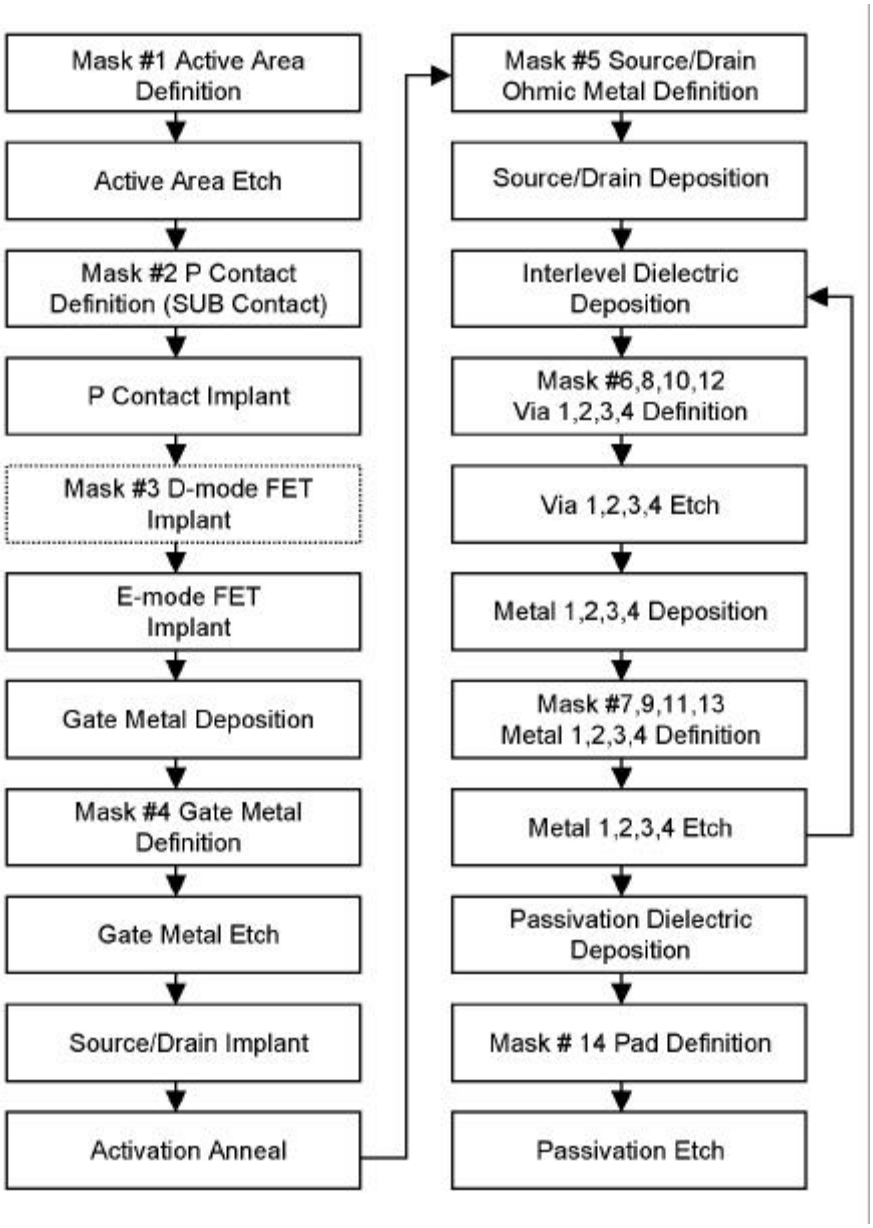


그림 2-1. GaAs MESFET**의 공정 흐름도.**

Figure 2-1. GaAs MESFET process flow.

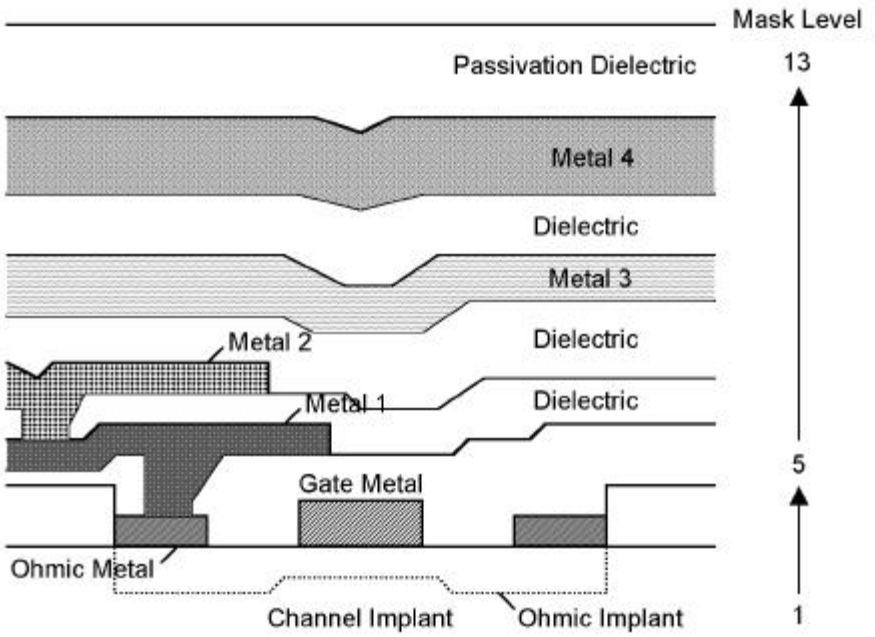


그림 2-2. GaAs MESFET**의 단면도**.

Figure 2-2. Cross-section of GaAs MESFET.

제 2-3 절. GaAs MESFET 시뮬레이션 모델

본 논문에서 회로 설계에 사용되는 소자는 미국 Vitesse사의 최신 공정인 H-GaAs IV 공정(L_{min}=0.5㎛)이다.[28] 이 공정에서 제공하는 GaAs MESFET는 이온 주입(ion implant) 및 자기 정렬(self align) 기법을 사용하고 refractory 금속을 게이트 물질로 사용한다. 이러한 방식으로 제작된 MESFET의 전기적 등가 회로는 그림 2-3과 같다. 채널 전류는 문턱 전압 V_T, 소자 크기, 백 게이트(back gate) 전압과 인가 전압 등의 함수로 표현될 수 있다. 소오스 저항 R_S, 드레인 저항 R_D, 게이트 저항 R_G는 채널과 패드 사이의 총 직렬 저항을 나타낸다. 게이트-소오스와 게이트-드레인 접합은 쇼트키 다이오드로 구성된다. C_{GS}와 C_{GD}는 쇼트키 접합에서 나타나는 전압 종속 커패시터이다. 벌크(bulk) 단자 B는 백 게이트(back gate) 효과를 고려하기 위해 모델에 포함되어 있으며, 소오스/드레인 접합의 기생 효과를 모델링하기 위한 등가 회로도 포함되어 있다.

제 2-3-1 절. 문턱 전압 모델

MESFET의 유효 문턱 전압(V_{Teff})은 식 (2-1)로 표현된다.

$$V_{Teff} = V_{T0} + (GAMDS \times V_{DSi}) + K_1(V_{BSi}) + TCV \times \Delta T \qquad (2\text{-}1)$$

여기서, V_{T0}, GAMDS, 그리고 TCV는 상수이고, V_{DSi}와 V_{BSi}는 각각 MESFET의 내부 드레인 전압 및 백 게이트 전압이다. 그리고, $K_1(V_{BSi})$는 백 게이트 효과에 대한 문턱 전압의 의존성을 나타내는 함수이다. TCV는 -55℃ 125℃의 온도 범위에서 약 -1mV/℃의 값을 갖는다. 또한 GAMDS는 DIBL(drain-induced barrier lowering)효과에 대한 문턱 전압의 의존성을 나타내기 위한 상수로서 FET의 크기에 따라 변한다.

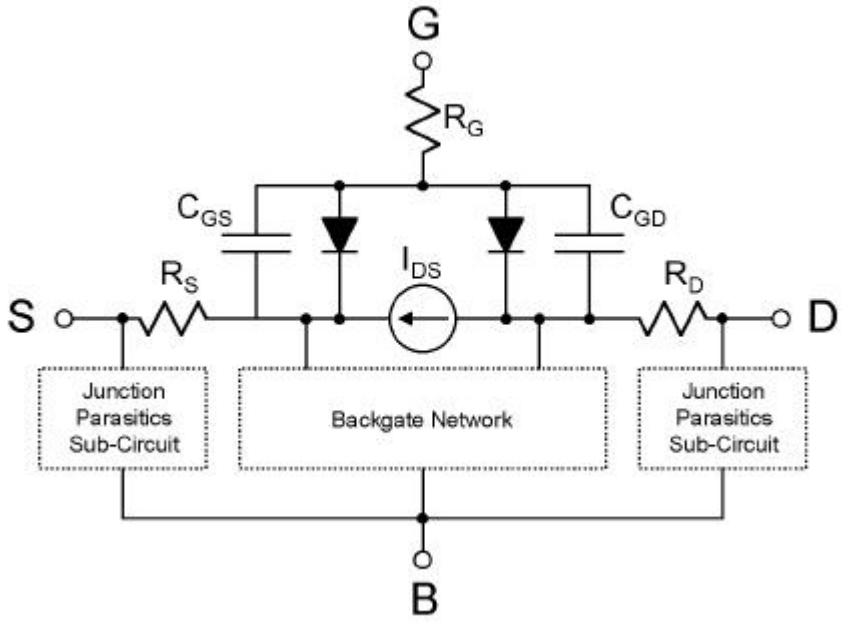


그림 2-3. GaAs MESFET**의 전기적 등가 모델**.

Figure 2-3. Equivalent circuit model of the GaAs MESFET.

제 2-3-2 절. 채널 전류 모델

HGaAs-IV 공정에서 제작되는 GaAs MESFET의 채널 전류에 관한 모델은 Statz 등이 제안한 모델에 파라미터를 추가하여 식 (2-2)와 같이 표현된다.[28]

$$I_{DS} = \beta_{eff}(V_{gst})^{VGEXP}(1+\lambda V_{dsi})[1-(1-\alpha V_{dsi}/3)^{SATEXP}] + I_{SUB} \qquad (2-2)$$

여기서, $V_{gst}=V_{gsi}-V_{teff}$이고, α는 I_{DS}-V_{DS} 특성 곡선에서 선형 영역의 기울기를 결정하는 파라미터이고, λ는 채널 길이 변조 효과 상수이다.

게이트와 드레인 바이어스를 큰 값으로 인가하면 산란 효과(scattering effect)에 의해 전자 이동도가 감소되고, 이로 인해 속도 포화(velocity saturation) 현상이 발생한다. 이러한 현상은 식 (2-3)과 같이 β_{eff}에서 고려된다.

$$\beta_{eff} = \frac{\beta}{1+VCRIT(V_{GS}-V_{T0})} \qquad (2-3)$$

위 식에서 VCRIT는 전자 이동도가 감소하기 시작하는 임계 전계(critical electric field)를 나타내고, (V_{GS}-V_{T0})는 게이트 바이어스가 큰 값으로 인가되었을 때 I_{DS}-V_{DS} 특성 곡선이 전계 효과 트랜지스터에서 나타나는 제곱 법칙(square law)에 벗어나는 정도를 나타낸다.

Subthreshold 전류 관계식은 식(2-4)와 같다.

$$I_{SUB} = I_0 e^{ND\times V_{DS}} e^{-NG\times V_{DS}} \qquad (2-4)$$

여기에서 I_0는 소자 구조에 의해서 결정되는 파라미터이고, ND와 NG는 조절 파라미터이다.

본 논문에서 설계 소자로 사용하게 될 GaAs MESFET의 주요 SPICE 모델 파라미터가 표 2-1에 나타나 있다.

표 2-1. GaAs MESFET**의 주요** SPICE **모델 파라미터**.

Table 2-1. SPICE model parameters for GaAs MESFET.

파라미터	E-mode FET	D-mode FET	**단 위**
VT0	0.261	-0.718	V
β	0.21	0.075	mA/V^2
λ	0.03	0.03	1/V
α	5	5	1/V
GAMDS	-0.0084	-0.03	1/V
VGEXP	1.9	1.57	-
SATEXP	3	3	-
LEVEL	6	6	-
SAT	3	3	-

제 3 장. 10GHz급 전압 제어 발진기

제 3-1 절. GaAs MESFET 로직의 구현 방식

제 3-1-1 절. DCFL

DCFL은 그림 3-1(a)에 나타낸 바와 같이 그 구조가 단순하며 가장 널리 쓰이는 형태로서 다른 논리 회로들에 비해 지연 시간이 적은 장점이 있으나, 노이즈 마진이 작고, 스윙 폭(V_{OH} V_{OL})이 0.6V 정도로 작은 단점이 있다. 이는 V_{OH} 값이 게이트-소오스간의 쇼트키 접합의 문턱 전압(0.7V)에 의해 제한되고 V_{OL} 값은 E-mode FET(Enhancement-mode FET)의 saturation 전압에 의해 0V 이상의 값을 갖기 때문이다. 또한 FET의 문턱 전압 값이 조금만 변화해도 발진 신호의 노이즈 마진이 민감하게 감소하므로, 인버터의 지연 시간이 증가하여 주파수가 감소하는 특성 등을 나타낸다. FET의 문턱 전압은 공정 특성상 웨이퍼(wafer) 간에 편차가 있을 수 있으며 한 웨이퍼 내에서도 일정하지 않기 때문에 주파수 안정성을 저하시킨다. 일반적으로 NOR와 인버터 회로가 DCFL이 사용되는 가장 보편적인 논리 회로이나, 구동 능력이 좋지 않아 부하(load) 커패시턴스에 의한 특성 저하가 심각하므로 이러한 문제를 고려해야 하는 등 설계상의 제약이 있다.[10]

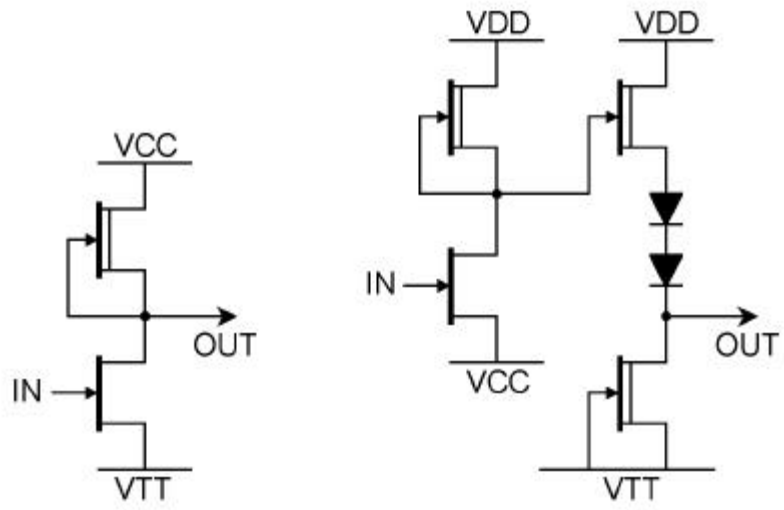
제 3-1-2 절. BFL

BFL은 그림 3-1(b)에 나타낸 바와 같이 DCFL 구조에 소오스 폴로워(source follower)를 연결하여 DCFL의 단점 중 하나인 낮은 구동 능력을 개선한 회로이다. 소오스 폴로워는 작은 출력 임피던스(impedance) 특성을 가지므로 버퍼의 역할을 하며, 또한 이러한 소오스 폴로워의 특성으로 인하여 BFL의 구동 능력이 좋아지게 된다. 즉, 부하 커패시턴스가 큰 경우에도 기타의 논리 회로들에 비해 우수한 속도 특성을 보인다. 논리 회로의 출력단에 D-mode FET를 사용함으로써 V_{OL} 값이 더 작은 값까지 허용되므로 DCFL에서 나타나는 적은 스윙폭 및 노이즈 마

진 등의 단점이 개선된다. 그러나, BFL은 DCFL에 비해 구조가 복잡하고, 사용되는 FET의 수가 많으므로 전력 소비가 큰 점 등이 단점으로 지적된다. 또한 DCFL과 마찬가지로 입력단에서의 온도 변화에 대한 문턱 전압의 변화로 인해 동작 시 온도에 대한 안정성이 여전히 문제시된다.[10]

제 3-1-3 절. SCFL

SCFL은 그림 3-1(c)에 나타낸 바와 같이 차동 구조로 이루어진 회로이므로 단일 입·출력을 갖는 DCFL이나 BFL 등에 비해 많은 장점을 갖는다. 특히, 입력단의 두 FET의 문턱 전압의 변화는 두 FET가 웨이퍼 상에서 매우 가까이 위치하도록 설계된다면 동일한 특성을 가지므로 두 입력단에 같은 크기의 전압이 가해지는 common-mode 전압 성분으로 작용하여 게이트 스위칭에서의 영향이 줄어들게 된다. 즉, CMRR(common mode rejection ratio)이 충분히 크다면 문턱 전압의 변화에 의한 영향을 최소화할 수 있다. CMRR은 전류원의 출력 저항을 크게 하여 증가시킬 수 있다. 또한, 입·출력간의 로직 레벨을 맞추기 위해 사용되는 소오스 폴로워가 버퍼로 동작하므로 우수한 fan-out 특성을 나타내며 회로의 안정성도 개선된다. 뿐만 아니라, CML(current mode logic)에서 많이 사용되는 직렬 게이팅 기법(series gating technique)을 사용하여 복잡한 로직을 설계하는 것이 가능하다. 이는 SCFL이 직렬 게이팅 기법을 사용하더라도 단일 인버터와 동일한 전력을 소비하면서도 고속 특성을 그대로 유지하는 특성을 갖기 때문이다.[10,29-31] 단점으로는 게이트 당 많은 트랜지스터가 필요하고, 차동 모드의 신호를 사용해야 하며 DCFL보다 큰 전원을 사용하므로 백 게이팅 효과에 더욱 민감한 점이다. 그러나, 고속으로 동작하는 VCO를 구현할 때 가장 문제가 되는 부분이 온도, 전원 노이즈, 그리고 공정 파라미터의 변화 등과 같은 외부 요인에 대한 안정성이다. 즉, 고주파 대역으로 갈수록 이러한 외부 요인에 대한 변화가 상대적으로 크게 나타나므로 VCO의 안정성 문제가 반드시 고려되어야 한다. 따라서, 본 논문에서는 SCFL을 이용하여 10GHz급 링 발진기를 구현하고자 한다.



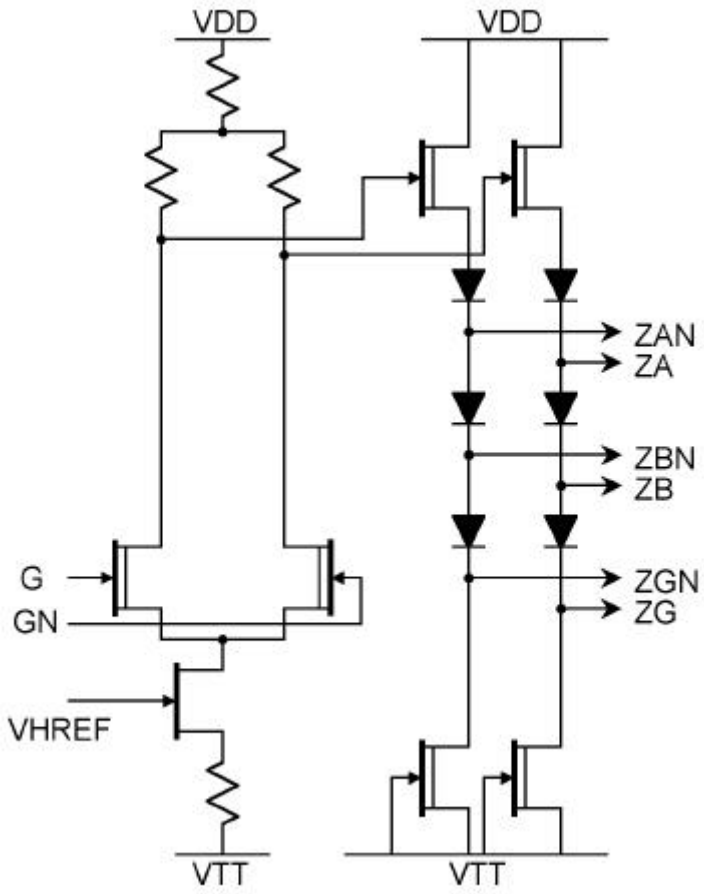
(a) (b)

그림 3-1. GaAs MESFET **로직 회로들**. (**계속**)

(a) DCFL (b) BFL (c) SCFL

Figure 3-1. GaAs MESFET logic circuits. (continued)

(a) DCFL (b) BFL (c) SCFL



(c)

그림 3-1. GaAs MESFET **로직 회로들**.

(a) DCFL (b) BFL (c) SCFL

Figure 3-1. GaAs MESFET logic circuits.

(a) DCFL (b) BFL (c) SCFL

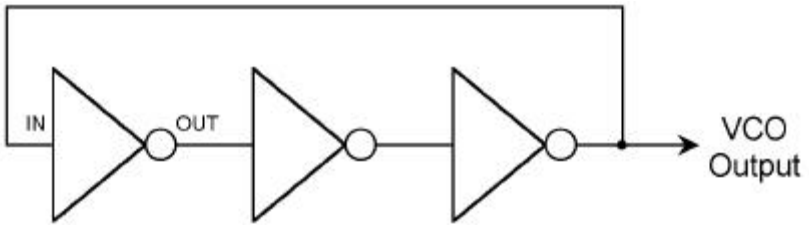
제 3-2 절. 링 발진기의 발진 이론

제 3-2-1 절. 동작 원리

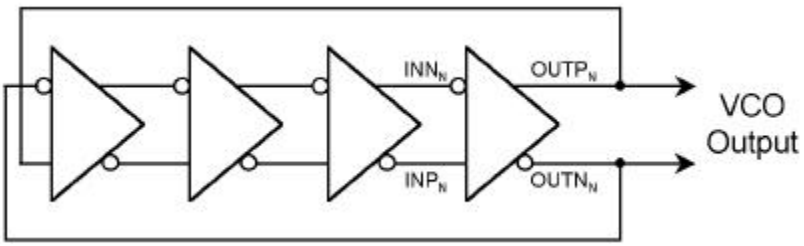
링(ring) 발진기는 온-칩(on-chip)화가 가능한 집적 회로 형태의 VCO를 구현하는데 일반적으로 사용된다. 링 발진기는 집적화가 용이하고 매우 높은 발진 주파수를 얻을 수 있는 장점을 가지고 있다.

기본적인 링 발진기의 구조는 그림 3-2에 나타낸 바와 같이 몇 개의 인버터들이 직렬 체인(chain) 구조를 이루고 있다. 그림 3-2(a)는 홀수 단의 인버터를 사용하여 구성된 링 발진기의 구조이고, 그림 3-2(b)는 차동 인버터를 사용하여 짝수 단으로 구성된 형태이다. 홀수 단으로 링 발진기를 구현하는 경우에는 DCFL이나 BFL과 같은 간단한 구조의 인버터를 지연 소자로 사용하게 되므로 소비 전력이 적으면서 동시에 높은 발진 주파수를 얻을 수 있는 장점이 있다. 그러나, 링 발진기의 발진 주파수가 증가할수록 온도, 전원 전압의 변화, 공정 파라미터의 변화 등에 의한 영향이 더욱 커지게 되는데, 그림 3-2(a)의 구조로는 이러한 문제를 해결하기가 어렵다. 특히, DCFL이나 BFL과 같은 구조의 인버터를 지연 소자로 사용할 때에는 FET의 문턱 전압의 변화에 회로 특성이 민감하게 변화하므로 GHz 영역의 높은 주파수로 발진하는 링 발진기를 구현하는데 있어서 부적합하다. 이에 반해 그림 3-1(b)와 같이 SCFL 인버터를 사용하여 구현된 차동 링 발진기는 인버터의 구조가 복잡하여 소비 전력이 비교적 큰 단점은 있으나, 여러 가지 외부 잡음에 대한 저항성이 강하고 짝수 단으로도 링 발진기를 구현할 수 있기 때문에 매우 높은 발진 주파수를 출력할 수 있는 장점이 있다.

두 경우의 동작 원리는 근본적으로는 동일하지만 약간씩 차이가 있으므로 각각의 경우에 대해 나누어 설명하고 링 발진기의 동작 원리를 단순화시키기 위해 링 발진기를 구성하는 인버터들의 특성을 반전(inverting) 기능 및 지연(delay) 기능으로 구분하여 분석한다.[18,19] 인버터의 동작을 입력 신호에 대해 반전된 신호를 일정한 지연 시간만큼 경과된 후에 출력시키는 것으로 단순화하는 것이 해석에 용이하다. 홀수 단의 인버터로 구성된 경우, 첫 번째 단으로 로직 “1”의 입력이



(a)



(b)

그림 3-2. 링 발진기의 블록도.

(a) 홀수단으로 구성된 링 발진기.

(b) 짝수단으로 구성된 링 발진기.

Figure 3-2. Block diagrams of ring oscillator.

(a) Odd-stage ring oscillator.

(b) Even-stage ring oscillator.

인가되면 일정한 지연 시간이 경과된 후에 첫 번째 단의 출력은 로직 “0”이 되고, 두 번째 단의 출력은 다시 일정한 지연 시간이 경과된 후에 로직 “1”이 된다. 따라서 인버터의 지연 시간을 T_D라 하고 링 발진기가 N(N은 홀수) 개의 인버터를 포함하고 있다면, 첫 번째 입력에 대해 반전된 신호가 다시 첫 번째 입력으로 인가되는데 걸리는 시간은 NT_D가 되고, 이와 같은 과정을 한번 더 반복함으로써 링 발진기 상에서 나타나는 신호들은 주기적인 신호가 되므로 결국 지연 시간이 T_D인 인버터를 N개 포함하고 있는 링 발진기의 발진 주기는 $2NT_D$가 된다.

짝수 단으로 구성된 차동 링 발진기를 구현하기 위해서는 첫 번째 단의 입력과 마지막 단의 출력을 교차하여 연결한다. 첫 번째 인버터의 입력 단 INP_1, INN_1에 각각 로직 “1”과 로직 “0”이 인가되면 마지막 단의 출력 $OUTP_N$, $OUTN_N$는 각각 로직 “0”과 로직 “1”이 된다. 이 때, 그림에서 보는 바와 같이 $OUTP_N$과 $OUTN_N$은 각각 INP_1과 INN_1에 연결되므로, 결국 N(N은 짝수) 개의 차동 인버터로 구성된 차동 링 발진기의 경우에도 NT_D가 경과된 후에 첫 번째 인버터의 입력이 반전된다. 따라서, N개의 짝수 단으로 구성된 차동 링 발진기의 발진 주기는 그림 3-2(a)의 경우와 마찬가지로 $2NT_D$가 된다.

제 3-2-2 절. 발진 조건

N개의 인버터로 구성된 링 발진기의 발진 조건은 인버터의 주파수에 대한 전압 이득(gain) 특성과 위상(phase) 특성의 두 가지로 나누어서 생각할 수 있다. 링 발진기의 동작 원리를 위상 관계로 재분석해 보면, 링 발진기가 발진하기 위해서는 첫 번째 인버터의 입력 신호와 N 번째 인버터의 출력 신호의 위상차가 180°가 되어야 주기적인 반전이 이루어지면서 발진하게 된다. 이것은 그림 3-2(b)와 같이 짝수 단으로 구성된 링 발진기의 경우에도 동일하게 적용된다. 또한, N 개의 인버터를 거친 후의 출력 신호의 진폭이 첫 번째 입력 신호의 진폭보다 작으면, 진폭이 결국 0으로 수렴하게 되어 발진이 멈추게 된다. 이를 고려하여 다음과 같은 링 발진기의 발진 조건을 규정할 수 있다.

[조건 1] 링 발진기를 구성하고 있는 인버터에 대해, 인버터의 입력과 출력간의 위상차는 $180^\circ/N$이 되어야 한다.

[조건 2] 링 발진기를 구성하는 인버터들의 특성이 모두 동일하다고 가정하면, [조건 1]을 만족하는 주파수 대역에서의 전압 이득이 1 이상이어야 한다.

해석의 편의를 위해 링 발진기를 구성하는 모든 인버터들을 그림 3-3(a)와 같이 DC 전압 이득이 A인 이상적인 인버터와 출력 저항 R, 그리고 부하 커패시터 C_L로 모델링할 수 있다. 여기서 부하 커패시터는 다음 단의 입력 커패시터를 포함한다. 그리고, 인버터의 반전 기능은 이득 A를 음의 값으로 취함으로써 모델에 포함시킬 수 있다. 따라서, 그림 3-3(a)는 출력 저항과 부하 커패시터에 의해 형성되는 단일 극점(pole)을 갖고 DC 이득이 A인 DCFL 형태의 인버터이다. 링 발진기의 발진 신호가 정현적이라고 가정하면 주파수에 따른 인버터의 전압 이득 및 입·출력간의 위상차를 복소 페이저(phasor)를 이용해서 구할 수 있다. 각주파수 ω에 대해 인버터에 인가되는 입력을 $V_i(\omega)$라고 하고, 출력을 $V_o(\omega)$라고 하면, 인버터의 전달 함수가 식 (3-1)과 같이 유도된다.

$$H(j\omega) \equiv \frac{V_o(j\omega)}{V_i(j\omega)} = \frac{A}{1 + j\omega RC_L} \tag{3-1}$$

따라서, 인버터의 전압 이득 및 입·출력간의 위상차는 다음과 같이 된다.

$$|H(j\omega)| = \frac{|A|}{\sqrt{1 + (\omega RC_L)^2}} \tag{3-2}$$

$$\angle H(j\omega) = \tan^{-1}(\omega RC_L) \tag{3-3}$$

위의 식들을 이용하여 N개의 인버터로 구성된 링 발진기의 발진 조건을 다음과

같이 표현할 수 있다.

$$\frac{|A|}{\sqrt{1+(\omega RC_L)^2}} \geq 1 \qquad (3\text{-}4)$$

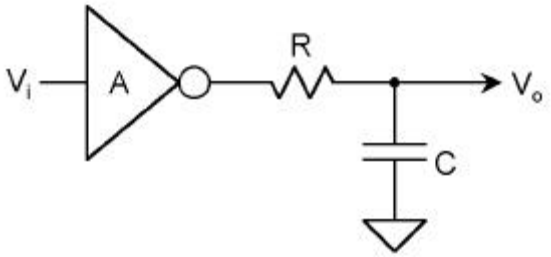
$$\tan^{-1}(\omega RC_L) = \frac{\pi}{N} \qquad (3\text{-}5)$$

마지막으로, 식 (3-4)와 식 (3-5)를 정리하면 다음과 같은 발진 조건이 유도된다.

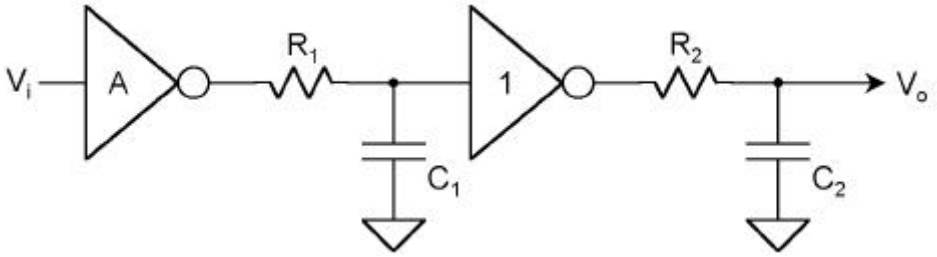
$$\frac{|A|}{\sqrt{1+\tan^2(\pi/N)}} \geq 1 \qquad (3\text{-}6)$$

식 (3-6)은 링 발진기가 발진하기 위한 DC 전압 이득 A와 인버터 단 수 N의 관계를 나타내고 있다. 이 식으로부터 알 수 있듯이, N이 2인 경우에는 무한대의 전압 이득을 갖는 인버터가 필요하므로 현실적인 상황에서 발진 조건을 만족할 수 없다. 따라서, 단일 극점을 갖는 단순한 구조의 인버터를 사용하는 경우에는 3단 링 발진기가 최대 발진 주파수를 낼 수 있는 최소의 단 수임을 알 수 있다.

그러나, SCFL을 지연 소자로 사용하는 경우에는 위의 발진 조건을 그대로 적용할 수 없다. SCFL은 3-1절에서 언급한 바와 같이 차동 인버터와 소오스 폴로워로 구성되어 있으므로, 소오스 폴로워에 의한 위상 지연을 고려해야만 한다. 소오스 폴로워는 근사적으로 전압 이득이 1이고 단일 극점을 갖는 증폭기로 모델링할 수 있는데, 소오스 폴로워의 극점은 일반적으로 차동 인버터의 주 극점보다 큰 값을 갖게 된다. 그림 3-3(b)는 SCFL을 단순 인버터와 하나의 소오스 폴로워로 간단하게 모델링한 것이다. 실제의 SCFL은 두 개의 차동 입력을 받는 차동 증폭기와 각각의 출력을 위한 두 개의 소오스 폴로워로 구성되어 두 개의 인버터-소오스 폴로워 쌍이 차동으로 동작하고 있으므로 그림 3-3(b)와 같이 SCFL의 어느 한 쌍만을 모델링하여 그 특성을 파악하는 것이 편리하다. 그림 3-3(b)에서 보인 모델에 대한 전달 함수는 다음과 같다.



(a)



(b)

그림 3-3. **인버터의 등가 회로 모델**.

(a) DCFL (b) SCFL

Figure 3-3. Equivalent circuit models of inverter.

(a) DCFL (b) SCFL

$$H(j\omega) \equiv \frac{V_o(j\omega)}{V_i(j\omega)} = \left| \frac{A}{(1+j\omega R_1 C_1)(1+j\omega R_2 C_L)} \right| \quad (3\text{-}7)$$

이로부터 SCFL의 전압 이득과 위상 지연을 다음과 같이 구할 수 있다.

$$|H(j\omega)| = \frac{|A|}{\sqrt{1+(\omega R_1 C_1)^2} \cdot \sqrt{1+(\omega R_2 C_L)^2}} \quad (3\text{-}8)$$

$$\angle H(j\omega) = \tan^{-1}(\omega R_1 C_1) + \tan^{-1}(\omega R_2 C_L) \quad (3\text{-}9)$$

위의 식에서 SCFL의 위상 지연은 차동 증폭부에서의 위상 지연과 소오스 폴로워에서의 위상 지연의 합으로 나타나는 것을 알 수 있다. 소오스 폴로워에 의해 발생하는 위상 지연은 차동 증폭부에 의해 발생하는 위상 지연에 비해 상당히 작은 비중을 차지하는 것이 일반적이지만, 소오스 폴로워의 존재로 인해 SCFL을 지연 수단으로 사용하는 링 발진기의 발진 조건은 완화된다. 이를 수식적으로 확인하기 위해 N개의 SCFL로 구성된 링 발진기의 경우에 대해 발진 조건을 고려하면, 하나의 SCFL에서 발생하는 위상 지연인 π/N를 0에서 1 사이의 실수인 k를 사용하여 각각 차동 증폭부에서의 위상 지연 k(π/N)와 소오스 폴로워에서의 위상 지연 (1-k)(π/N)으로 나누어서 다음과 같이 정리할 수 있다.

$$\frac{|A|}{\sqrt{1+(\omega R_1 C_1)^2} \cdot \sqrt{1+(\omega R_2 C_L)^2}} \geq 1 \quad (3\text{-}10)$$

$$\tan^{-1}(\omega R_1 C_1) = k\frac{\pi}{N} \quad (3\text{-}11)$$

$$\tan^{-1}(\omega R_2 C_L) = (1-k)\frac{\pi}{N} \quad (3\text{-}12)$$

위의 세 식을 합하면,

$$\left| \frac{|A|}{\sqrt{1+\tan^2(k\frac{\pi}{N})}\cdot\sqrt{1+\tan^2\left[(1-k)\frac{\pi}{N}\right]}} \geq 1 \right|, \quad 0 \leq k \leq 1 \qquad (3\text{-}13)$$

이 된다. 식 (3-13)은 차동 인버터의 DC 전압 이득 A, 인버터부와 버퍼부에서의 위상 지연의 비율 k, 그리고 구성하고자 하는 링 발진기의 단 수 N의 관계를 규정하고 있다. k 값에 따른 DC 전압 이득 A와 링 발진기의 단 수 N의 관계를 그림 3-4에 나타내었다. 그림 3-4는 SCFL과 같이 하나의 인버터 회로와 하나의 버퍼 회로로 구성된 로직을 링 발진기의 지연 수단으로 사용할 경우, 2단 링 발진기를 구현할 수 있음을 나타내고 있다. 그림에서 k=1인 경우는 버퍼 회로가 그 기능을 하지 않는 경우로서 식 (3-6)의 결과와 동일하며, 발진 조건을 만족하기 위한 최소의 단 수는 3이 된다. k=0.9 및 k=0.8인 경우는 버퍼 회로의 위상 지연이 SCFL 전체의 위상 지연 중 각각 10% 및 20%를 차지하는 경우로서, 인버터의 DC 이득이 충분히 클 경우 2단으로 링 발진기를 구현하는 경우에도 발진 조건을 만족할 수 있다. 이러한 면에서 SCFL은 GaAs MESFET의 다른 로직들에 비해서 고주파 대역의 발진 주파수를 내는데 유리하다.

제 3-2-3 절. 최대 발진 주파수

이 절에서는 본 논문의 목적에 맞는 SCFL 인버터를 설계하기에 앞서 기존의 SCFL 라이브러리를 사용하여 링 발진기의 최대 발진 주파수를 파악하고자 한다.[33] 시뮬레이션에 사용된 SCFL 인버터는 0.6㎛ GaAs MESFET 공정인 Vitesse H-GaAs III 공정 파라미터를 사용하여 설계된 것으로 이의 구조는 그림 3-1(c)와 동일하다.

그림 3-5는 SCFL 인버터의 전달 지연 시간을 구하기 위해 8단의 차동 링 발진기를 설계한 후, 이를 시뮬레이션한 결과이다. 그림에서 보듯이, SCFL 인버터 1단의 전달 지연 시간은 29.33ps이다. 따라서, SCFL 인버터를 이용하여 2단 차동 링 발진기를 구성했을 때의 최대 발진 주파수는 약 8.52GHz가 된다. 특히, 이 결과는 실제 회로에 포함되는 기생 커패시턴스, 기생 저항 등을 고려하지 않은 상태

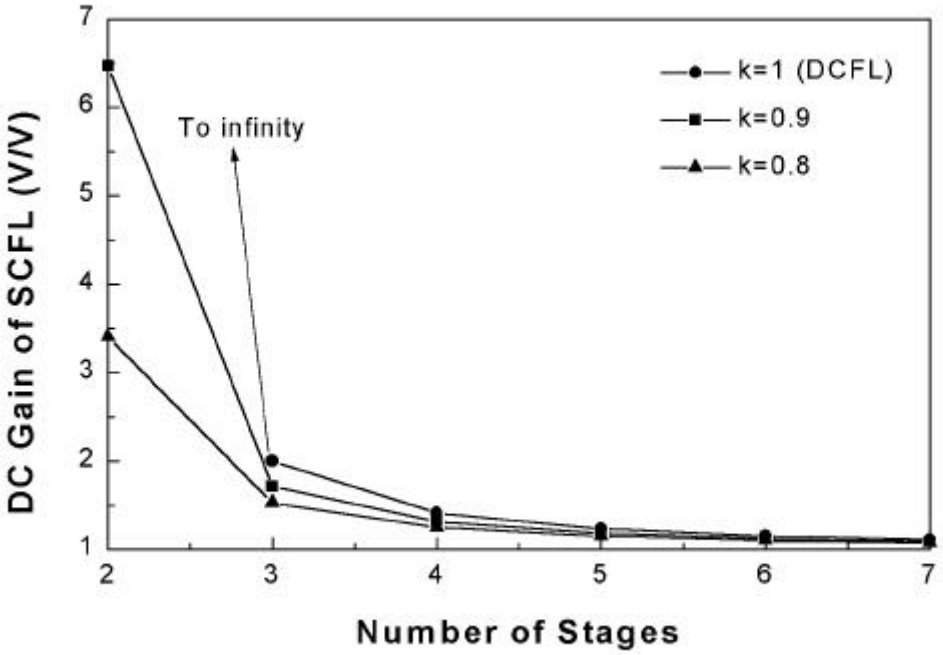


그림 3-4. **발진 조건을 만족하기 위한 인버터의 단 수와** DC **이득의 관계**.

Figure 3-4. Relationships between the number of stages and DC gain to satisfy the oscillation condition.

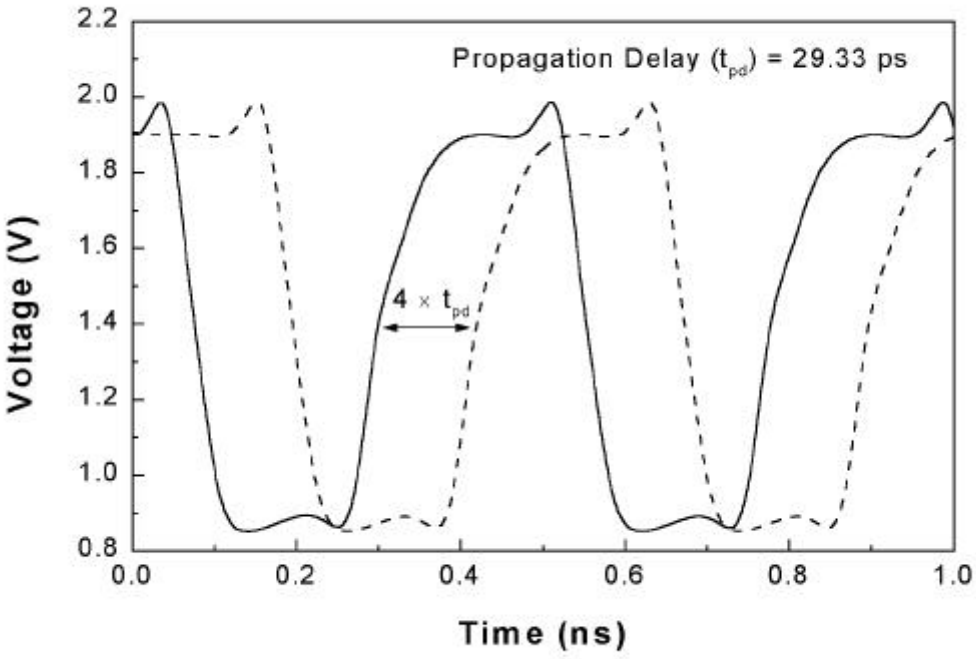


그림 3-5. SCFL **인버터를 이용한** 8**단 링 발진기의 출력 파형**.

Figure 3-5. Output waveforms of 8-stage ring oscillator using SCFL inverter.

에서 얻어진 것으로, 이를 고려하면 기존의 2단 차동 링 발진기로부터 얻을 수 있는 최대 발진 주파수는 10GHz에 크게 미치지 못할 것으로 판단된다. 또한, 링 발진기의 출력단에 연결되는 부하 커패시턴스를 고려하면 최대 발진 주파수는 더욱 낮아지게 된다. 따라서, 본 논문에서 목표로 하는 10GHz 대역의 발진 신호를 출력할 수 있는 VCO를 구현하기 위해서는 새로운 구조가 도입되어야 한다.

제 3-3 절. 새로운 구조의 10GHz급 전압 제어 발진기

제 3-3-1 절. 구성 및 동작 원리

본 논문에서 제시하고자 하는 링 발진기는 SCFL과 같은 차동 인버터를 지연 수단으로 사용하는 짝수 단의 링 발진기에서 차동 인버터에 인가되는 두 입력의 공통 성분의 변화 및 차동 인버터를 구성하는 소자들의 대신호(large-signal)에 대한 비선형성에 의해 동일한 단 수로 구성된 기존의 링 발진기에 비해 2배 높은 발진 주파수를 낼 수 있는 새로운 구조의 링 발진기이다. 제시하고자 하는 링 발진기의 동작 원리는 GaAs MESFET를 사용하는 SCFL로 구현된 링 발진기에만 국한되는 것이 아니라 모든 종류의 차동 형태의 인버터에 적용될 수 있으므로 가장 기본적인 구조의 차동 인버터를 예로 들어 이를 설명하고자 한다.[20,21]

그림 3-6은 일반적인 차동 인버터이다. J1이 포화 영역에서 동작하고 J1의 출력 저항이 무한하다고 가정하면 전류원의 출력 전류 I_O는 다음과 같이 결정된다.

$$I_O = K(V_C - VTT - V_T)^2 \qquad (3\text{-}14)$$

여기서 K는 J1의 W/L, 그리고 제조 공정에 의해 결정되는 상수이고 V_T는 J1의 문턱 전압이다. 위의 식으로부터 전류원의 출력 전류량은 전류원의 제어 전압(VC)에 의해 결정됨을 알 수 있다. 이러한 차동 인버터가 차동 링 발진기의 지연 수단으로 사용된다면 차동 인버터의 두 입력 IN_A, IN_B 및 두 출력 OUT_A, OUT_B

는 동일한 진폭과 주파수를 갖는 차동 신호가 되며 각각의 공통 성분도 주기적으로 변화하게 된다. 해석의 편의를 위하여 차동 인버터의 입력 조건을 두 입력의 공통 성분이 일정한 순수 차동 상태로 가정하여 해석한다. 즉, 차동 입력 $V_{BIAS}+\Delta V$와 $V_{BIAS}-\Delta V$가 IN_A와 IN_B에 각각 인가되면 J2를 통해 흐르는 전류의 증가량과 J3을 통해 흐르는 전류의 감소량은 각 FET의 비선형적인 전압-전류 특성($I \propto V_{GS}^2$)에 의하여 동일하지 않게 되므로 전류원 J1의 출력 전류 I_O는 두 FET J2와 J3의 특성이 동일하다는 가정 하에서 다음과 같이 유도할 수 있다.

$$\begin{aligned} I_O &= K'[V_{BIAS} + \Delta V - V(OUT_C) - V_T']^2 \\ &\quad + K'[V_{BIAS} - \Delta V - V(OUT_C) - V_T']^2 \end{aligned} \qquad (3\text{-}15)$$

여기서 K′는 J2 및 J3의 채널 폭, 채널 길이, 그리고 제조 공정에 의해 결정되는 상수이고 V_T'는 각각의 문턱 전압이다. 전류원 회로의 출력 저항이 무한하다고 가정하면 VC에 의해 이미 결정되어진 출력 전류를 유지하기 위해 OUT_C가 변화해서 두 FET(J2, J3)를 통해 흐르는 전류의 증가 및 감소량이 동일해지도록 한다. 이러한 관계들을 이용하여 $V(OUT_C)$를 다음과 같이 구할 수 있다.

$$V(OUT_C) = V_{BIAS} - V_T - \sqrt{\frac{K}{2K'}(VC - V_T)^2 - \Delta V^2} \qquad (3\text{-}16)$$

위 식으로부터 차동 인버터에 인가되는 차동 입력으로 인해 OUT_C가 $|\Delta V|$에 의존하여 변화하는 것을 알 수 있다. 즉, 주 발진 루프가 발진 상태에 있으면 주 발진 루프 내의 각 차동 인버터들의 입력단에는 주기적인 신호가 차동 상태로 인가되므로, 한 주기 내에서 두 신호의 전압차는 $0 \rightarrow 2\Delta V \rightarrow 0 \rightarrow (-2\Delta V) \rightarrow 0$가 된다. 따라서, OUT_C에서의 전압 파형은 주 발진 루프의 발진 주기의 반마다 동일하게 나타나므로 결국 2배의 주파수를 갖는 신호가 OUT_C로부터 발생된다. 그림 3-7은 이러한 상황을 나타낸 것으로서 $V(OUT_C)$가 $V(OUT_A)$에 비해 진폭은 작으나 2배의 주파수로 발진하는 것을 알 수 있다.

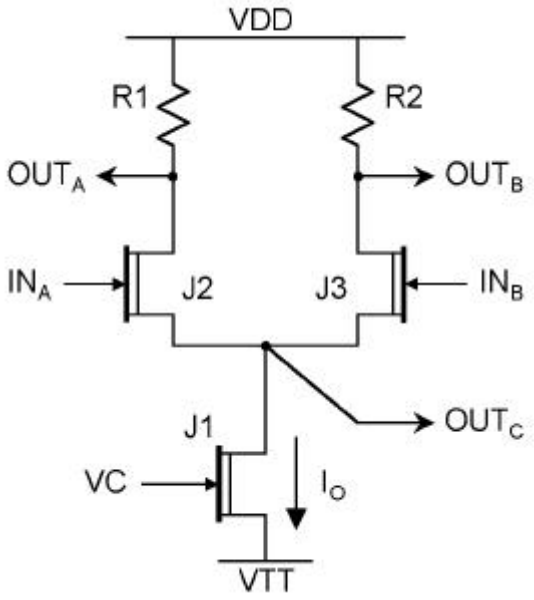


그림 3-6. 제안된 차동 인버터의 개략도.

Figure 3-6. Simplified schematic diagram of the proposed differential inverter.

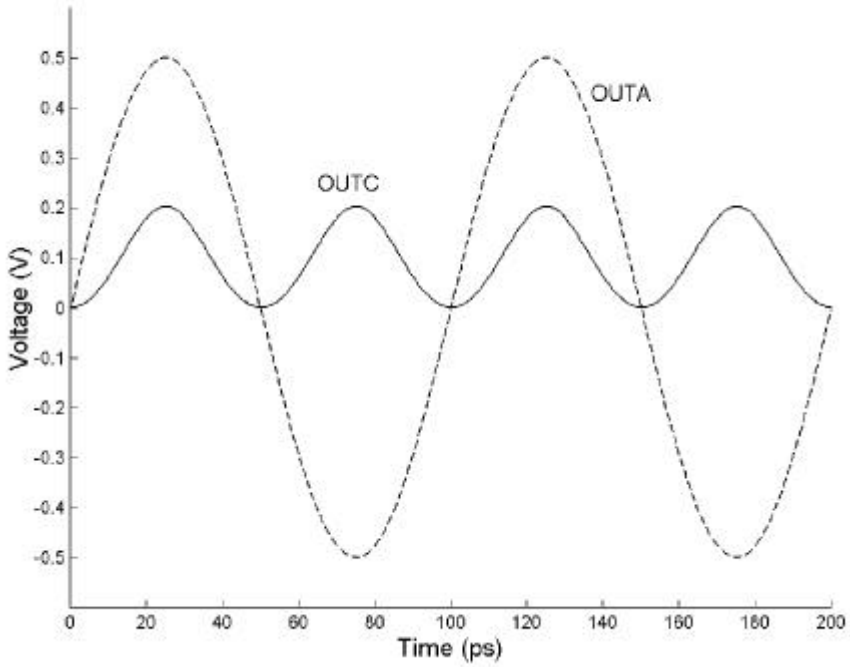


그림 3-7. 정현 입력에 대한 제안된 차동 인버터의 출력 파형.

Figure 3-7. Output waveforms of the proposed differential inverter under the sinusoidal input.

다음으로 입력의 공통 성분이 주기적으로 변화하는 경우는 모든 차동 인버터의 고유한 특성 중 하나인 높은 CMRR(Common-Mode Rejection Ratio) 특성에 의해서 두 출력 $V(OUT_A)$와 $V(OUT_B)$의 변화가 최소화 되도록 공통-소오스 단의 전압이 이를 따라가게 된다. 두 입력의 공통 성분은 두 입력의 평균을 의미하고 평균값의 변화는 입력의 반주기마다 동일하게 나타나므로 공통-소오스 단자인 OUT_C의 출력은 주 발진 루프의 발진 주파수의 2배의 주파수를 가지게 된다.

이를 이용한 새로운 구조의 링 발진기의 구성은 그림 3-8에 나타내었다. 이 회로에서 차동 증폭 및 버퍼 회로의 역할은 다음과 같다. 차동 인버터는 앞에서 보인 바와 같이 공통-소오스 단자가 입력의 공통 성분의 변화를 따라감으로써 높은 CMRR 특성을 가지게 된다. 이로 인해 차동 인버터는 온도나 공정 파라미터의 변화, 그리고 전원 잡음 등과 같이 회로 전반에 영향을 미치는 외부 요인들에 의한 입력단의 공통적인 변화에 대한 안정성이 우수한 장점을 가지게 된다. 즉, 외부 요인들에 의한 영향을 공통-소오스 단자가 수용함으로써 기존의 두 출력 OUT_A와 OUT_B의 변화는 최소화된다. 따라서, OUT_C를 출력으로 사용하기 위해서는 이러한 영향을 제거해야 한다. 이 목적을 달성하면서 OUT_C에서 발생되는 적은 진폭의 신호를 증폭하기 위해 차동 증폭 및 버퍼 회로를 사용한다. 2N개의 차동 인버터로 구성된 링 발진기가 발진 상태에 있으면, 각 단에서 발생되는 신호들 간의 위상차는 균일하므로 1번째 차동 인버터의 OUT_C와 k번째 차동 인버터의 OUT_C의 위상차는 $360^\circ[(k-1)/2N]$이 되고 m 번째 차동 인버터와 m+N 번째 차동 인버터간의 위상차는 180°가 된다. 여기서 k와 m은 각각 $1 \le k \le 2N$과 $1 \le m \le N$인 정수이다. 따라서 m 번째 차동 인버터와 m+N 번째 차동 인버터의 OUT_C를 차동 증폭함으로써 OUT_C에서 나타나는 외부 요인에 의한 영향을 제거한 신호를 얻어낼 수 있게 된다. 즉, 그림에서 보는 바와 같이 N개의 차동 증폭 및 버퍼 회로를 사용하여 각각 $OUT_{C(1)}$과 $OUT_{C(1+N)}$, $OUT_{C(2)}$와 $OUT_{C(2+N)}$, ..., $OUT_{C(N)}$과 $OUT_{C(2N)}$을 차동 증폭함으로써 주 발진 루프의 발진 주파수보다 2배 높은 발진 주파수를 가지면서 차동 구조의 장점인 외부 요인에 대한 안정성을 유지하고 있는 2N개의 출력 $OUT_{P(1)}$, $OUT_{N(1)}$, $OUT_{P(2)}$, $OUT_{N(2)}$, ..., $OUT_{P(N)}$, $OUT_{N(N)}$를 얻게 된다.

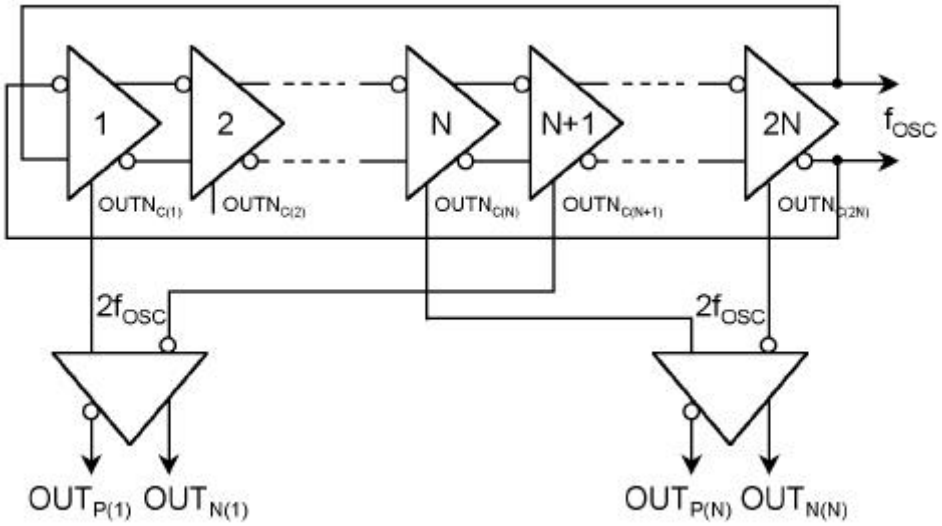


그림 3-8. 제안된 차동 링 발진기의 블럭도.

Figure 3-8. Block diagram of the proposed differential ring oscillator.

제 3-3-2 절. 설계 과정

3-3-2-1. SCFL 인버터

차동 링 발진기의 지연 소자로 사용할 SCFL 인버터의 구조는 그림 3-9와 같다. SCFL 인버터는 두 개의 차동 입력을 전압 증폭하기 위한 차동 증폭부와 증폭된 두 차동 신호를 다음 단의 입력 레벨로 맞추어주는 동시에 구동 능력을 향상시키기 위한 버퍼부로 나뉘어 진다. 차동 증폭부에서 전류원은 단일 FET로도 구현이 가능하지만 그림에서 보는 바와 같이 저항 혹은 FET를 직렬로 연결하여 cascode 구조를 갖도록 전류원을 설계하면 전류원의 출력 저항이 증가한다. 이것은 J3의 드레인-소오스 전압의 변화에 대해 전류원의 출력 전류의 변화가 적어짐을 의미하므로 출력 전류의 적은 변화에 대해 J3의 드레인-소오스 전압이 보다 크게 변화하게 된다. 또한, cascode 구조를 사용할 경우 R3이 피드백 작용을 함으로써 제어 단자, 즉, J3의 게이트에 가해지는 제어 전압의 변화에 대해 J3의 게이트-소오스 전압이 보다 적게 변화하여 전류원의 출력 전류의 변화 폭이 상대적으로 줄어든다.

먼저, 전류원의 출력 전류량을 2mA, 저항 R3의 값을 0.5kΩ, 그리고 제어 전압을 -0.5V로 설정하면, J3의 소오스 단의 전압은 0.5kΩ×2mA + (-2V) = -1V가 되므로, J3의 V_{gs}는 0.5V가 된다. 따라서, J3의 채널 폭은 9㎛가 된다. 또한, 전류원의 출력 전류를 2mA로 정했으므로 J1과 J2를 통해 흐르는 전류량은 각각 1mA가 된다. J1과 J2의 게이트-소오스 전압을 0V로 설정하면 두 FET의 채널 폭은 13㎛가 된다. 그러나, J1과 J2의 소오스 단의 전압은 J3의 소오스 전압보다 높으므로 상대적으로 백-게이팅 효과를 많이 받게 된다. 이것은 J1과 J2의 문턱 전압이 양의 방향으로 증가하는 것을 의미하므로 이를 고려하여 J1과 J2의 채널 폭을 15㎛로 정하였다. 결정된 값들을 사용하여 J1과 J2의 전달 콘덕턴스(g_m)를 구해보면 식 (3-17)에 의해 3.2mA/V가 된다.

$$g_m \triangleq \frac{\partial I_{ds}}{\partial V_{gs}} = 2\beta\frac{W}{L}(V_{gs} - V_T) \qquad (3\text{-}17)$$

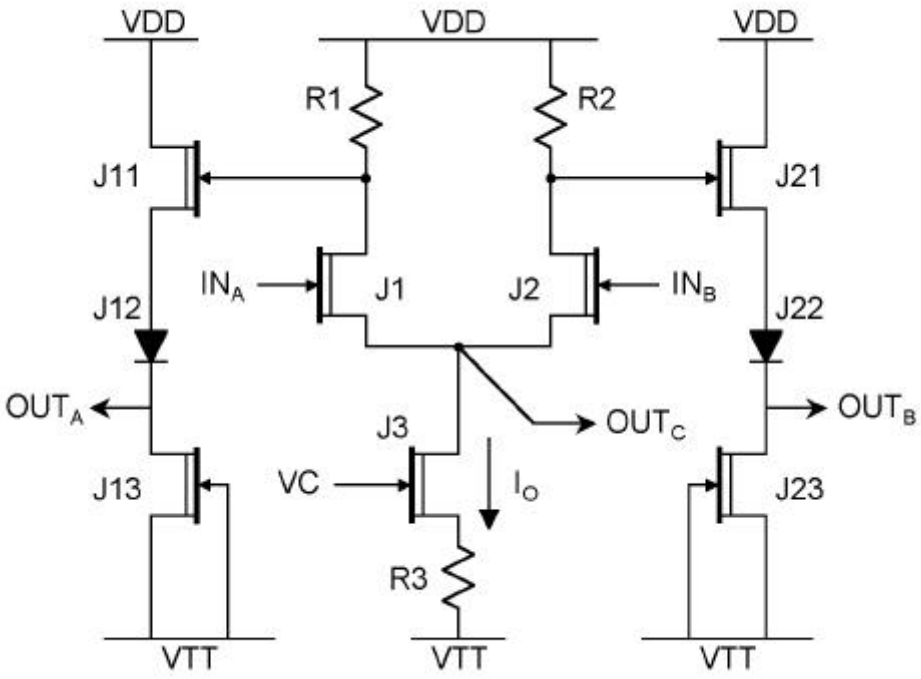


그림 3-9. 제안된 차동 인버터.

Figure 3-9. Schematic diagram of the proposed differential inverter.

SCFL 인버터의 DC 이득은 그림 3-4에서 보인 바와 같이 2단의 링 발진기를 구현하기 위해서는 약 3 이상이 되어야 한다. 그러나, 일반적으로 버퍼부의 주 극점은 차동 증폭부의 주 극점에 비해 크기 때문에 SCFL 인버터의 전체 위상 지연 중에서 버퍼부가 차지하는 비중은 작아진다. 또한, 버퍼부의 DC 이득은 이상적으로는 단일 이득을 갖지만, 실제의 경우에는 1보다 작아지므로 충분한 DC 이득을 차동 증폭부에서 얻어야 한다. 이를 고려하여 차동 증폭부의 DC 이득을 10으로 결정하였다. DC 이득은 구동 FET J1, J2의 전달 콘덕턴스와 부하 저항의 곱으로 표현되므로 부하 저항 R1과 R2의 값은 3kΩ이 된다. 따라서, 차동 증폭부의 두 출력인 J1과 J2의 드레인 전압은 3.3V-(3kΩ×1mA)=0.3V가 된다. 또한, J3이 포화 영역에서 동작한다고 가정하면 J3의 드레인-소오스 전압은 약 0.7V가 되므로 J1과 J2의 소오스 전압은 0.7V+(0.5kΩ×2mA)+(-2.0V)=-0.3V가 된다. 따라서, 앞에서 J1과 J2의 게이트-소오스 전압을 0V로 정했으므로, 결국 +0.3V의 차동 출력 레벨을 -0.3V로 변환시키도록 버퍼부를 설계해야 한다.

버퍼부의 바이어스 전류를 0.5mA로 정하면 각 전류원 부의 FET J13, J23의 채널 폭이 정해진다. 버퍼부의 각 구동 FET J11, J21은 게이트-소오스 전압을 0V가 되도록 하면 J13, J23과 채널 폭이 같아진다. 마지막으로 다이오드의 채널 폭과 채널 길이는 0.6V의 전압 강하가 일어나도록 적절하게 정하였다. 이러한 방식으로 SCFL 인버터의 각 구성 소자들의 값을 결정한 후 SPICE 시뮬레이션을 통해 최적화 작업을 수행하였다.

설계된 SCFL 인버터의 주파수 응답 특성을 그림 3-10에 나타내었다. 시뮬레이션은 실제로 회로를 레이-아웃한 후 기생 저항과 기생 커패시턴스, 그리고 각 FET들의 소오스/드레인 영역에서의 특성 모델링 등을 모두 포함하여 수행되었으며, 출력단에는 동일한 SCFL 인버터를 연결하여 SCFL의 입력단의 커패시턴스 및 interconnection 커패시턴스가 부하로 작용하도록 하였다. 그림으로부터, 설계된 SCFL 인버터는 약 4.86GHz에서 90°의 위상차가 발생하고 있음을 알 수 있다. 본 논문에서 구현하고자 하는 VCO는 2개의 SCFL 인버터를 사용하여 구성된 2단 VCO의 구조이므로 하나의 인버터에서 90°의 위상차가 일어나게 되고 이 때, 인버터의 전압 이득은 0dB 이상이다.

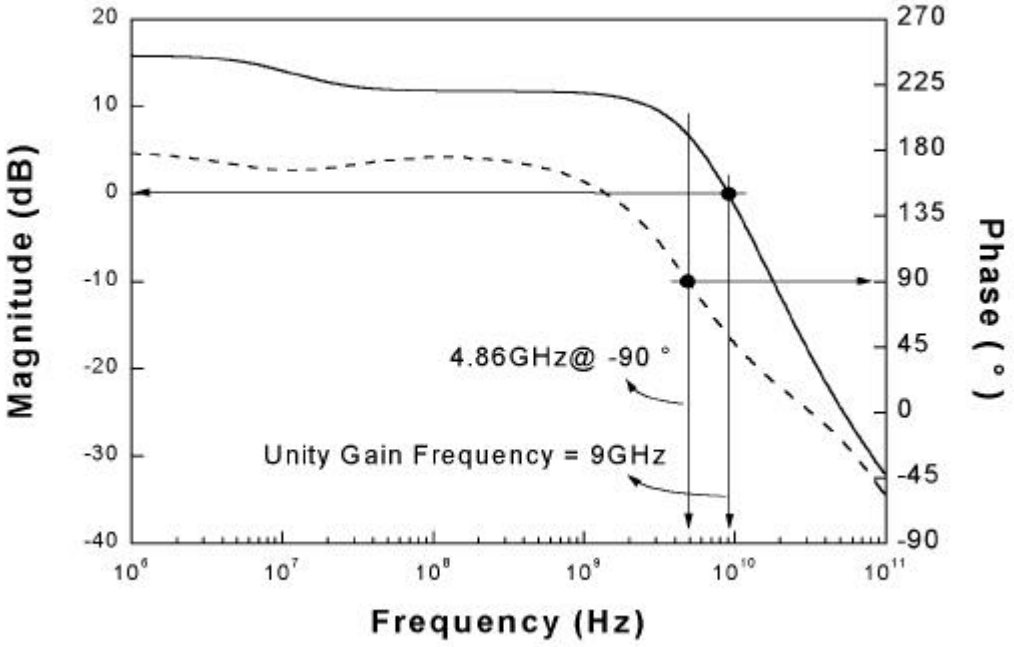


그림 3-10. **제안된 차동 인버터의 주파수 응답 특성**.

Figure 3-10. Frequency response of the proposed differential inverter.

그림 3-11은 그림 3-9의 SCFL 인버터를 사용하여 구성된 2단 차동 링 발진기의 회로도이며 그림 3-12와 그림 3-13은 이 회로의 출력 파형을 나타낸 것이다. 그림 3-12에서 알 수 있듯이 제안된 2단 링 발진기는 제어 전압이 -0.5V일 때 약 5.05GHz의 발진 주파수를 가지고 있으며 첫 번째 차동 인버터의 출력(N1P, N1N)과 두 번째 차동 인버터의 출력(N2P, N2N)이 서로 90° 의 위상차를 가지고 있다. 이로 인해 각 SCFL 인버터의 공통-소오스 단의 출력(OP, ON)들은 서로 180° 의 위상차를 갖게 된다. 이러한 결과가 그림 3-13에 나타나 있다. 그림에서 보는 바와 같이 OP와 ON은 5.05GHz의 두 배인 약 10.09GHz의 발진 주파수를 가지고 있으며 중심 전압 및 진폭은 각각 -0.43V, $0.2V_{p-p}$이다. 그러나, OP와 ON은 ECL 레벨에 비해 중심 전압이 높고, 진폭이 작다. 뿐만 아니라, 이 신호들은 SCFL 인버터의 공통-소오스 단의 신호이기 때문에 회로에 미치는 여러 가지 외부 요인들에 의해 중심 전압이 변화한다. 따라서, 이들을 차동 증폭하여 원하는 진폭을 얻는 동시에 두 신호의 공통 성분의 변화를 제거하기 위한 차동 증폭 회로가 필요하다.

3-3-2-2. 차동 증폭 회로

차동 증폭 회로는 3 종류의 차동 증폭기를 직렬 연결한 5단 증폭기의 구조를 가지고 있다. 그림 3-14는 설계된 차동 증폭 회로이다. 그림 3-14(a)는 첫 번째 단에 사용되는 차동 증폭 회로로서, 입력의 공통-모드 바이어스의 변화가 출력의 바이어스에 영향을 미치지 못하도록 공통-모드 피이드백 루프(common-mode feedback loop; CMFL)를 추가하였다. 5단의 차동 증폭기 중 중간의 3단에 해당하는 차동 증폭 회로는 그림 3-14(b)의 구조를 가지고 있으며 각각 다음 단의 부하를 고려하여 적절한 크기의 구동 FET를 갖도록 설계하였다. 그림 3-14(c)는 마지막 단으로서 최종 출력의 진폭 및 레벨이 차동 ECL 레벨에 맞도록 설계되었다.

설계된 5단의 차동 증폭 회로를 거친 후의 최종 출력 파형이 그림 3-15에 나타나 있다. 그림에서 알 수 있듯이 최종 출력은 -1.27V의 중심 전압과 , $0.5V_{p-p}$의 진폭을 가지고 있으며 차동 ECL 레벨의 범위 내에 있다.

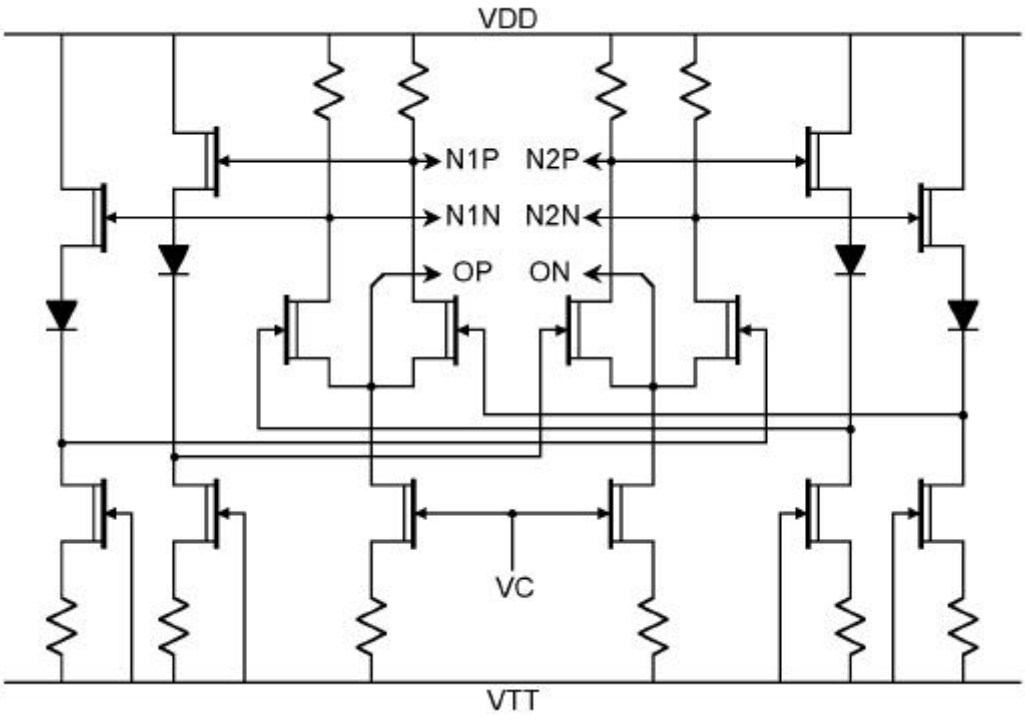


그림 3-11. 제안된 2단 차동 링 발진기의 회로도.

Figure 3-11. Schematic diagram of the proposed 2-stage differential ring oscillator.

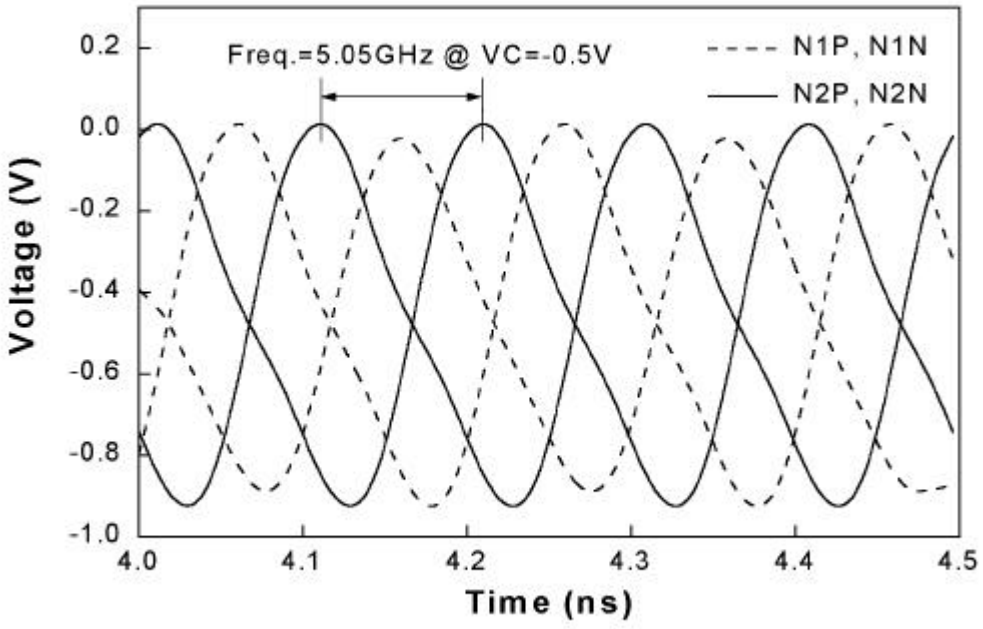


그림 3-12. **그림** 3-11 **회로의 출력 파형**. (N1P, N1N, N2P, N2N)

Figure 3-12. Output waveforms of the circuit shown in Figure 3-11. (N1P, N1N, N2P, N2N)

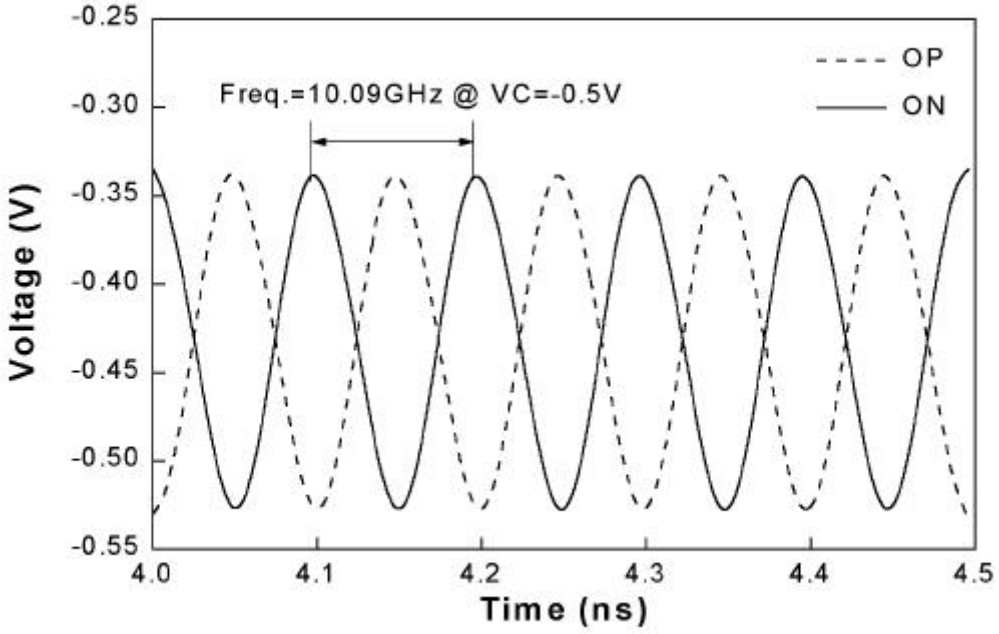
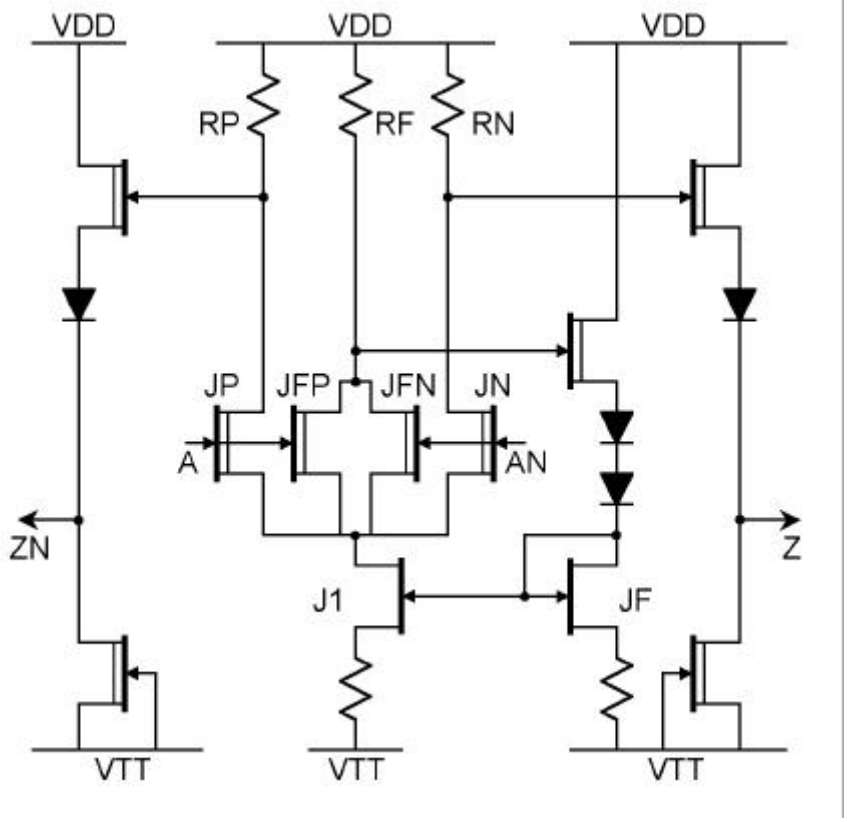


그림 3-13. 그림 3-11 회로의 출력 파형. (OP, ON)

Figure 3-13. Output waveforms of the circuit shown in Figure 3-11. (OP, ON)



(a)

그림 3-14. **차동 증폭 회로**. (**계속**)

(a) **공통-모드 피드백 루프가 포함된 차동 증폭 회로**

(b) **차동 전압 증폭 회로**

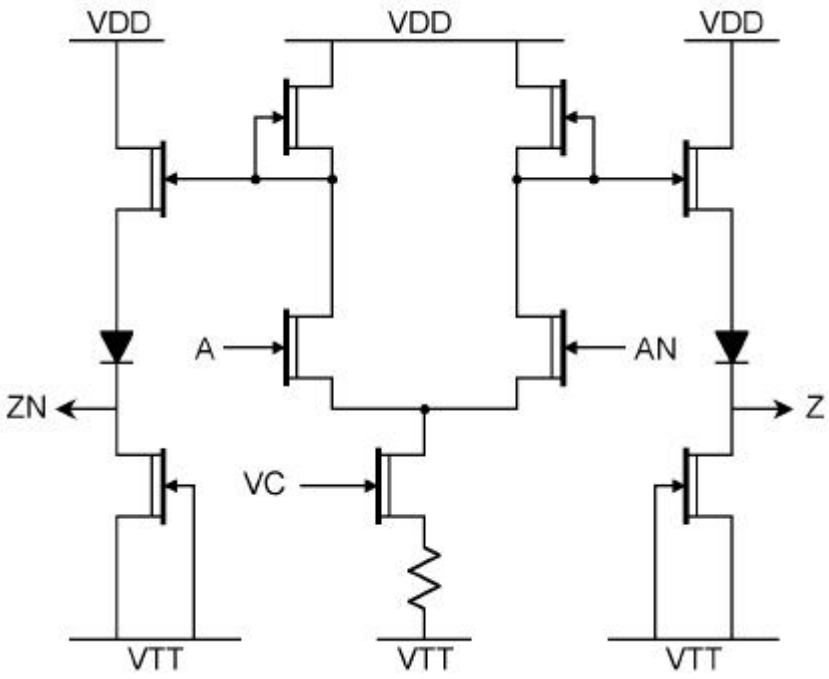
(c) **차동 증폭 및 레벨 천이 회로**

Figure 3-14. Schematic diagrams of differential amplifiers. (continued)

(a) Differential amplifier with CMFL

(b) Differential voltage amplifier

(c) Differential amplifier and level shifter



(b)

그림 3-14. **차동 증폭 회로**. (**계속**)

(a) **공통-모드 피드백 루프가 포함된 차동 증폭 회로**

(b) **차동 전압 증폭 회로**

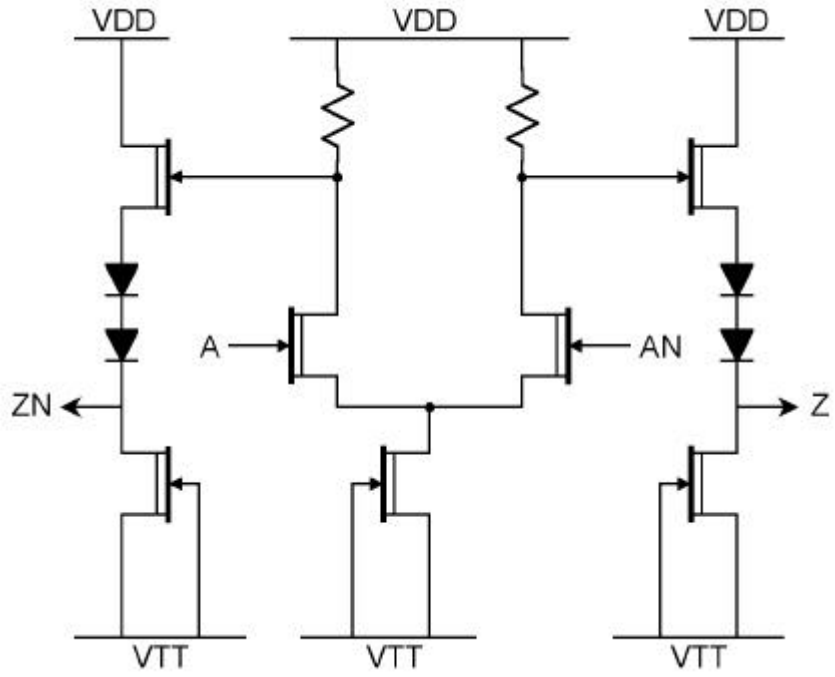
(c) **차동 증폭 및 레벨 천이 회로**

Figure 3-14. Schematic diagrams of differential amplifiers. (continued)

(a) Differential amplifier with CMFL

(b) Differential voltage amplifier

(c) Differential amplifier and level shifter



(c)

그림 3-14. 차동 증폭 회로.

(a) 공통-모드 피드백 루프가 포함된 차동 증폭 회로

(b) 차동 전압 증폭 회로

(c) 차동 증폭 및 레벨 천이 회로

Figure 3-14. Schematic diagrams of differential amplifiers.

(a) Differential amplifier with CMFL

(b) Differential voltage amplifier

(c) Differential amplifier and level shifter

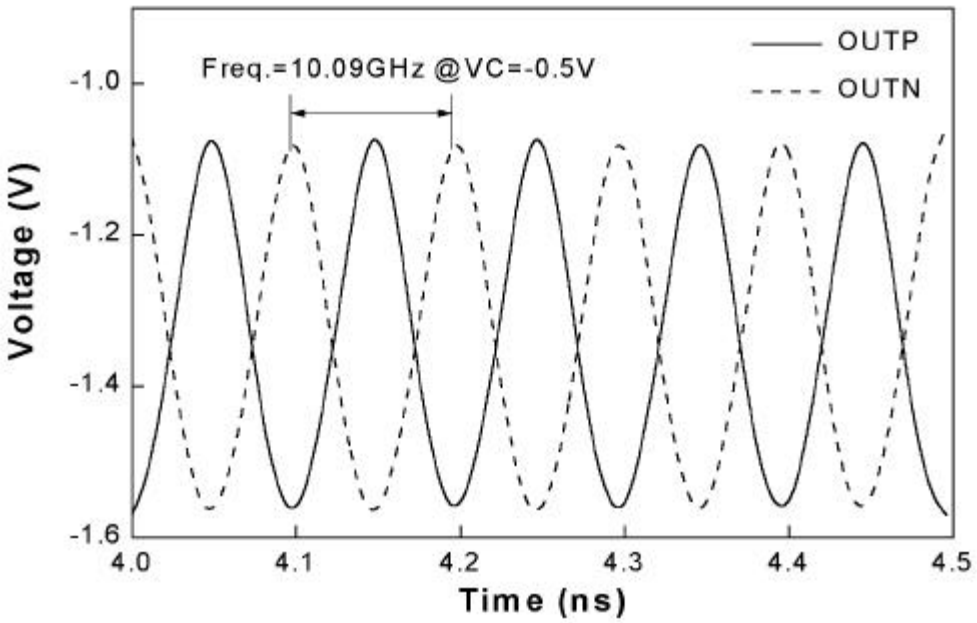


그림 3-15. 제안된 전압 제어 발진기의 출력 파형.

Figure 3-15. Output waveforms of the proposed voltage-controlled oscillator.

제 3-3-3 절. 성능 분석

3-3-3-1. 출력 주파수의 범위

제안된 10GHz급 VCO의 출력 주파수 범위를 평가하기 위해 SPICE 시뮬레이션을 수행하였으며 그 결과는 표 3-1과 같다. -1.6V ~ -0.4V의 제어 전압 범위에 대해 출력 신호의 주파수는 8.95GHz ~ 10.13GHz로 변화하고, 출력 신호의 진폭은 0.46V ~ 0.54V로 변화한다. 그림 3-16은 제안된 회로가 최대, 중심, 그리고 최소 주파수를 가질 때의 파형, 즉 제어 전압이 각각 -1.6V, -1.0V, 그리고 -0.4V일 때의 파형들을 보인 것이다. 그림으로부터, 제어 전압이 변함에 따라 출력 신호의 중심 전압 레벨이 영향을 받는 것을 볼 수 있는데, 차동 증폭부에 포함된 공통-모드 피드백 회로에 의해 그 영향이 적음을 알 수 있다. 또한, 차동 로직에 있어서 어느 정도의 공통-모드 전압 변동은 허용되므로 큰 문제가 되지 않는다. 출력 신호의 진폭은 제어 전압의 중심 부근에서는 크고, 제어 전압의 양끝으로 갈수록 감소하는 것을 볼 수 있는데, 중심 전압 -1.0V를 기준으로 하였을 때의 최대 상대 오차는 약 13.2%로 비교적 크게 변하고 있다. 이것은 제어 전압이 높을 때에는 출력 신호의 주파수가 증가하기 때문에 차동 증폭 회로의 전압 이득이 감소하기 때문이다. 그리고, 제어 전압이 낮을 때에는 증폭 회로들의 바이어스 전류도 감소하여 차동 증폭 회로의 전압 이득이 감소하기 때문인 것으로 판단된다. 이러한 진폭의 변화 역시 ECL 레벨의 허용 범위 내에 있으므로 수용할 만한 결과이다.

그림 3-17은 제안된 VCO의 주파수 제어 특성을 나타낸 것으로 VCO 이득은 590MHz/V이다.

3-3-3-2. 온도 변화에 대한 안정성

그림 3-18은 기준 온도인 30℃와 통상적으로 규정되는 허용 온도인 -25℃와 80℃에 대한 시뮬레이션 결과를 보인 것이다. 시뮬레이션은 제어 전압이 -0.5V인 경우에 대해 수행되었다. -25℃ ~ +80℃의 온도 변화에 대해 출력 신호의 주파수는 10.34GHz ~ 9.76GHz로 변화하여 -5.5MHz/℃의 온도 의존성을 나타내었으며, 신호의 중심 전압 및 진폭은 각각 1.5mV/℃와 1.0mV/℃로 변화하였다. 또한, 상온인

+30℃를 기준으로 한 최대 상대 오차는 출력 주파수, 신호 레벨, 진폭에 대해 각각 3.3%, 6.8%, 16%로 평가되었다. 온도의 증가에 따른 GaAs MESFET의 특성 변화는 크게 두 가지로 나눌 수 있다. 즉, GaAs의 전도대와 페르미(Fermi) 준위의 차이의 증가로 인한 문턱 전압(V_{T0})의 감소와 전자 이동도의 증가로 인한 전달 콘덕턴스 상수(β)의 감소로 나누어진다. 동일한 바이어스 조건하에서 V_{T0}가 감소하면 드레인 전류는 증가하고 β가 감소하면 드레인 전류는 감소하게 된다. 이들 두 파라미터의 변화는 서로 상쇄되어 GaAs MESFET의 드레인 전류가 일정해지는 작용을 하게 되지만, FET의 게이트-소오스 전압의 레벨에 따라 FET의 드레인 전류에 영향을 미치는 주된 파라미터가 달라지게 된다. 즉, 낮은 게이트-소오스 바이어스에 대해서는 V_{T0}의 변화가 β의 변화에 비해 상대적으로 큰 영향을 미치게 되어, 온도가 증가할수록 드레인 전류가 증가하게 되는데 반해, 높은 게이트-소오스 바이어스에 대해서는 β의 변화가 V_{T0}의 변화에 비해 상대적으로 큰 영향을 미치게 되어, 온도가 증가할수록 드레인 전류가 감소하게 된다. 본 논문에서 설계된 SCFL 인버터의 전류원(그림 3-9의 J3)의 게이트-소오스 바이어스는 0.5V이므로 온도가 증가할수록 전류원의 출력 전류는 감소하게 된다. 따라서, 표 3-2와 같이 회로의 온도가 증가할수록 출력의 주파수와 진폭이 감소하게 된다.

표 3-1. 제안된 전압 제어 발진기의 출력 특성.

Table 3-1. Output characteristics of the proposed VCO.

제어전압(V)	주기(ps)	주파수(GHz)	진폭(V_{p-p})
-1.60	111.72	8.95	0.47
-1.40	108.56	9.21	0.51
-1.20	105.78	9.45	0.54
-1.00	103.22	9.69	0.53
-0.80	100.91	9.91	0.53
-0.60	99.53	10.05	0.53
-0.50	99.13	10.09	0.50
-0.45	98.94	10.11	0.46
-0.40	98.76	10.13	0.46

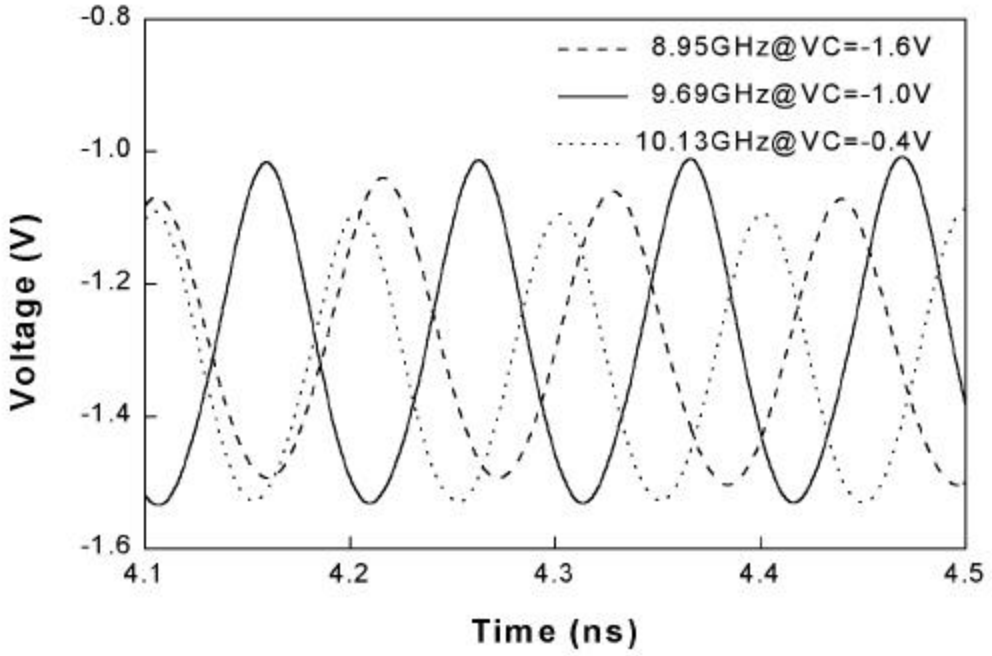


그림 3-16. 제안된 전압 제어 발진기의 출력 파형.
(발진 주파수가 최소, 중간, 그리고 최대일 때)

Figure 3-16. Output waveforms of proposed VCO.
(at the minimun, center, and maximun oscillation frequencies)

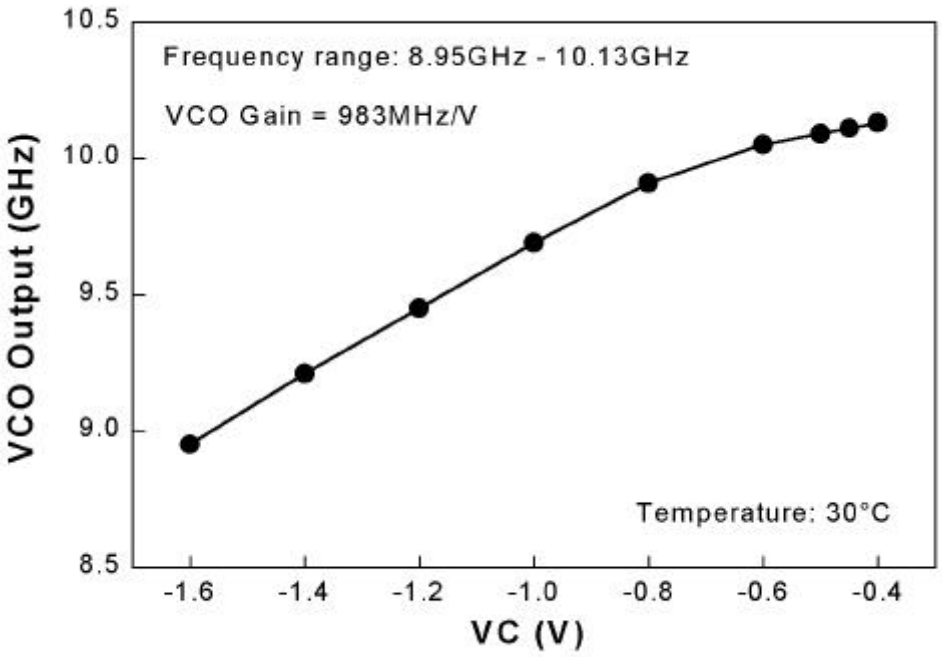


그림 3-17. **제안된** VCO**의 주파수 제어 특성**.

Figure 3-17. Tuning sensitivity of the proposed VCO.

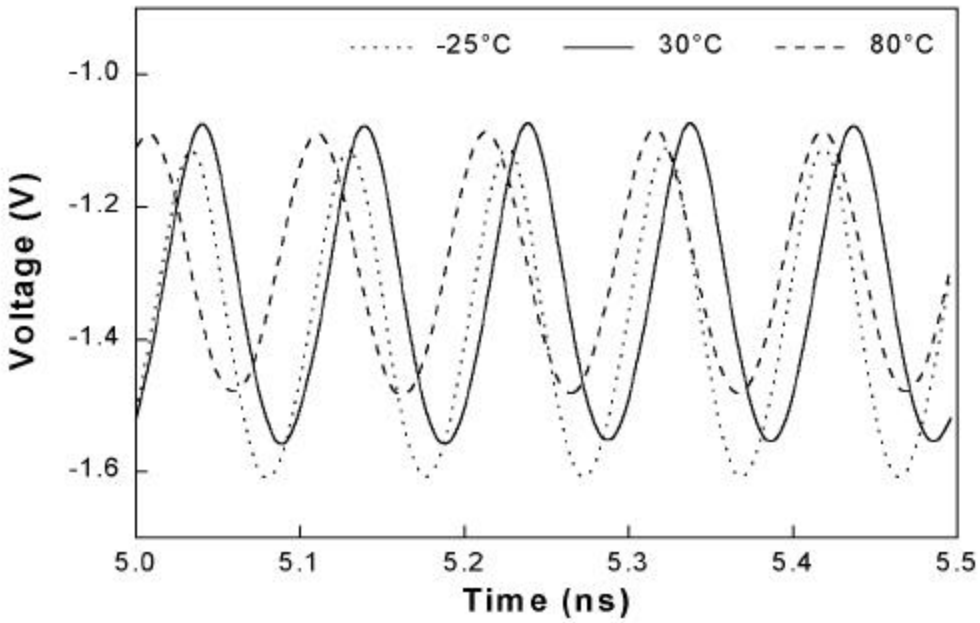


그림 3-18. 제안된 VCO의 온도 의존성.

Figure 3-18. Temperature dependency of the proposed VCO.

표 3-2. 온도 변화에 대한 출력 특성의 변화.

Table 3-2. Output characteristics of the proposed VCO under the temperature variation.

온도(℃)	주기(ps)	주파수(GHz)	진폭(V_{p-p})
-25	96.26	10.34	0.52
+30	99.13	10.09	0.50
+50	100.34	9.97	0.48
+60	100.95	9.91	0.47
+70	101.71	9.83	0.45
+80	102.48	9.76	0.42

제 4 장. 2GHz급 전압 제어 발진기

이 장에서는 2GHz급 PLL에 응용될 수 있는 새로운 구조의 VCO를 제안하고, 이의 동작 원리 및 성능 검증을 수행하고자 한다. 0.5㎛ GaAs MESFET 공정 파라미터를 사용하여 2GHz 대역의 발진 주파수를 내는 링 형태의 VCO를 설계하는 것은 용이하다. 따라서, 이 장에서 제안하는 VCO의 구조는 발진 주파수를 향상시키는데 목적이 있는 것이 아니고 발진 주파수의 범위를 보다 확장 시켜서 VCO의 응용 범위를 넓히고, 또한 동시에 발진의 안정성을 향상시키고자 하는데 있다.

제 4-1 절. 주파수 제어 방식

제 4-1-1 절. 전압 제어형 RC 지연 방식

RC 지연 방식은 그림 4-1에 나타낸 것과 같이 발진 루프를 구성하는 인버터 각 단 사이에 FET를 직렬로 연결하는 방식이다. 연결된 FET는 전압 제어형 저항으로 동작한다. 인버터의 입력 커패시턴스를 C라 하면 시정수(time constant) RC는 제어 전압에 따라 변하게 된다. RC의 변화량은 인버터의 로직 천이 시간에 영향을 주어 발진 주파수를 변화시킨다.

이 방식은 FET와 같은 지연 소자가 발진 루프에 별도로 추가되어 최대 발진 주파수가 제한되는 단점이 있다. 인버터의 개수를 줄임으로써 이 현상을 보상할 수는 없는데 이는 전체 루프 이득이 작아져서 전체 회로의 발진을 불가능하게 만들 수 있기 때문이다.[16]

제 4-1-2 절. 풀 다운(pull-down) 전류 제어 방식

풀 다운 전류 제어 방식은 전압 제어형 바이어스 전류원을 이용하여, 발진 루프를 구성하는 인버터들의 상승·하강 시간을 직접 변화시키는 방법으로 그림 4-2와 같은 구조이다.[22] 인버터의 전달 지연 시간이 인버터의 동작점의 전류량

에 비례하므로 각 인버터의 바이어스 전류를 제어하여 발진 주파수를 변화시킨다. 따라서, 발진 주기를 짧게 하는 경우, 인버터가 불안정하게 동작할 가능성이 있다.

이 방식은 별도의 지연 소자가 불필요한 이점은 있지만, 전압 제어형 바이어스 전류원의 커패시턴스 성분 때문에 역시 최대 발진 주파수가 제한된다. 뿐만 아니라, 회로의 바이어스 전류량을 제어하는 방식은 발진 범위의 양 끝단에서 바이어스의 불안정으로 인해 발진이 멎거나 불안정해 질 수 있는 문제가 있으며, 이를 피하기 위해 전류량의 제어 폭을 줄일 경우, VCO의 주파수 범위가 좁아지는 문제가 있다. 그러나, 본 논문의 3장에서 제안한 10GHz급 VCO의 경우, 중심 주파수가 매우 높기 때문에 발진 주파수의 범위가 상대적으로 작아져야 할 필요가 있으므로 바이어스 전류를 제어하는 방식을 취해도 문제가 되지는 않는다.

제 4-1-3 절. 피드백 루프 결합 방식

피드백 루프 결합 방식은 그림 4-3과 같이 루프의 지연 시간이 다른 두 개의 발진 루프를 구성하여 두 루프의 지연 시간의 차이를 아날로그 멀티플랙서(analog multiplexer; AMUX)로 혼합하여 발진 링의 총 지연 시간을 변화시켜 발진 주파수를 제어하는 방식이다.[18] 이 방식은 발진 주파수의 범위가 두 개의 발진 루프에서 낼 수 있는 발진 주파수로 고정되므로 주파수 제어 면에서 안정성이 뛰어난 장점이 있다. 또한, 앞 절에서 언급한 방식들과는 달리 일반적으로 사용되는 로직들을 이용하여 구성할 수 있고, 각각의 로직들을 차동 구조로 설계할 경우, VCO의 제어 신호도 차동 신호가 되므로 공정 파라미터의 변화, 온도, 전원 전압의 변화 등에 대한 안정성이 뛰어난 장점이 있다. 따라서, 본 논문에서는 피드백 루프 결합 방식을 2GHz급 VCO의 주파수 제어 방식으로 결정하였다.

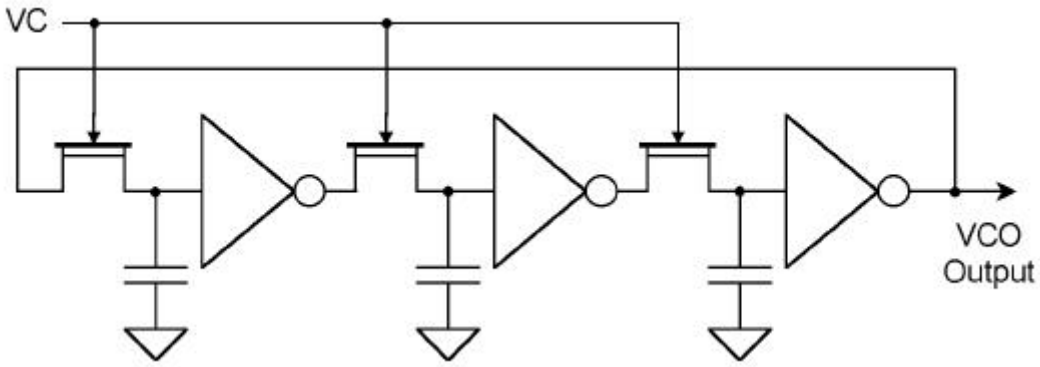


그림 4-1. RC **지연 방식**.

Figure 4-1. RC delay method.

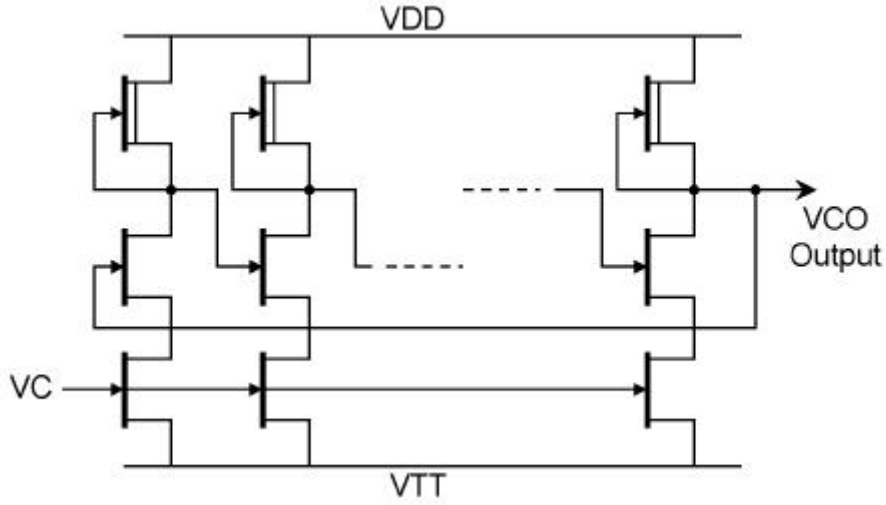


그림 4-2. 풀-다운 전류 제어 방식.

Figure 4-2. Pull-down current control method.

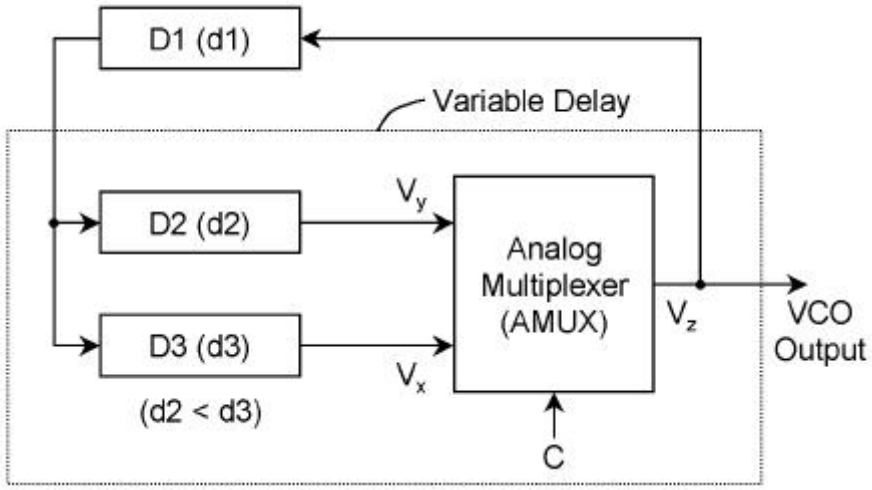


그림 4-3. **피드백 루프 결합 방식**.

Figure 4-3. Feedback loop coupling method.

제 4-2 절. 피드백 루프 결합 방식의 전압 제어 발진기

제 4-2-1 절. 동작 원리

피드백 루프 결합 방식의 구조는 그림 4-3에 나타나 있다. 이 방식은 d1, d2, d3의 지연을 일으키기 위한 지연 소자 D1, D2, D3, 그리고 d1과 d2, 및 d1과 d3로 형성되는 두 발진 루프를 결합하기 위한 AMUX로 구성된다. 지연 소자 D2의 출력은 AMUX의 첫 번째 입력인 V_y에 연결되고, 지연 소자 D3의 출력은 AMUX의 두 번째 입력인 V_x에 연결된다. AMUX의 출력 신호 V_z가 두 입력 신호 V_y, V_x에 대해 선형적으로 제어된다고 가정하면, 출력 V_z는 식 (4-1)과 같이 표현된다.

$$V_z = -[(1-C)V_y + CV_x] \tag{4-1}$$

식 (4-1)에서 "-" 기호는 신호 파형이 반전되는 것을 의미한다. C는 $0 \leq C \leq 1$ 범위의 값으로서 AMUX에 인가되는 제어 전압에 관계된다. 따라서, 그림 4-3에서 점선으로 표시된 블록은 C=0일 때 지연 시간 d2를, C=1일 때 지연 시간 d3를 발생시키면서 반전 기능을 수행하는 반전 가변 지연 소자(inverting variable delay element)이다. 이러한 구조에서 최대 발진 주파수 f_{max}, 최소 발진 주파수 f_{min}, 중심 발진 주파수 f_c는 각각 식 (4-2), (4-3), 그리고 식 (4-4)로 나타난다.

$$f_{max} = \frac{1}{2(d1+d2)} \tag{4-2}$$

$$f_{min} = \frac{1}{2(d1+d3)} \tag{4-3}$$

$$f_c = \frac{1}{2\left(d1+\frac{d2+d3}{2}\right)} \tag{4-4}$$

제 4-2-2 절. 기존 방식의 문제점

앞 절에서 언급한 방식의 VCO는 최대, 최소의 발진 주파수 결정이 용이하고, 지연 소자 및 AMUX를 차동 로직으로 구현할 경우 발진 신호뿐만 아니라 제어 전압 자체도 차동 신호가 되도록 할 수 있으므로 고주파 발진기로 사용되기에 유리한 장점을 가지고 있다. 그러나, 이 방식은 AMUX에서 발생하는 현실적인 제한으로 인해 결합되는 두 루프 사이의 지연 시간의 차를 임의로 정할 수 없는 문제를 가지고 있다. 결합되는 두 루프 사이의 지연 시간이 커진다는 것은 AMUX에 인가되는 두 신호의 위상차가 커지는 것을 의미하는데, 위상차가 작을 경우에는 AMUX가 식 (4-1)과 같은 선형 제어 특성을 가지면서 정상 동작을 할 수 있으나 위상차가 지나치게 커지면 AMUX의 출력이 불안정해지는 문제가 발생한다. 그림 4-4는 제어 전압이 중심에 있을 때의 AMUX 동작을 개념적으로 나타낸 것으로 두 입력의 위상차가 작은 경우에는 AMUX가 정상 동작을 하지만, 위상차가 큰 경우에는 출력 파형이 불안정해지는 것을 볼 수 있다. 극단적인 예로 두 입력의 위상차가 180° 가 되는 경우에는 AMUX의 출력은 일정한 DC 전압 성분으로 나타나게 되므로 결국 발진이 멎게 된다.

그림 4-5는 그림 4-3에서 보인 피드백 루프 결합 방식의 VCO의 개념도를 게이트 레벨로 구현한 예이다. 그림 4-5(a)는 결합되는 두 루프가 각각 3단과 5단으로 구성된 3-5단 VCO이고, 그림 4-5(b)는 3-6단 VCO이다. 해석의 편의를 위해 그림 4-5에서 VC가 0일 때에는 최소 발진 주파수가 발생되고 VC가 1일 때에는 최대 발진 주파수가 발생된다고 가정하고 AMUX의 전달 지연 시간이 지연 소자로 사용되는 인버터의 전달 지연 시간(t_d)과 동일하다고 가정한다. 그림 4-5(a)의 경우, AMUX의 두 입력 신호 사이에는 $2t_d$ 만큼의 지연 시간 차이가 있다. 발진기가 최소 발진 주파수를 낼 때 신호의 한 주기는 $2\times5t_d$가 되므로 두 입력 신호 V_y와 V_x의 위상차는 $2\pi/5$가 된다. 그리고 발진기가 최대 발진 주파수를 낼 때 신호의 한 주기는 $2\times3t_d$가 되므로 V_y와 V_x의 위상차는 $2\pi/3$가 된다. 따라서 AMUX에 인가되는 두 입력의 위상차는 최소 $2\pi/5$에서 최대 $2\pi/3$가 된다. 그러나 이 경우 AMUX의 제어 신호가 1일 때로서 V_x의 신호만이 출력 V_z에 영향을 주므로 두 신호간의 위상차가 크더라도 회로의 안정성에 영향을 주지는 않는다.

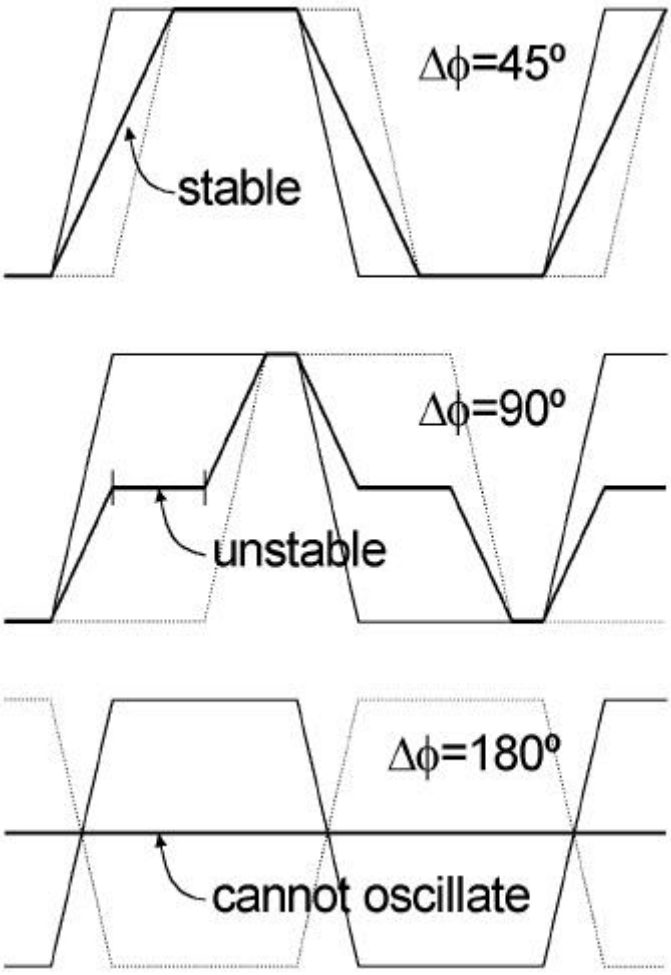
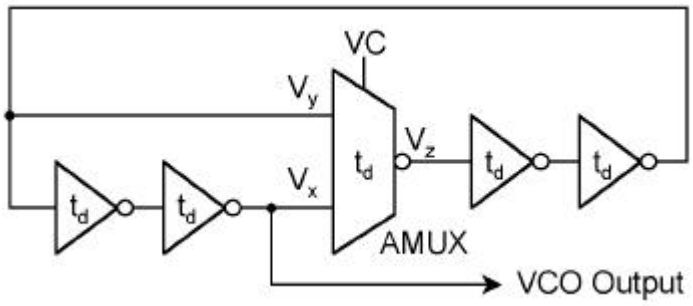
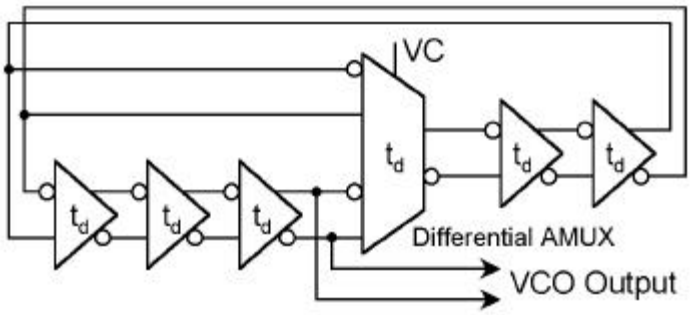


그림 4-4. AMUX**의 동작 특성**.

Figure 4-4. Characteristics of AMUX.



(a)



(b)

그림 4-5. 루프 결합 방식의 전압 제어 발진기의 구현 예.

(a) 3단-5단 (b) 3단-6단

Figure 4-5. Illustrations of VCO using loop-coupling method.

(a) 3-5 stage (b) 3-6 stage

AMUX의 불안정성이 극대화될 가능성이 가장 높은 경우, 즉 발진기가 중간 발진 주파수를 낼 때인 VC=0.5인 경우, 두 신호의 위상차는 π/2가 된다. 따라서, 그림 4-5(a)의 3-5단 VCO는 비교적 안정된 동작을 할 수 있다. 그러나, 그림 4-5(b)의 경우에는 V_y와 V_x 간의 위상차는 최소 π/2에서 최대 π가 되고, 중간 발진 상태에서의 위상차는 2π/3가 되어 회로가 불안정해 진다. 따라서, 기존 방식의 VCO에서 결합할 수 있는 두 루프의 단 수는 두 루프의 단수의 비가 2 이하가 되어야 하는 제한을 가지게 된다. 참고 문헌 [23]에서는 복수개의 AMUX를 이용하여 결합할 수 있는 루프의 단 수 제한을 극복할 수 있는 방식을 제안하고 있으나, 이 방법 역시 AMUX의 불안정성은 문제가 된다.

제 4-3 절. 새로운 구조의 제안

제 4-3-1 절. 구조 및 동작 원리

본 논문에서 제안하고자 하는 새로운 구조의 피드백 루프 결합 방식의 VCO는 전기적 특성이 동일한 두 쌍의 링 발진기를 AMUX를 이용하여 결합한 구조로서 앞 절에서 언급한 기존 방식이 갖는 장점들을 그대로 유지하면서 발진 주파수의 범위가 한정되는 단점을 극복하고 발진의 불안정성을 개선할 수 있는 특징을 가지고 있다.[41]

그림 4-6(a)는 제안된 VCO의 블록도이다. 제안된 VCO는 동일한 전기적 특성을 가지는 2개의 AMUX와 4개의 지연 소자를 이용하여, 하나의 AMUX와 2개의 지연 소자를 한 쌍으로 하여 제 1 링 발진기를 구성하고 또 다른 하나의 AMUX와 나머지 2개의 지연 소자를 다른 한 쌍으로 하여 제 2 링 발진기를 각각 구성한 후 이 두개의 가변 지연 블록을 직렬 연결한 형태로 구성되어 있다. 회로에서 제어 전압(VC)은 0과 1사이의 값을 가지며, VC가 0이면 최장 지연 루프에 의해 발생되는 최소 발진 주파수를 출력하고 VC가 1이면 최단 지연 루프에 의해 발생되는 최대 발진 주파수를 출력한다. 또한 VC가 0에서 1로 변화하면 VCO의 발진

주파수는 최소 발진 주파수에서 최대 발진 주파수로 연속적으로 변화하게 된다. 이 회로의 동작 원리에 대한 이론적 해석은 다음과 같다.

그림 4-6(a)의 회로가 발진 상태에 있다고 가정하면 VCO 내의 모든 노드들의 전압은 동일한 주파수(f_{osc})를 가지게 된다. 따라서, 각 노드들의 전압은 크기와 위상으로 정의되는 복소 페이저를 이용하여 표현할 수 있다.

그림 4-6(b)는 그림 4-6(a)를 개념적으로 재구성한 것이다. AMUX는 제어 신호 C에 의해 두 입력을 혼합하는 기능을 하는 동시에 지연 소자로 사용되는 인버터와 동일한 전달 지연 시간을 갖는 것으로 가정하면 그림과 같이 하나의 이상적인 AMUX와 하나의 인버터로 표현될 수 있다. 또한, 6단으로 구성된 최장 지연 루프에는 홀수 번의 반전 효과를 고려하기 위해 가상의 인버터가 있는 것으로 생각할 수 있다. 여기서 가상 인버터란 전달 지연 시간이 0이고 입·출력간의 위상차가 180° 인 이상적인 인버터를 의미한다.

그림에서 AMUX1과 AMUX2가 제어 신호 C($0 \leq C \leq 1$)에 의해 선형적으로 제어된다고 가정하면 각 AMUX의 입·출력은 식 (4-5)와 식 (4-6)으로 표현된다.

$$V_{z1} = CV_x - (1-C)V_y \tag{4-5}$$

$$V_{z2} = CV_y + (1-C)V_x \tag{4-6}$$

또한, 지연 소자로 사용되는 인버터 및 AMUX의 전달 지연 시간이 t_d라고 가정하면 식 (4-7)과 식 (4-8)의 관계가 유도된다.

$$V_x = A^2 e^{j3\theta} V_{z1} \tag{4-7}$$

$$V_y = A^2 e^{j3\theta} V_{z2} \tag{4-8}$$

여기서 A는 신호의 진폭에 관계되는 것으로 인버터가 f_{osc}의 주파수 대역에 있을 때의 소신호 이득을 의미한다. 그리고 θ는 하나의 인버터의 위상 지연을 의미한다. 식 (4-5)부터 식 (4-8)를 이용하여 V_{z1}과 V_{z2}의 관계를 구하면

$$V_{z1} = \frac{-A^2 e^{j3\theta}}{1-A^2 e^{j3\theta}} \cdot \frac{1-C}{C} \cdot V_{z2} \quad (4-9)$$

$$V_{z2} = \frac{A^2 e^{j3\theta}}{1-A^2 e^{j3\theta}} \cdot \frac{1-C}{C} \cdot V_{z1} \quad (4-10)$$

가 되고, 식 (4-9)와 식(4-10)을 합하면,

$$\left[\frac{A^2 e^{j3\theta}}{1-A^2 e^{j3\theta}} \cdot \frac{1-C}{C}\right]^2 = -1 \quad (4-11)$$

$$\frac{A^2 e^{j3\theta}}{1-A^2 e^{j3\theta}} \cdot \frac{1-C}{C} = \pm j \quad (4-12)$$

가 된다. 여기서 식 (4-12)는 식 (4-10)에서 보는 바와 같이 V_{z2}의 V_{z1}에 대한 위상 지연 항과 같으므로 -j를 취해야 한다. 따라서, 식 (4-12)를 정리하면,

$$e^{j3\theta} = \frac{-j}{A^2[(1-C)-jC]} \quad (4-13)$$

이 된다. 여기서 위상 지연 θ는 식 (4-14)와 같이 VCO의 발진 주기 T_{OSC}와 전달 지연 시간 t_d에 의해 표현된다.

$$\theta = \frac{2\pi t_d}{T_{OSC}} \quad (4-14)$$

따라서, 식 (4-14)와 식(4-13)을 합하여 그림 4-6(b) 회로의 발진 주기 T_{OSC}와 제어 신호 C 및 각 단의 전달 지연 시간 t_d의 관계를 구하면 식 (4-15)가 되고 발진 주파수 f_{OSC}는 식 (4-16)이 된다.

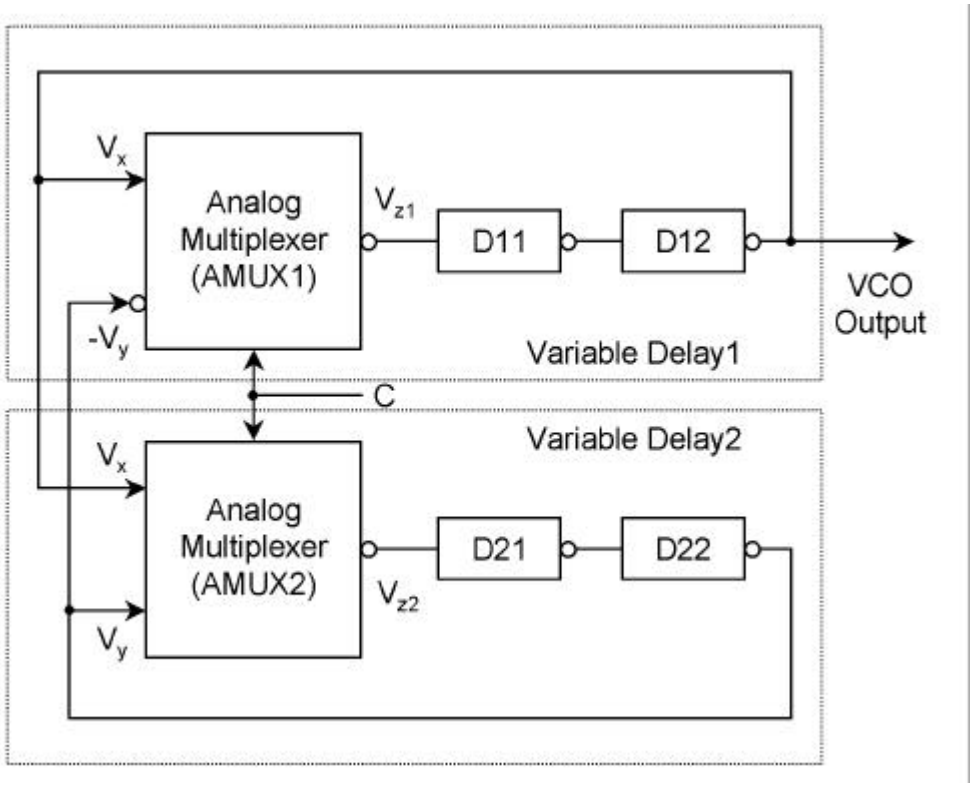
$$T_{OSC} = \frac{2\pi}{\frac{\pi}{2} + \tan^{-1}\left(\frac{C}{1-C}\right)} \cdot 3t_d \quad (4\text{-}15)$$

$$f_{OSC} = \frac{\frac{\pi}{2} + \tan^{-1}\left(\frac{C}{1-C}\right)}{2\pi} \cdot \frac{1}{3t_d} \quad (4\text{-}16)$$

식 (4-16)으로부터, 그림 4-6(b)의 VCO는 제어 신호 C가 0에서 1로 변함에 따라 발진 주파수는 $1/6t_d$에서 $1/12t_d$로 변함을 알 수 있다. 그림 4-7은 식 (4-16)에서 보인 제어 신호 C와 발진 주파수 f_{OSC}의 관계를 각각 t_d=50, 55, 60, 65, 70ps일 때에 대해 그래프로 나타낸 것이다. 그림에서 볼 수 있듯이 제어 신호 C가 0으로부터 1로 증가함에 따라 6단 링 발진기의 발진 주파수로부터 3단 링 발진기의 발진 주파수로 증가하게 된다.

그림 4-6(b)에 나타낸 바와 같이 AMUX1과 AMUX2에 인가되는 두 입력은 각각 V_x와 $-V_y$, 그리고 V_y와 V_x이다. AMUX2의 두 입력 신호의 위상 관계를 살펴보면, V_y는 V_x가 3단의 지연을 거친 후의 신호이고, V_x는 6단의 지연을 두 번 반복해서 한 주기가 완성되는 신호이므로 V_y는 V_x에 대해 90° 위상이 뒤지는 신호가 된다. 또한, AMUX1의 두 입력은 V_x와 $-V_y$인데, $-V_y$는 V_y 신호와 180°의 위상차를 갖는 신호이므로 $-V_y$는 V_x에 대해 90° 위상이 앞선다. 즉, 제안된 구조에서는 제어 신호 C의 값에 관계없이 AMUX의 두 입력 사이의 위상차는 항상 90°가 되므로 기존의 방식에서 나타나는 AMUX의 불안정성을 제거하게 된다.

그림 4-8은 제어 신호가 최소(C=0), 중간(C=0.5), 그리고 최대(C=1)일 때 AMUX의 두 입력 신호의 위상 관계를 나타낸 것이다. 이 시뮬레이션은 SCFL 형태의 AMUX 2개와 인버터 4개를 이용하여 설계된 VCO에 대해 수행되었으며 AMUX에 인가되는 두 신호의 위상 관계를 분석하기 위한 것이므로 기생 효과 등은 고려하지 않았다. 그림에서 보는 바와 같이 제어 신호의 모든 범위에 대해 AMUX의 두 입력 신호의 위상차는 항상 90°가 됨을 알 수 있다.



(a)

그림 4-6. 제안된 전압 제어 발진기 회로. (계속)

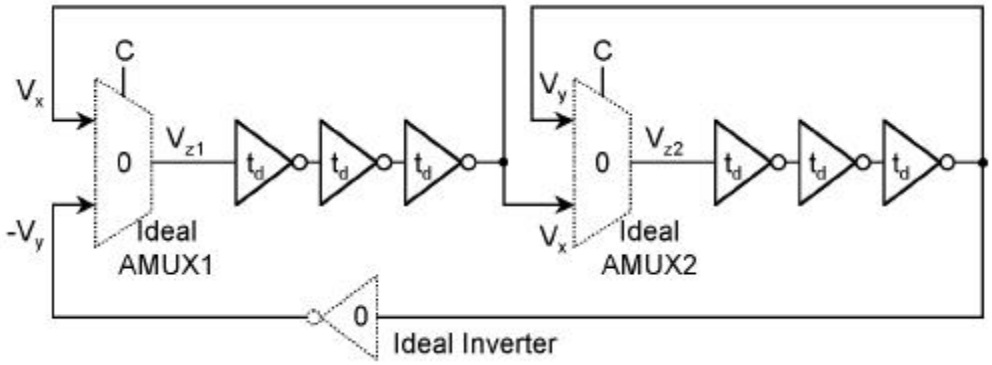
(a) 블록도

(b) 해석을 위한 그림 4-6(a)의 변형도.

Figure 4-6. Proposed VCO. (continued)

(a) Block diagram

(b) Modified diagram of Figure 4-6(a) for analysis



(b)

그림 4-6. 제안된 전압 제어 발진기 회로.

(a) 블록도

(b) 해석을 위한 그림 4-6(a)의 변형도.

Figure 4-6. Proposed VCO.

(a) Block diagram

(b) Modified diagram of Figure 4-6(a) for analysis

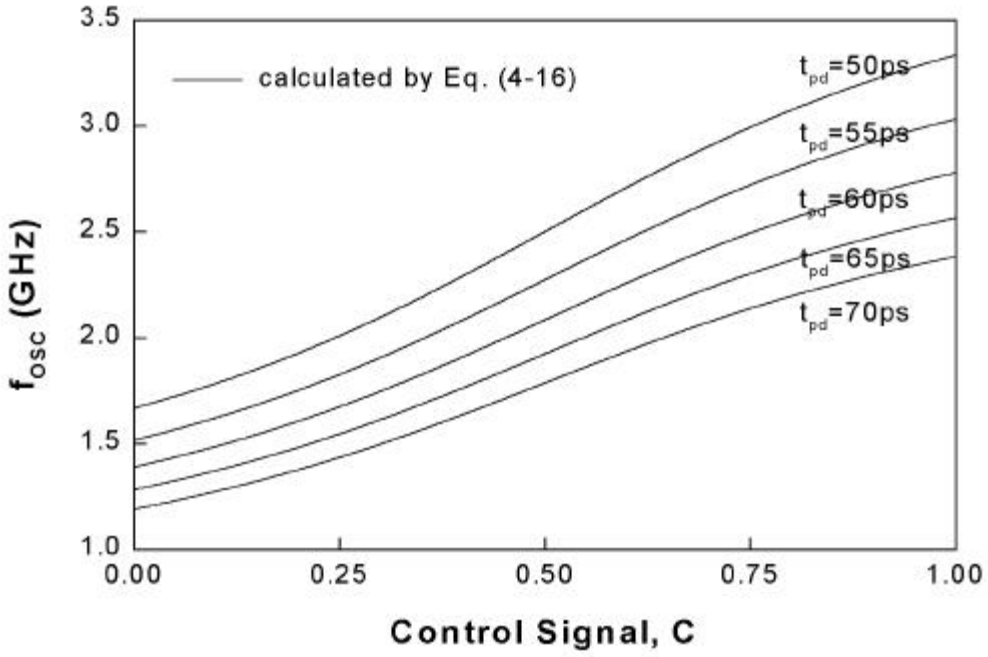
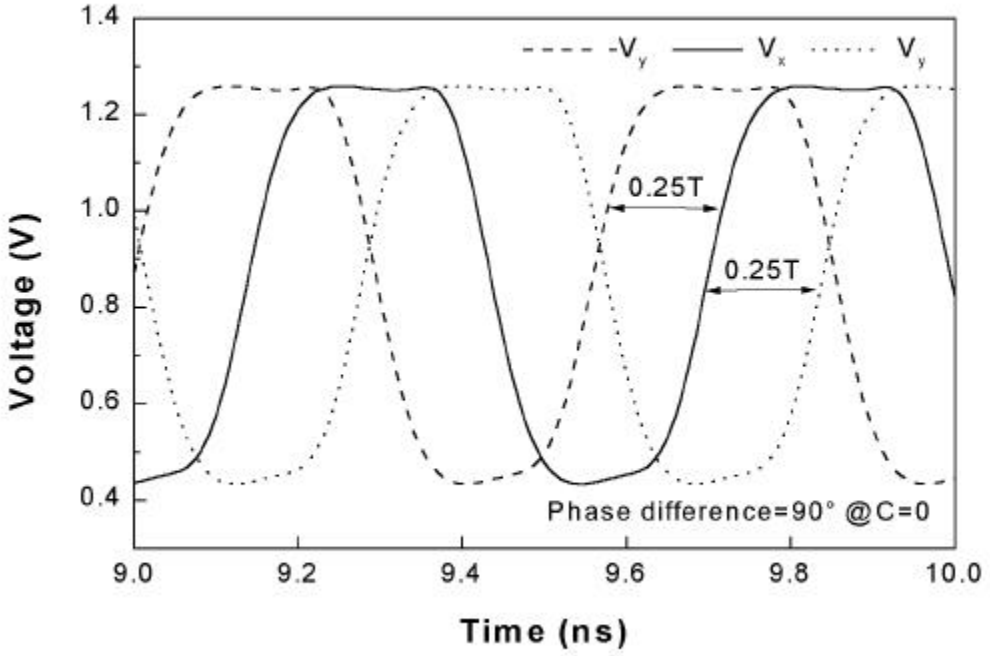


그림 4-7. 식 (4-16)에 의해 계산된 그림 4-6의 전압 제어 발진기의 주파수 특성.

Figure 4-7. Tuning sensitivity of the proposed VCO shown in Figure 4-6 calculated by Eq. (4-16).



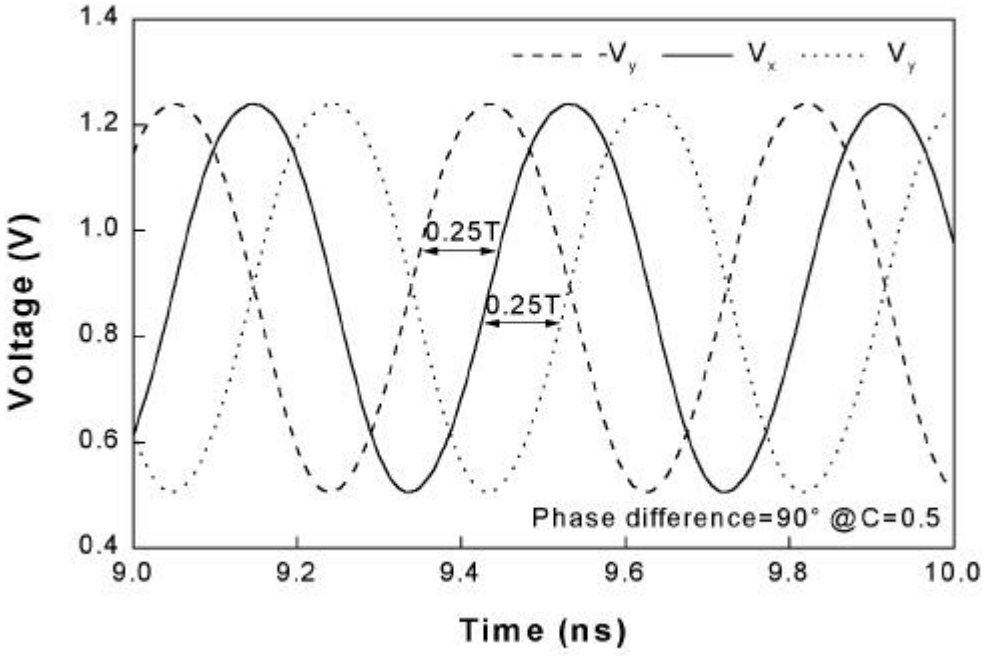
(a)

그림 4-8. 그림 4-6의 AMUX에 인가되는 입력 신호의 위상 관계. (계속)

(a) C=0 (b) C=0.5 (c) C=1

Figure 4-8. Phase relationships between two AMUX input signals shown in Figure 4-6. (continued)

(a) C=0 (b) C=0.5 (c) C=1



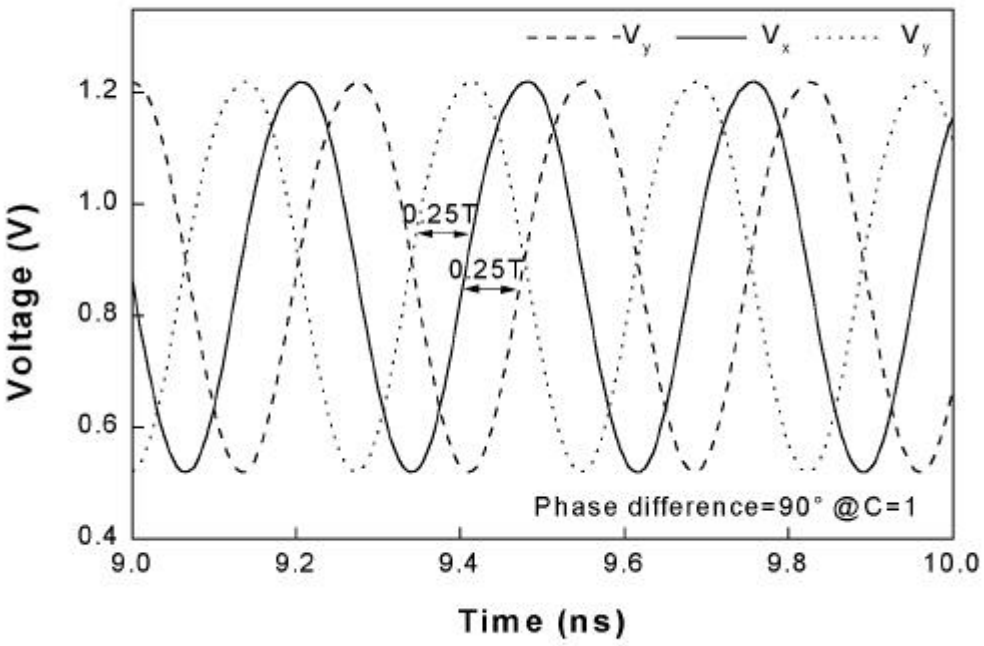
(b)

그림 4-8. 그림 4-6의 AMUX에 인가되는 입력 신호의 위상 관계. (계속)

(a) C=0 (b) C=0.5 (c) C=1

Figure 4-8. Phase relationships between two AMUX input signals shown in Figure 4-6. (continued)

(a) C=0 (b) C=0.5 (c) C=1



(c)

그림 4-8. 그림 4-6의 AMUX에 인가되는 입력 신호의 위상 관계.

(a) C=0 (b) C=0.5 (c) C=1

Figure 4-8. Phase relationships between two AMUX input signals shown in Figure 4-6.

(a) C=0 (b) C=0.5 (c) C=1

제 4-3-2 절. 설계 과정

제안된 2GHz급 VCO의 블록도는 그림 4-9와 같다. 이 회로는 SCFL 형태의 아날로그 멀티플랙서(AMUX1, AMUX2), 디지털 멀티플랙서(DMUX1, DMUX2), 그리고 버퍼(HBUF1, HBUF2)를 이용하여 3-6단 형태의 피드백 루프 결합 방식으로 연결되어 있다. DMUX의 역할은 버퍼와 마찬가지로 지연 소자의 기능을 하는 동시에 VCO의 출력을 리셋시키기 위한 것이다. 즉, DMUX의 한 입력은 루프를 형성하도록 연결하고 다른 입력은 로직 "0"을 인가하여 RSTP와 RSTN의 차동 제어 신호가 각각 로직 "1"과 로직 "0"이 되면 VCO의 출력이 로직 "0"으로 리셋된다. 또한, 부가적으로 연결된 두 개의 버퍼(HBUF3, HBUF4)는 두 발진 루프에 동일한 부하를 가함으로써 상호 동일한 특성을 갖도록 하기 위한 일종의 더미(dummy) 회로이다.

4-3-2-1. SCFL 버퍼/인버터

그림 4-10은 SCFL 버퍼/인버터의 회로도이다.[32] SCFL은 차동 신호를 입·출력으로 사용하기 때문에 입·출력간의 반전·비반전은 회로의 출력을 다음 단에 연결하는 방식에 의해 결정되므로 버퍼와 인버터의 구분이 없다. SCFL OR, AND, D-type 플립-플롭(flip-flop), MUX 등은 모두 그림 4-10과 같은 SCFL 인버터와 동일한 값의 소자들을 이용하여 설계된다.

SCFL 인버터는 그림과 같이 소오스-폴로워에 3개의 다이오드를 직렬로 연결하여 각각으로부터 3가지의 로직 레벨이 발생된다. 각각의 로직 레벨은 α레벨(0.9V±0.3V), β레벨(0.3V±0.3V), 그리고 γ레벨(0.9V±0.3V)이며 모두 0.6V의 스윙폭을 갖는다. 회로를 구성하는 각 소자들의 크기는 로직의 스윙폭, 동작 주파수, 신호의 상승/하강 천이 시간, 그리고 출력단의 부하 커패시턴스 등을 고려하여 설계하였다. 로직의 동작 주파수는 약 2.5GHz이고, 신호의 상승/하강 천이 시간은 신호의 한 주기의 25%, 즉 100ps로 결정하였으며 출력단의 부하 커패시턴스는 로직의 입력 커패시턴스와 interconnection 커패시턴스 등을 고려하여 fan-out이 1인 경우 약 50fF가 되도록 하였으며, 로직의 fan-out이 3이 되도록 설계하였다.

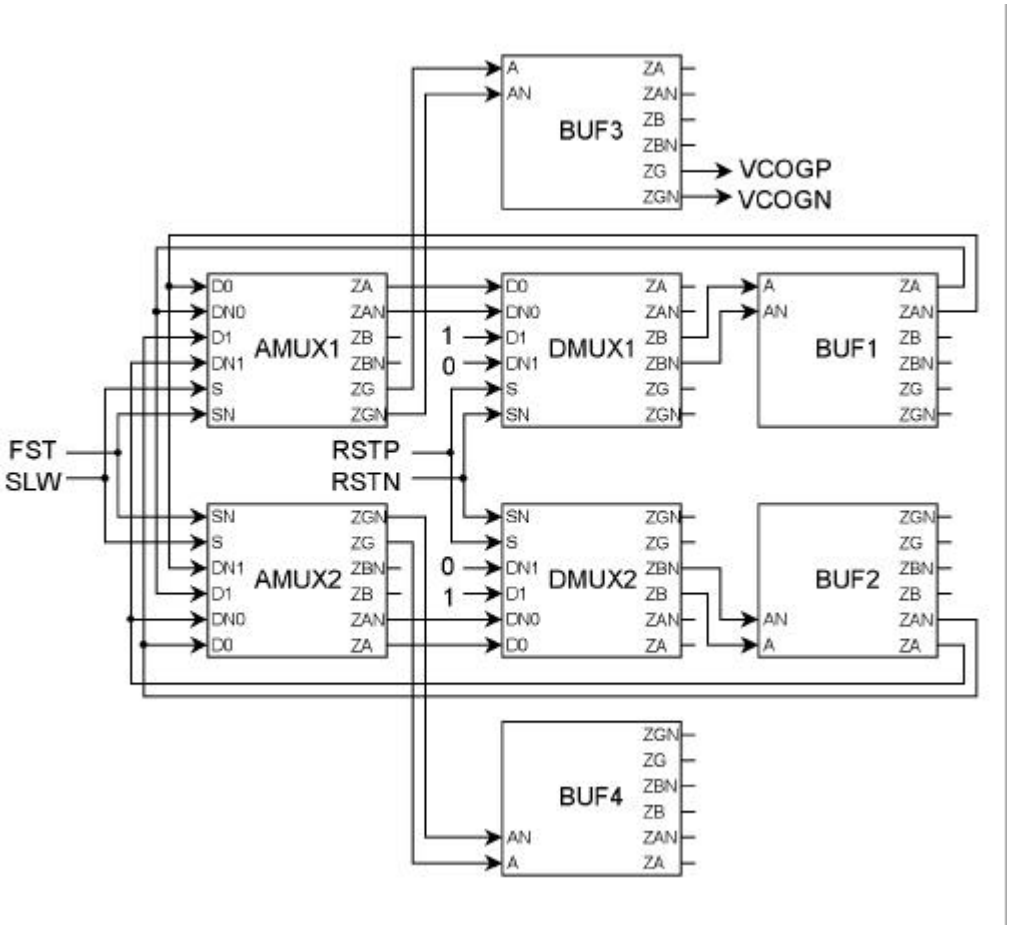


그림 4-9. 제안된 2GHz급 전압 제어 발진기.

Figure 4-9. Proposed 2GHz-range VCO.

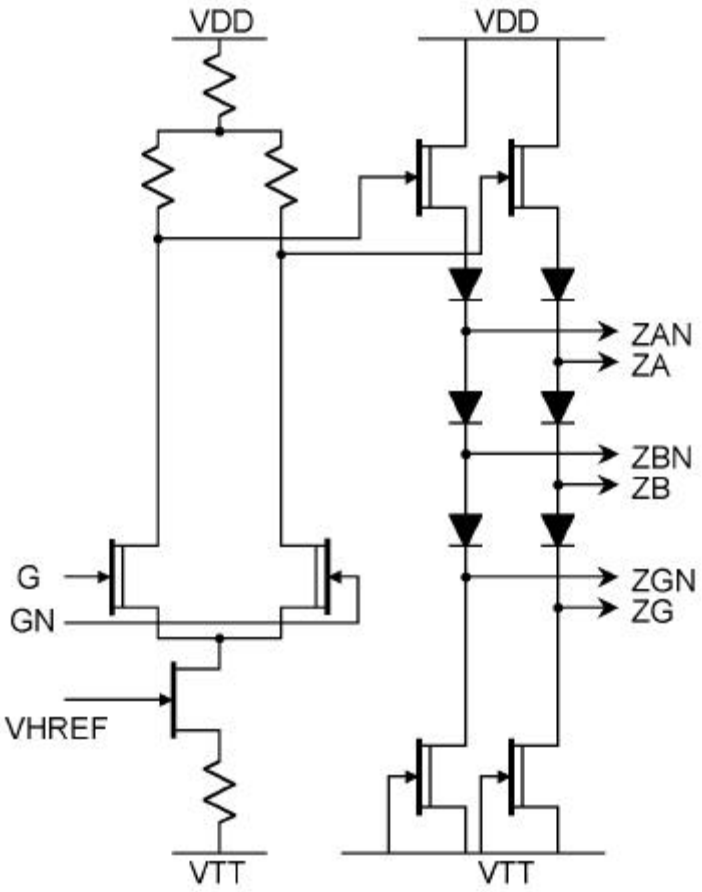


그림 4-10. SCFL 인버터.

Figure 4-10. SCFL inverter.

4-3-2-2. 멀티플랙서

그림 4-11과 그림 4-12는 각각 SCFL 형태의 디지털 MUX(DMUX)와 아날로그 MUX(AMUX) 회로이다. DMUX는 차동 제어 전압 S와 SN이 각각 로직 "1"과 "0"이면 차동 입력 DA1과 DAN1이 선택되고 S와 SN이 각각 로직 "0"과 로직 "1"이면 차동 입력 DA0와 DAN0가 선택되어 출력단에 전해진다. 이 회로의 바이어스 조건은 앞 절에서 설명한 SCFL 인버터와 같다. AMUX는 DMUX에서 차동 제어 전압이 인가되는 두 FET의 소오스 단에 저항을 연결하여 제어 전압이 로직 "0"에서 로직 "1"로 연속적으로 변함에 따라 출력 신호는 D0에서 D1으로 연속적으로 변할 수 있도록 되어 있다. 여기에 사용되는 저항 값은 제어 전압에 대한 출력 변화의 선형성에 영향을 미친다.

그림 4-13은 AMUX의 제어 전압에 대한 출력 특성을 보기 위한 SPICE 시뮬레이션 결과이다. 제안된 VCO에 사용되는 AMUX는 인가되는 두 쌍의 차동 신호가 서로 90°의 위상차를 가지고 있으므로 이와 동일한 조건하에서 시뮬레이션이 수행되었다. 차동 제어 전압은 SCFL γ레벨(-0.6V 0V)이 사용되나 전하 펌프 회로의 출력 레벨은 약 -0.8V 0.2V로 주어지며 제어 전압이 -0.8V(C=0)에서 0.2V(C=1)로 변함에 따라 출력 파형이 DA0에서 DA1으로 연속적으로 변화하는 것을 관찰할 수 있다. 또한, 회로 동작의 불안정성이 가장 큰 경우(C=0.5)에도 AMUX의 출력 파형의 왜곡 정도가 크지 않음을 알 수 있다. 이러한 특성은 입력 신호를 정현파의 형태로 인가했기 때문에 발생한다. 그림 4-4의 경우와 같이 입력 신호가 펄스의 형태인 경우에는 입력 신호들의 위상차가 90°보다 작더라도 파형의 상승/하강 천이 시간의 크기에 따라 출력의 안정성이 저하될 수 있다. 그러나 2GHz 대역의 높은 주파수를 갖는 신호에 있어서 신호의 상승/하강 천이 시간이 상대적으로 커지게 되므로 그림 4-12와 같이 입력 신호를 정현파로 가정하는 것이 더욱 현실적이다.

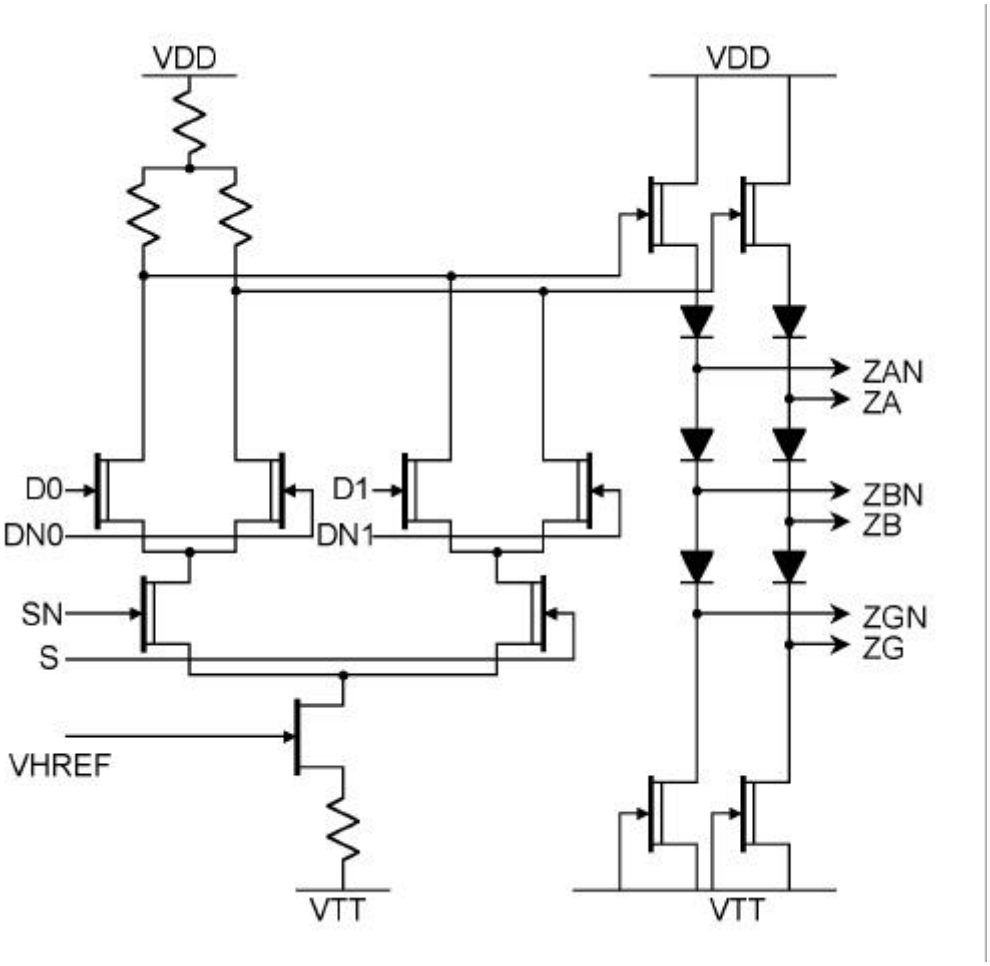


그림 4-11. SCFL 디지털 멀티플랙서(DMUX).

Figure 4-11. SCFL digital multiplexer(DMUX).

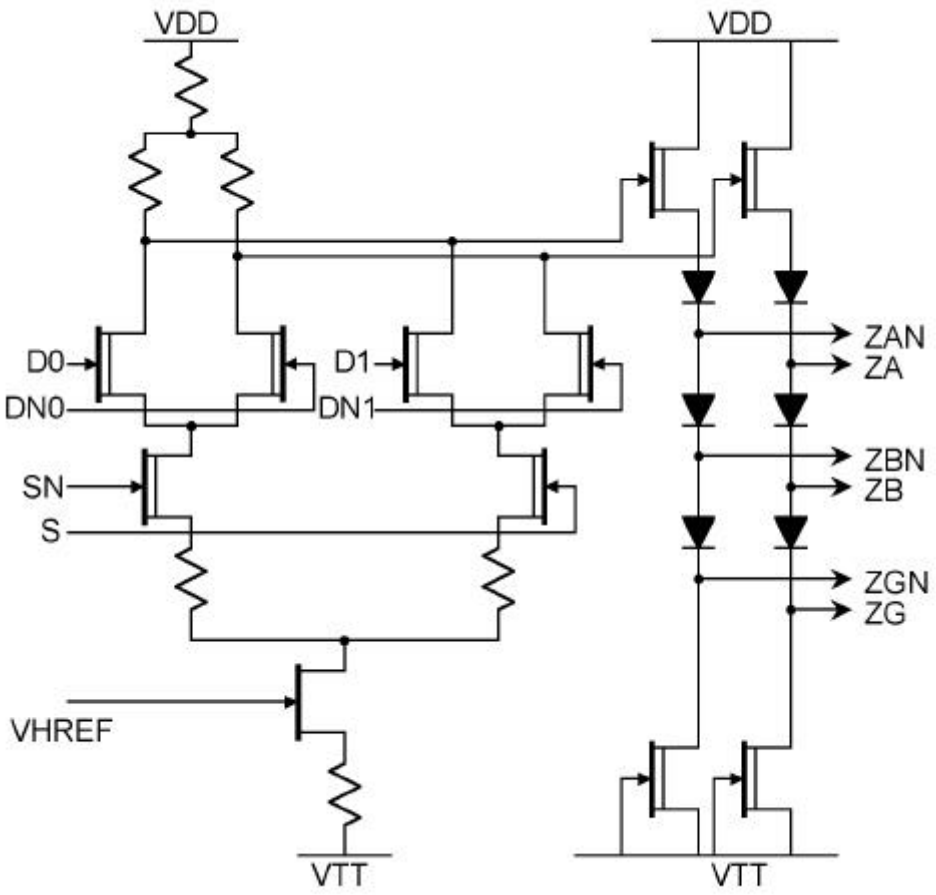


그림 4-12. SCFL **아날로그 멀티플랙서**(AMUX).

Figure 4-12. SCFL analog multiplexer(AMUX).

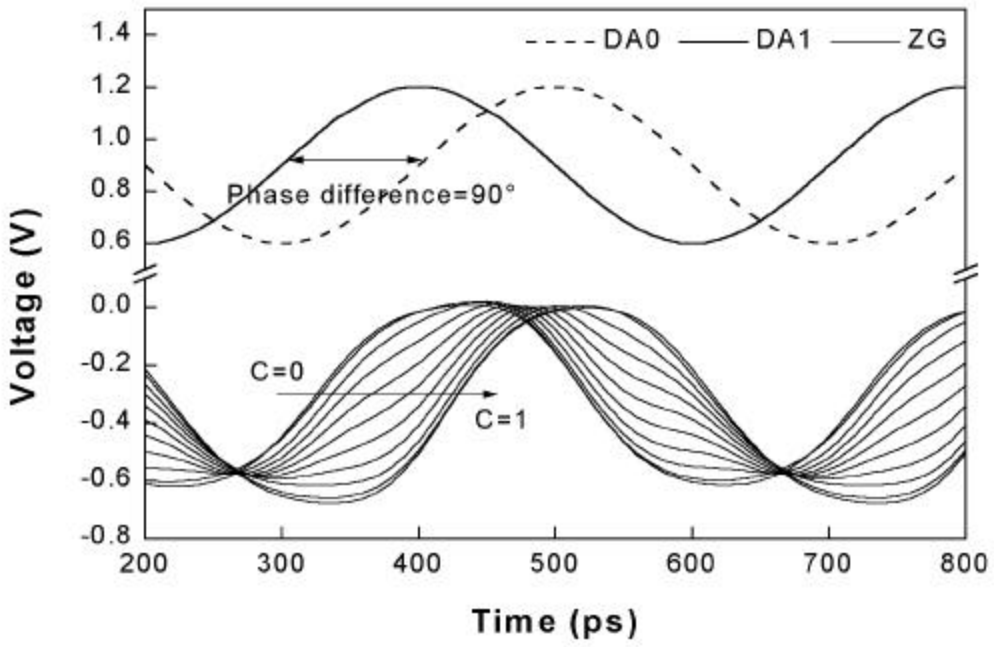


그림 4-13. **제어 신호** C**에 대한 그림** 4-9**의** AMUX**의 출력 특성**.
(**입력 신호의 위상차**: 90°)

Figure 4-13. Output characteristics of AMUX in Figure 4-9
for the control signal C.
(phase difference of input signals: 90°)

제 4-3-3 절. 성능 분석

4-3-3-1. 주파수 제어 특성

그림 4-14는 제안된 2GHz급 VCO의 주파수 제어 특성에 대한 SPICE 시뮬레이션 결과로서 앞 절에서 설명한 식 (4-16)에 의한 계산 결과와 함께 나타내었다. 그림에서 보듯이 80℃의 온도 조건하에서 수행된 SPICE 시뮬레이션 결과는 t_{pd}=60ps일 때 식 (4-16)에 의해 계산된 결과와 매우 유사한 경향을 가지고 있다.

4-3-3-2. 온도 의존성

그림 4-15는 회로의 동작 온도 조건을 0℃부터 80℃까지 20℃ 간격으로 변화시키면서 VCO의 주파수 특성을 시뮬레이션한 결과이다. 그림에서 보듯이 회로의 동작 온도가 증가할수록 VCO의 발진 주파수는 1.87MHz/℃의 비율로 감소하는 경향을 보이고 있다. 3-3-3-2절에서 설명한 바와 같이 GaAs MESFET는 동작 온도에 대한 특성이 FET의 바이어스 조건에 따라 다른 경향을 보이게 된다. 즉, FET의 게이트-소오스 전압이 작은 경우에는 FET의 특성이 개선되는 경향을 보이고, FET의 게이트-소오스 전압이 큰 경우에는 FET의 특성이 저하되는 경향을 보인다. 본 논문에서 설계한 VCO를 구성하는 각 로직들의 입력단은 모두 로직의 스윙폭을 향상시키기 위해 D-mode FET이 사용되었으며, 따라서 각 FET들의 게이트-소오스 전압은 비교적 큰 값을 갖게 된다. 뿐만 아니라 SCFL 형태의 로직들은 다른 로직들에 비해 큰 전원을 사용하고, FET들이 직렬로 구성되기 때문에 백-게이팅 효과에 의한 문턱 전압의 상승 효과가 더욱 커진다. 따라서 온도가 증가함에 따라 나타나는 현상인 전달 콘덕턴스의 증가와 문턱 전압의 증가 현상 중에서 문턱 전압의 증가로 인한 회로의 성능 저하가 주된 요인이 된다. 그러나, 이러한 원인에도 불구하고 차동 구조가 갖는 장점으로 인해 온도에 의한 영향은 매우 적다.

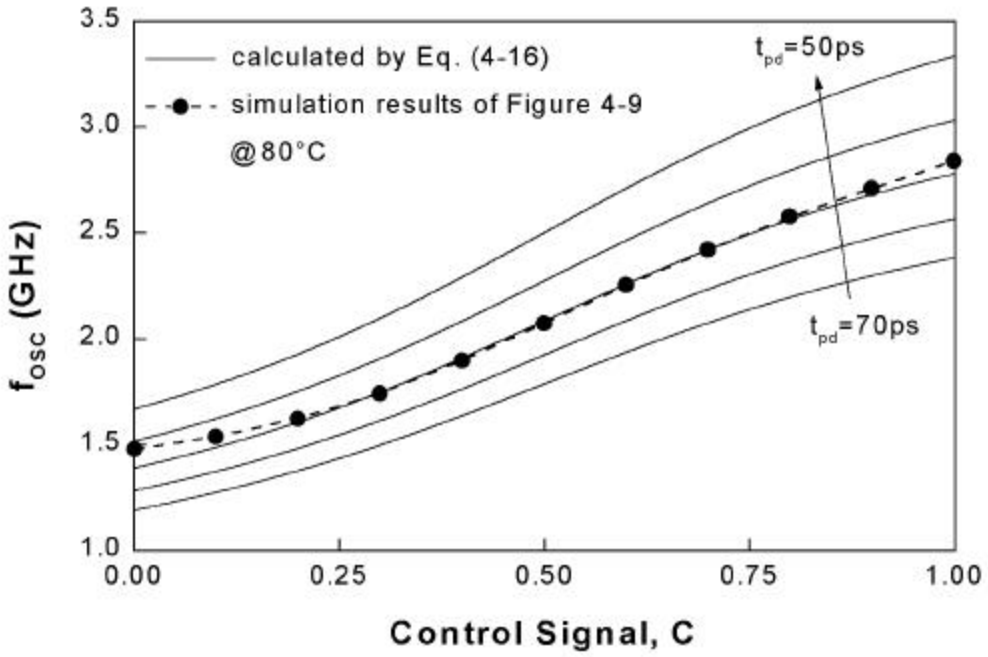


그림 4-14. 제안된 전압 제어 발진기의 주파수 특성에 대한 SPICE 시뮬레이션 결과와 식 (4-16)에 의해 계산된 결과의 비교.

Figure 4-14. Comparison the SPICE simulation results of the tuning sensitivity of the proposed VCO and the calculated results by Eq. (4-16).

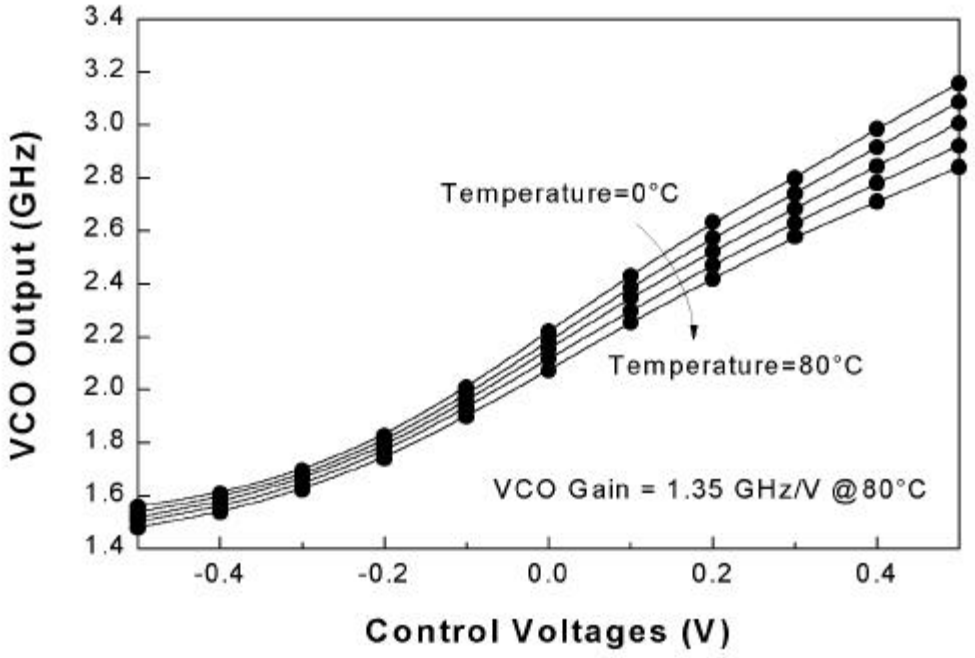


그림 4-15. 제안된 전압 제어 발진기의 주파수 제어 특성의 온도 의존성.

Figure 4-15. Temperature dependency of the tuning sensitivity of the proposed VCO.

제 5 장. 고속 동작을 위한 차동 전하 펌프

제 5-1 절. 전하 펌프의 동작 원리

전하 펌프 회로는 PLL에 있어서 PFD의 출력 전압을 입력으로 받아서 그에 상응하는 전류량을 루프 필터에 공급하는 역할을 한다. 그림 5-1(a)는 전하 펌프 회로의 개념도로서 두 개의 전류원과 두 개의 스위치로 표현된다. 스위치 S_1은 PFD의 UP 신호에 의해 제어되고 스위치 S_2는 PFD의 DN 신호에 의해 제어된다. 이 회로는 그림 5-1(b)에 나타낸 바와 같이 UP 신호가 로직 "1"이고 DN 신호가 로직 "0"이면 전류원 I_{UP}의 전류량 I_P가 출력되어 다음 단에 연결된 루프 필터의 커패시터를 충전시키게 되고 UP 신호가 로직 "0"이고 DN 신호가 로직 "1"이면 전류원 I_{DN}의 전류량 I_P를 형성하기 위해 루프 필터의 커패시터를 방전시키게 된다. UP 신호와 DN 신호가 모두 로직 "1"이 되면 전류원 I_{UP}과 I_{DN}의 전류량이 동일하므로 루프 필터의 커패시터에 충전된 전하량은 변하지 않게 되고, 두 신호가 모두 로직 "0"이 되면 커패시터의 충·방전 경로가 차단되어 역시 커패시터에 충전된 전하량은 보존되는 출력 전압 유지(hold) 상태가 된다.

제 5-2 절. 기존 전하 펌프 회로의 문제점

전하 펌프 회로의 동작 속도 및 누설 전류량은 PLL의 정적 위상 오차(static phase error)와 지터(jitter) 특성에 영향을 미치는 주된 요인이다.[11] 일반적으로 전하 펌프 회로는 그림 5-1(a)와 같이 두 개의 전류원과 전류원들의 전류 흐름을 교환하는 스위치로 구성되는데, 전하 펌프 회로가 고속으로 동작하기 위해서는 전류원들이 항상 활성(active)화되어 있어야 한다. 즉, 두 전류원의 출력 전류량을 직접 제어하는 방식보다는 그림 5-2와 같이 항상 일정한 전류량이 전류원에서 출력되는 상태에서 전류의 경로를 제어하여 루프 필터의 커패시터를 충전, 방전 혹은 유지하는 것이 고속 전하 펌프 회로 설계에 유리하다.

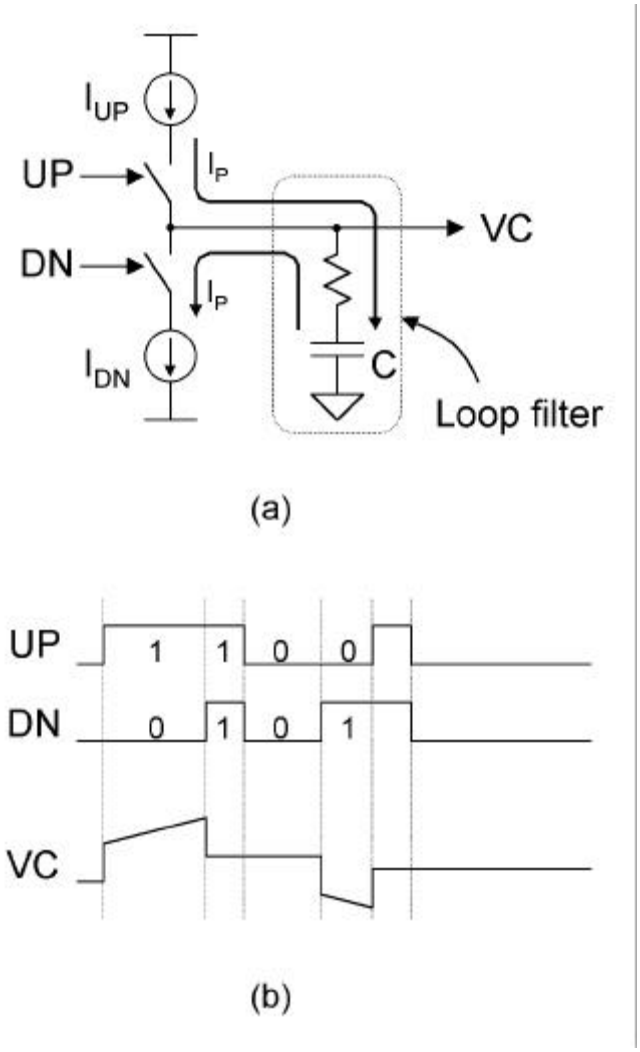


그림 5-1. 전하 펌프의 개념도 및 입·출력 특성.

(a) 전하 펌프의 개념도 (b) 입·출력 특성

Figure 5-1. Conceptual diagram of charge pump and its I/O characteristics.

(a) Conceptual diagram of charge pump

(b) Input/output characteristics

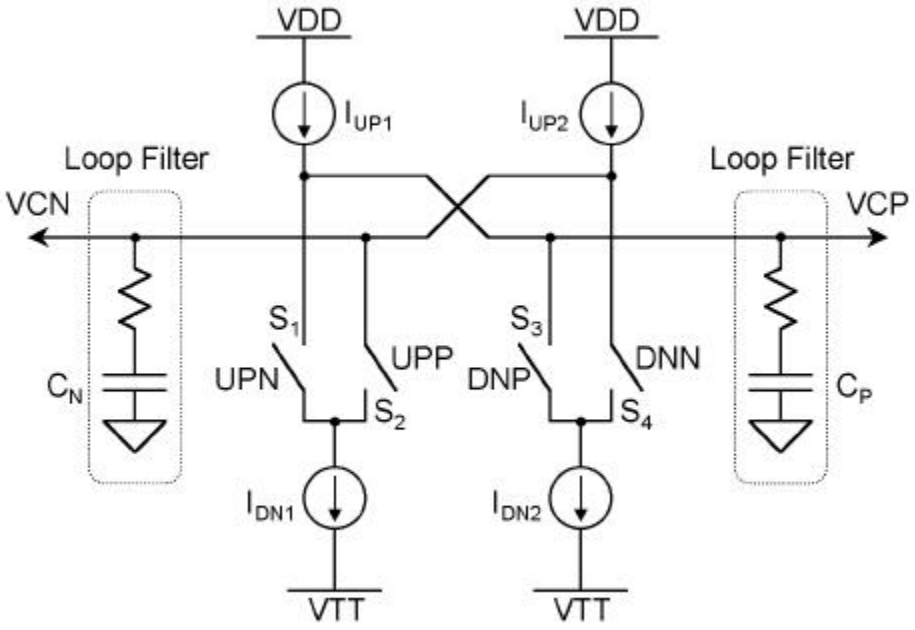


그림 5-2. 전류 경로 제어 방식의 차동 전하 펌프.

Figure 5-2. Differential charge pump using current path controlling method.

표 5-1은 PFD의 출력 신호, 즉 차동 전하 펌프 회로의 입력 신호 UPP, UPN, DNP, DNN의 상태에 따른 그림 5-2의 전하 펌프 회로에서의 전류 경로를 정리한 것이다. 전하 펌프 회로가 출력 유지 상태(1)에 있을 때에는 즉, UP=DN="0"일 때에는 I_{UP1}에서 I_{DN1}으로, 그리고 I_{UP2}에서 I_{DN2}로 전류 경로가 형성되어 각 전류원들의 크기가 같다고 가정하면 전하 펌프의 두 출력 VCP와 VCN의 전압은 그대로 유지된다. 전하 펌프 회로가 출력 유지 상태(2)에 있을 때에는 즉, UP=DN="1"일 때에는 I_{UP1}에서 I_{DN2}로, 그리고 I_{UP2}에서 I_{DN1}으로 전류 경로가 형성되어 역시 각 전류원들의 크기가 같다고 가정하면 전하 펌프의 두 출력 VCP와 VCN의 전압은 그대로 유지된다. UP 신호가 로직 "1"이고 DN 신호가 로직 "0"인 충전 상태의 경우에는 I_{UP2}와 I_{DN2} 사이의 전류 경로가 형성되지만 I_{UP1}과 I_{DN1} 사이에는 전류 경로가 존재하지 않게 된다. 따라서 I_{UP1}의 전류는 루프 필터의 커패시터 C_P를 충전시키게 되어 출력 VCP는 증가하게 되고, I_{DN1}의 전류는 루프 필터의 커패시터 C_N을 방전시키게 되어 출력 VCN은 감소하게 된다. 그림 5-2의 회로는 완전 차동 구조로 되어 있으므로 UP 신호가 로직 "0"이고 DN 신호가 로직 "1"인 방출 상태의 경우에는 충전 상태의 동작과 반대가 되어 VCP는 감소하고 VCN은 증가한다.

그러나, 그림 5-2의 전하 펌프 회로는 I_{UP}과 I_{DN}의 전류량이 정확하게 일치해야만 정상 동작이 가능하다. 즉, I_{UP}과 I_{DN}의 전류량이 다를 경우 전하 펌프가 유지 상태에 있더라도 각 전류량의 차이 성분이 루프 필터 내의 커패시터를 충전 혹은 방전시키게 되어 출력 전압이 유지되지 않는다. 또한, 두 전류원의 크기가 같도록 설계를 해도 전하 펌프 회로가 루프 필터와 연동되어 동작하면 전하 펌프 회로의 출력단의 전압이 초기의 바이어스 상태에서 증가 또는 감소하게 되므로 두 전류원의 바이어스 상태가 변하게 되어 위의 문제는 더욱 심화된다. 이는 실질적인 측면에서 이상적인 전류원을 설계하는 것은 불가능하며, 항상 유한한 출력 저항을 갖기 때문이다. 이러한 현상은 전하 펌프 회로의 출력 전압이 초기의 바이어스 상태에서 벗어날수록 원래의 상태로 방전되어 복귀하려는 현상은 더욱 심해지게 된다. 특히, 본 논문에서 설계 소자로 사용하는 GaAs MESFET는 CMOS와 달리 p형 소자를 사용할 수 없으므로 효율적인 전류 구동원(I_{UP})을 형성하는 것이 불가능하므로 이를 해결해야 할 필요성이 더욱 커진다.

표 5-1. 그림 5-2의 전하 펌프 회로에서 입력 신호의 상태와 전류 경로의 관계.

Table 5-1. Relationships between current paths and input states of charge pump shown in Figure 5-2.

동작 상태	UPP	UPN	DNP	DNN	전류 경로
유지(1)	0	1	0	1	$I_{UP1} \rightarrow S1 \rightarrow I_{DN1}$ $I_{UP2} \rightarrow S4 \rightarrow I_{DN2}$
충전	1	0	0	1	$I_{UP1} \rightarrow C_P$ $I_{UP2} \rightarrow S4 \rightarrow I_{DN2}$ $C_N \rightarrow S2 \rightarrow I_{DN1}$
배출	0	1	1	0	$I_{UP1} \rightarrow S1 \rightarrow I_{DN1}$ $I_{UP2} \rightarrow C_N$ $C_P \rightarrow S3 \rightarrow I_{DN2}$
유지(2)	1	0	1	0	$I_{UP1} \rightarrow S3 \rightarrow I_{DN2}$ $I_{UP2} \rightarrow S2 \rightarrow I_{DN1}$

이러한 문제점을 해결하기 위해서 전류원과 스위치로 구성되는 전하 펌프 회로의 개념을 사용하지 않고 그림 5-3과 같은 능동 필터(active filter) 형태의 전하 펌프 회로를 사용할 수도 있으나 여기에 포함되는 op-amp의 DC 이득이 전하 펌프 회로의 출력 유지 특성에 직접 관계하기 때문에 원하는 수준의 성능을 얻기 위해서는 매우 높은 DC 이득을 갖는 op-amp를 설계해야 한다.[24] 따라서, op-amp의 DC이득을 증가시킬수록 op-amp의 동작 주파수가 감소하는 경향으로 인해 설계에 어려움이 있다. 뿐만 아니라, 이 방식은 기존의 다른 구현 방식들에 비해 매우 큰 면적을 차지하는 단점을 가지고 있으며, 실제 응용 면에서는 op-amp의 입·출력 오프셋(offset), 출력단의 바이어스 상태의 불안정성 등으로 안정된 동작을 기대하기 어렵다.

전하 펌프 회로의 출력 유지 특성을 개선하기 위한 또 다른 방안으로 그림 5-4와 같은 전하 펌프 회로가 제안되었다.[22] 그림에서 전류원(I_{UP})에 흐르는 전류량은 루프 필터의 출력 전압 VC에 따라서 변하게 되며, 이를 바이어스 전압으로 사용하는 전류원(I_{UP})과 VC에 무관한 바이어스 상태를 갖는 전류원(I_{DN1}, I_{DN2})에 흐르는 전류량이 일치하지 않아 누설 전류가 존재하게 된다. 그림 5-4에서는 이를 보상하기 위해서 VC를 피드백시켜서 I_{DN1}과 I_{DN2}에 흐르는 전류의 크기를 각각 제어하는 전압으로 사용하여 I_{UP}과 I_{DN1} 및 I_{DN2}에 흐르는 전류의 크기를 일치시키는 방식을 제안하고 있다. 그러나, I_{UP}과 I_{DN1} 및 I_{DN2}이 각각 서로 다른 바이어스 조건에서 동작하기 때문에 I_{UP}과 I_{DN1} 및 I_{DN2}의 전류량이 정확히 일치하도록 보상할 수 없기 때문에 그림 5-4와 같은 기존의 방식은 고속 전하 펌프 회로에서 발생하는 누설 전류 문제를 근본적으로 해결하지 못하는 단점이 있다. 또한, 이 구조는 하나의 루프 필터를 사용하는 single ended로 구성되기 때문에 차동 모드로 동작하지 않는다는 문제점도 가지고 있다.

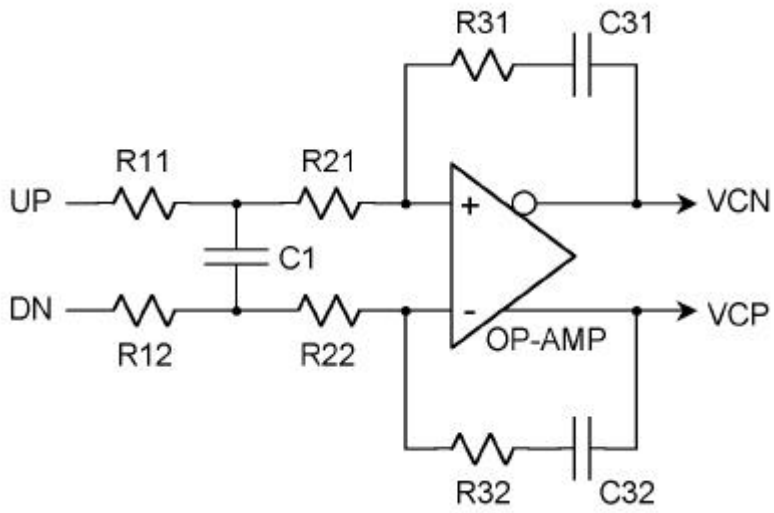


그림 5-3. OP-AMP**를 이용한 능동 전하 펌프 루프 필터 회로.**

Figure 5-3. Active charge pump loop filter usinig OP-AMP.

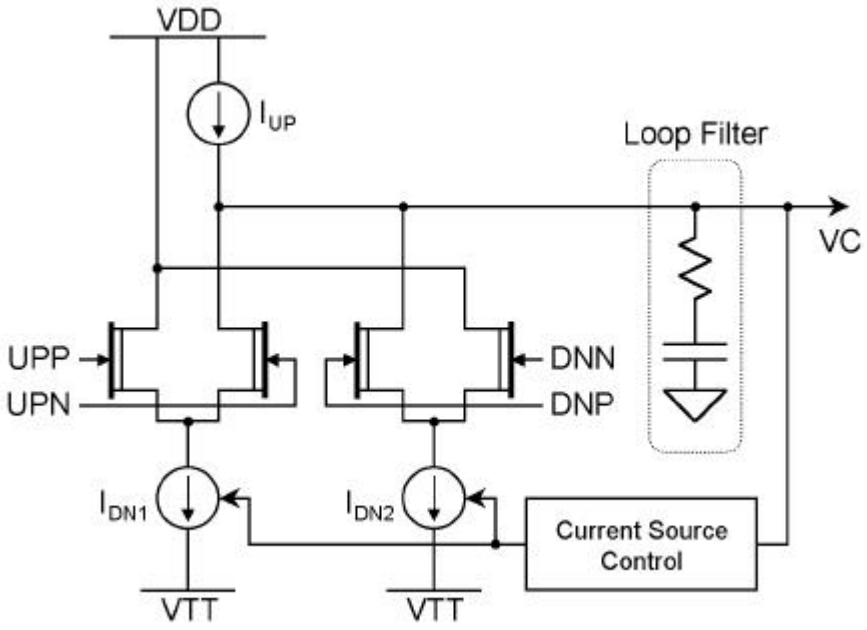


그림 5-4. **참고 문헌**[22]**에서 제안한 전하 펌프**.

Figure 5-4. Charge pump proposed in Reference[22].

제 5-3 절. 새로운 구조의 제안

제 5-3-1 절. 구조 및 동작 원리

이 절에서는 고속 PLL에 포함되는 차동 전하 펌프 회로에서 필연적으로 발생하는 고속 동작과 누설 전류의 상충 문제 및 차동 동작과 누설 전류의 상충 문제를 해결하기 위한 것으로, 고속으로 차동 전하 펌프 동작을 하면서도 유지(hold) 시에는 차동 모드의 누설 전류가 발생하지 않도록 하는 고속으로 동작하는 차동 전하 펌프 회로를 제안한다.[26]

그림 5-5는 제안된 고속 차동 전하 펌프 회로의 개념도이다. 이 회로는 전하 펌프와 루프 필터 사이에 존재하는 전류 경로를 효율적으로 제어하여 유지 상태에서의 누설을 방지할 수 있는 간단한 구조의 누설 방지 회로가 포함되어 있다. 또한, 이 회로는 차동 루프 필터의 차동 출력 전압 변화에 따른 전류 구동원의 전류 변동으로 인한 차동 모드의 누설 전류 발생을 방지하기 위해 피드백을 통한 전류 배출원 제어 회로를 추가하여 충전 또는 배출 시에는 루프 필터와 전하 펌프 회로를 연결하고 유지 시에 전하 펌프 회로와 루프 필터를 전기적으로 분리하여 고속으로 동작하면서도 차동 모드의 누설 전류가 발생하지 않는 구조이다.

그림 5-5의 회로는 그림 5-2에서 보인 일반적인 전류 경로 제어 방식의 차동 전하 펌프 회로 및 그림 5-4에서 보인 피드백을 통한 전류원 제어 방식이 결합된 형태이며 여기에 부가적인 누설 방지 회로가 첨가되어 있는 형태이다. 즉, 제안된 전하 펌프 회로는 고정된 값의 전류량을 출력하는 2개의 전류 구동원(I_{UP1}, I_{UP2}), 전하 펌프의 출력에 의해 전류량이 제어되는 2개의 종속 전류 배출원(I_{DN1}, I_{DN2}), 각 종속 전류원의 전류량을 제어하기 위한 2개의 전류 제어 회로(F1, F2), 위상/주파수 동기 회로의 출력 신호인 UP, DN에 의하여 전류 경로를 제어하기 위한 4개의 스위치(S_1, S_2, S_3, S_4), 출력 유지 상태(UP=DN=0 또는 UP=DN=1)에서 루프 필터에서의 누설 전류를 방지하도록 역방향 전류를 차단하는 2개의 누설 전류 방지용 다이오드(D1, D2), 차동 전하 펌프 내의 각 전류 경로들을 동일한 상태로 만들기 위한 4개의 부가적인 다이오드(D11, D12, D21, D22)로 구성된다.

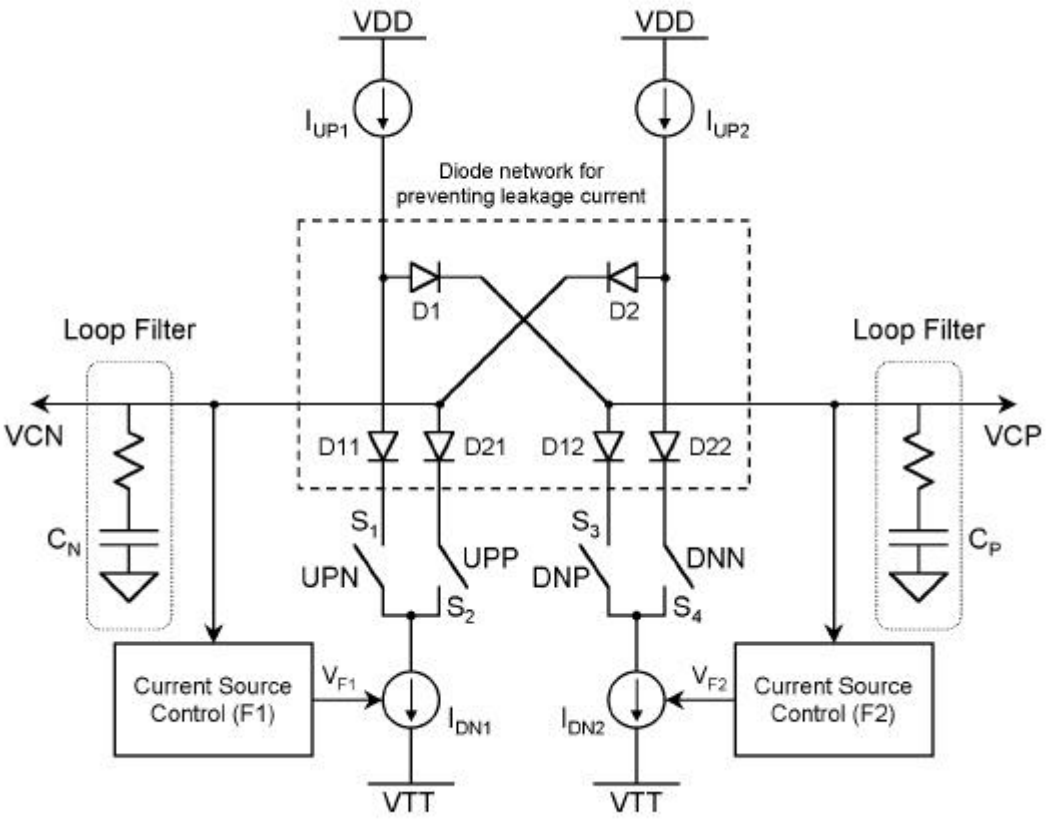


그림 5-5. 제안된 차동 전하 펌프 회로의 개념도.

Figure 5-5. Conceptual block diagram of proposed differential charge pump.

표 5-2는 차동 전하 펌프 회로의 입력 신호의 상태에 따른 전하 펌프 회로에서의 전류 경로를 정리한 것이다. 표 5-2에서 보인 각 경우의 전류 경로는 표 5-1에서 보인 일반적인 차동 전하 펌프 회로의 전류 경로에 순방향으로 다이오드가 연결된 것을 제외하면 동일하다.

누설 방지 회로를 분석하기 위해 전류원의 크기가 다른 경우를 $I_{UP} \leq I_{DN}$인 경우와 $I_{UP} > I_{DN}$인 경우로 나누어서 생각한다. $I_{UP} \leq I_{DN}$이고 입력 상태가 유지 상태(1)일 때, 즉 UP=DN="0"일 때 누설 방지 회로가 없는 경우에는 $I_{DN} - I_{UP}$ 만큼의 전류량이 루프 필터의 커패시터에서 방출된다. 방출 전류의 경로는 $C_P \rightarrow S_1 \rightarrow I_{DN1}$ 또는 $C_N \rightarrow S_4 \rightarrow I_{DN2}$가 된다. 그러나 이 경우에 누설 방지 회로의 D1과 D2가 방출 전류 경로에 역방향으로 연결되어 있으므로 방출 경로가 차단되어 출력 전압이 유지된다. 그러나, $I_{UP} > I_{DN}$이고 입력 상태가 유지 상태(1) 일 때, 즉 UP=DN="0"일 때에는 누설 방지 회로의 유무에 관계없이 $I_{UP1} \rightarrow (D1) \rightarrow C_P$ 또는 $I_{UP2} \rightarrow (D2) \rightarrow C_N$으로 $I_{UP} - I_{DN}$ 만큼의 전류가 루프 필터의 커패시터로 충전된다. 이는 다이오드 D1과 D2가 $I_{UP} \rightarrow C$ 방향으로 연결되어 있으므로 이 방향으로의 누설은 방지할 수 없기 때문이다. 따라서, 제안된 누설 방지 회로는 $I_{UP} \leq I_{DN}$인 경우에만 작용하므로 누설 방지 회로 외에 부가적인 장치를 추가하여 전하 펌프가 동작하는 범위에서 항상 $I_{UP} \leq I_{DN}$의 조건을 만족시킬 수 있도록 한다면 이론적으로는 출력이 완벽하게 유지되는 전하 펌프를 구현할 수 있게 된다.

그림 5-5에서 $I_{UP} \leq I_{DN}$의 조건을 만족시키기 위해 추가된 회로는 전류원 제어 회로(F1, F2)이다. I_{UP}과 I_{DN}의 전류량의 차이는 전하 펌프의 출력 전압 VCP와 VCN에 의해 결정된다. 즉, VCP가 증가하고 VCN이 감소하면 I_{UP1} 양단의 전위차가 감소하여 I_{UP1}은 감소하게 되고, I_{UP2} 양단의 전위차는 증가하여 I_{UP2}는 증가하게 된다. 이 때, 전류원 제어 회로 F1는 VCN이 감소하면 전류원 제어 전압 V_{F1}을 감소시켜서 전류원 I_{DN1}의 전류량을 감소시키고, 전류원 제어 회로 F2는 VCP가 증가하면 전류원 제어 전압 V_{F2}를 증가시켜서 전류원 I_{DN2}의 전류량을 증가시킨다. 따라서, I_{UP}이 감소하면 I_{DN}도 감소하고 I_{UP}이 증가하면 I_{DN}도 증가하게 되어 항상 $I_{UP} \leq I_{DN}$의 관계를 만족시킬 수 있다. 이 방식은 그림 5-4에서 보인 피드백을 이용

표 5-2. 제안된 전하 펌프 회로에서 입력 신호의 상태와 전류 경로의 관계.

Table 5-2. Relationships between current paths and input states of the proposed charge pump.

동작 상태	UPP	UPN	DNP	DNN	전류 경로
유지(1)	0	1	0	1	$I_{UP1} \rightarrow D11 \rightarrow S1 \rightarrow I_{DN1}$ $I_{UP2} \rightarrow D22 \rightarrow S4 \rightarrow I_{DN2}$
충전	1	0	0	1	$I_{UP1} \rightarrow D1 \rightarrow C_P$ $I_{UP2} \rightarrow D22 \rightarrow S4 \rightarrow I_{DN2}$ $C_N \rightarrow D21 \rightarrow S2 \rightarrow I_{DN1}$
배출	0	1	1	0	$I_{UP1} \rightarrow D11 \rightarrow S1 \rightarrow I_{DN1}$ $I_{UP2} \rightarrow D2 \rightarrow C_N$ $C_P \rightarrow D12 \rightarrow S3 \rightarrow I_{DN2}$
유지(2)	1	0	1	0	$I_{UP1} \rightarrow D1 \rightarrow D12 \rightarrow S3 \rightarrow I_{DN2}$ $I_{UP2} \rightarrow D2 \rightarrow D21 \rightarrow S2 \rightarrow I_{DN1}$

한 전류 배출원 제어 방식과 동일하다. 그러나 기존의 방식은 I_{UP}과 I_{DN}이 $I_{UP}=I_{DN}$의 관계를 만족하도록 제어 회로를 설계해야 하는 어려움이 있는 반면, 제안된 방식에서는 $I_{UP} \leq I_{DN}$의 조건을 만족시키기만 하면 되므로 설계 조건이 크게 완화되는 장점이 있다. 뿐만 아니라, I_{UP}과 I_{DN}을 정확하게 일치시키는 것은 어려운 일이므로 제안된 방식을 사용하는 것이 현실적으로 유리하다.

제 5-3-2 절. 설계 과정

그림 5-6은 제안된 고속 차동 전하 펌프의 회로도이다. 전류 구동원 I_{UP}은 D-mode FET와 저항을 이용하여 cascode 형태로 구성하고 전류 배출원 I_{DN}은 E-mode FET와 저항을 이용하여 cascode 형태로 구성하였다. GaAs MESFET 공정에서는 FET의 게이트를 + 단자로하고 드레인과 소오스를 묶어서 - 단자로 하여 다이오드를 구성하는 방법과 E-mode FET의 드레인과 게이트를 묶어서 + 단자로 하고 소오스를 - 단자로 하여 다이오드를 구성하는 방법이 사용될 수 있다. 전자의 경우는 FET의 게이트와 소오스/드레인 사이에 존재하는 쇼트키 접합을 이용한 쇼트키 다이오드를 활용하는 것으로 약 0.6 0.7V 정도의 문턱 전압을 갖고, 후자의 경우는 MOS 공정과 마찬가지로 FET의 $I_{DS} \propto (V_{GS}-V_T)^2$의 관계를 활용하는 것으로 문턱 전압은 E-mode FET의 문턱 전압인 약 0.3V 정도가 된다. 누설 방지 회로에 사용되는 다이오드는 정류 작용을 위한 것으로 가급적 문턱 전압에 의한 전압 강하를 적게 해야 하므로 후자의 방식을 이용하였다.

전류원 제어 회로 F1, F2는 그림 5-6에서 보는 바와 같이 소오스-폴로워의 형태로 전하 펌프의 출력 전압을 모니터링하고 전류 영상기(current mirror)의 형태로 전류 배출원의 전류량을 제어한다. 여기서, F1과 F2의 피드백 이득(feedback gain)은 $I_{UP} \leq I_{DN}$의 관계를 만족시킬수 있도록 충분한 값으로 설계해야 한다.

그림 5-7은 루프 필터의 출력 전압 VC에 따른 전류 구동원 I_{UP}과 전류 배출원 I_{DN}의 전류량의 변화를 SPICE를 이용하여 시뮬레이션한 결과이다. 그림에서 점선은 VC의 변화에 따른 I_{UP}의 변화를 보인 것으로, VC가 증가할수록 I_{UP} 양단의 전위차가 감소하여 전류량이 80μA/V의 기울기로 감소하는 것을 관찰할 수 있다. 또한, 실선은 전류 배출원 I_{DN}의 제어 전압 V_F를 -1.34V에서 -0.14V로 0.2V 단위로

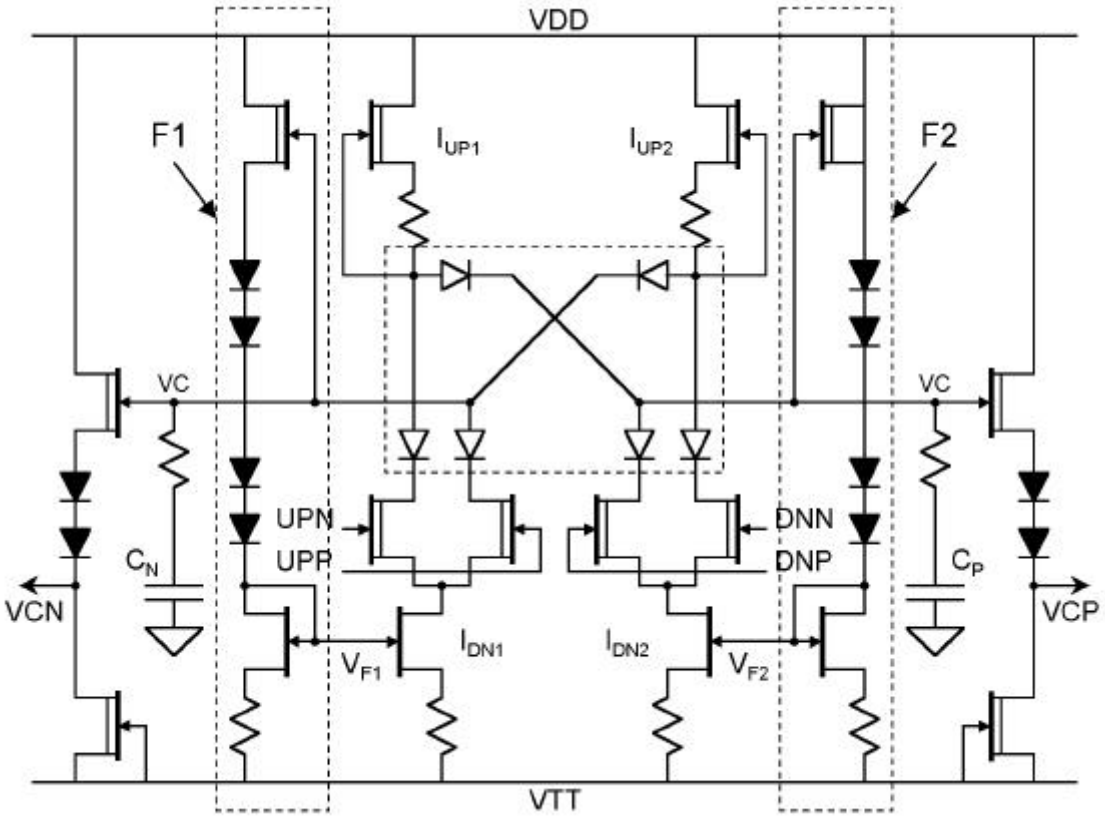


그림 5-6. 제안된 차동 전하 펌프 회로.

Figure 5-6. Schematic diagram of the proposed differential charge pump.

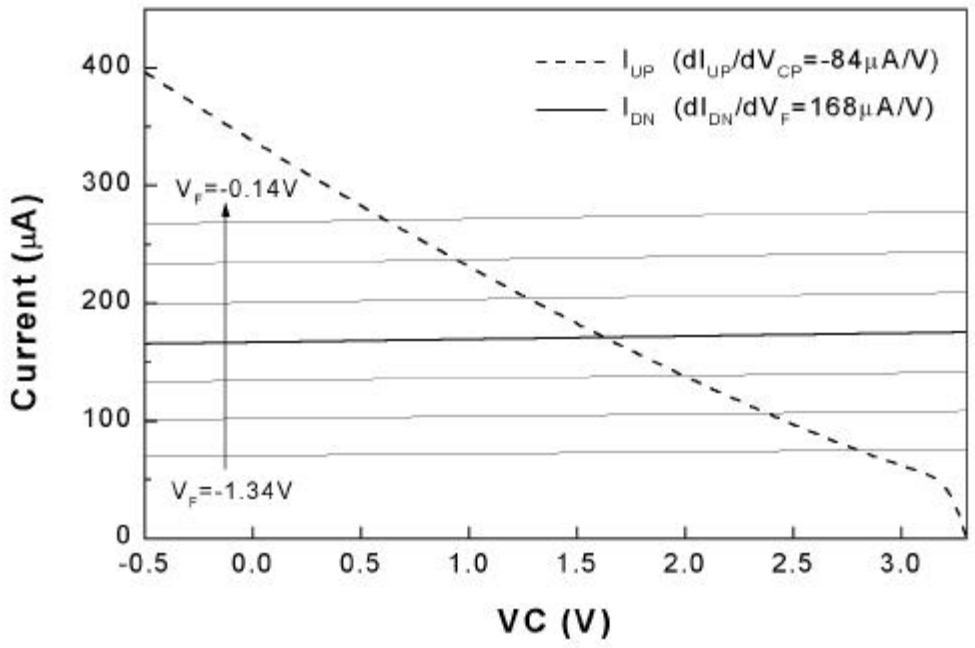


그림 5-7. V_{CP}의 변화에 따른 I_{UP}과 I_{DN}의 변화.

Figure 5-7. The dependency of current variations of I_{UP} and I_{DN} on V_C.

증가시키면서 각각에 대해 VC에 대한 전류량의 변동을 보인 것으로, VC가 증가할수록 I_{DN} 양단의 전위차도 증가하여 전류량이 증가하는 것을 관찰할 수 있으나 I_{UP}의 변화량에 비해 극히 적은 값이다. 이는 I_{UP}의 경우에는 r_{ds}가 E-mode FET에 비해 상대적으로 작은 D-mode FET를 사용하고, cascode 저항의 값이 I_{DN}의 경우에 비해 5배 작기 때문이다. I_{UP}의 cascode 저항을 크게 하지 못하는 이유는 저항값이 커지면 원하는 전류량(약 100μA 200μA)을 출력하기 위해 필요한 전류원 양단의 전위차가 커져서 전하 펌프의 동작 범위가 작아지기 때문이다.

한편, 전류원 제어 전압 V_F에 대한 I_{DN}의 전류량의 변화율은 약 168μA/V로서 I_{UP}의 VC에 대한 변화율의 2배임을 관찰할 수 있다. 이로부터 $I_{UP} \leq I_{DN}$의 관계를 만족시키기 위한 피드백 이득의 조건을 구할 수 있다. 즉, 피드백 이득이 0.5이면 VC의 변화에 대한 V_F의 변화율이 0.5이므로 결국 VC의 변화에 대한 I_{UP}의 변화량과 I_{DN}의 변화량이 같아진다. 이 때에는 $I_{UP}=I_{DN}$의 관계가 유지되도록 전류원 제어 회로가 작용하게 된다. 그러나, 본 논문에서 제안하는 방식에서는 $I_{UP} \leq I_{DN}$의 관계를 만족하기만 하면 원하는 결과를 얻을 수 있으므로 피드백 이득이 약 1인 소오스-폴로워를 전류량 제어 회로로 사용했다.

제 5-3-3 절. 성능 분석

5-3-3-1. 출력 전압 유지 성능

그림 5-8은 제안된 고속 차동 전하 펌프 회로의 출력 전압 유지 성능을 분석하기 위한 시뮬레이션 결과로서 그림 5-8(a)는 그림 5-2에서 보인 기존의 전하 펌프 회로에 대한 것이고, 그림 5-8(b)는 제안된 회로에서 전류원 제어 회로(F1, F2)를 포함하지 않는 경우에 대한 것이고, 그림 5-8(c)는 이를 포함한 전체 회로의 경우에 대한 것이다. 그림에서 볼 수 있듯이 기존의 전하 펌프 회로는 출력 전압이 초기 바이어스 상태에서 벗어날수록 초기 상태로 복원하려는 현상이 더욱 심해진다. 이러한 전하 펌프를 이용하여 PLL을 구현할 경우, VCO의 중심 주파수에서, 즉 전하 펌프의 초기 바이어스 상태에서 회로가 동기되는 경우에는 큰 문제가 되지 않는다. 그러나 일반적으로는 공정 조건, 동작 환경 등의 요인에 의해 원하는

중심 주파수를 갖는 VCO를 구현하는 것은 불가능하므로 필연적으로 전하 펌프의 출력이 초기 바이어스에서 벗어난 상태에서 동기될 수밖에 없다. 따라서, 기존의 전하 펌프를 사용할 경우, 동기된 VCO의 지터 특성이 저하된다.

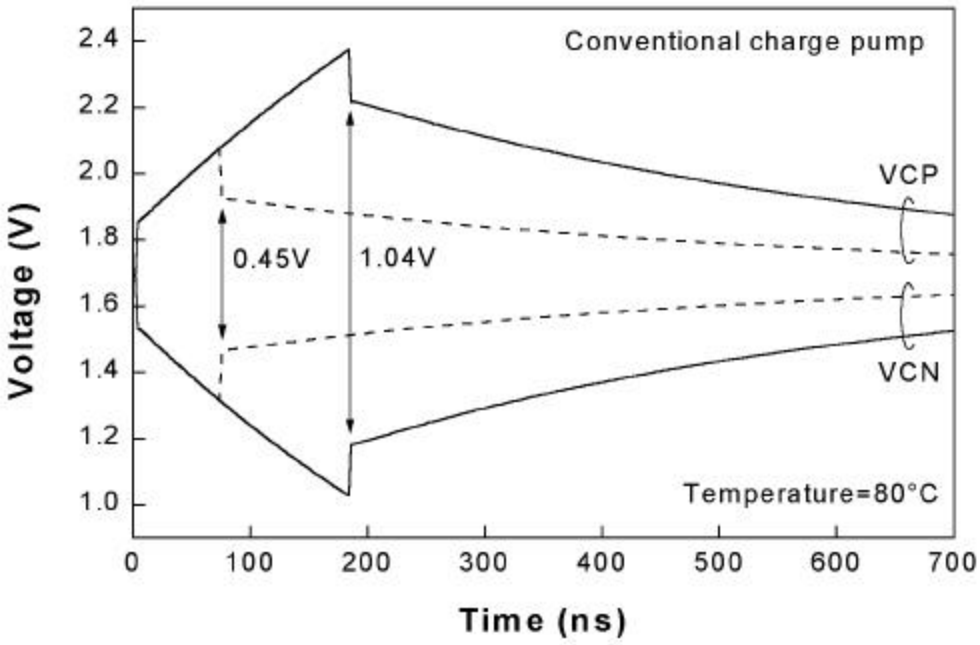
그림 5-8(b)는 제안된 회로에서 전류원 제어 회로(F1, F2)를 포함하지 않는 경우의 출력 유지 특성을 관찰한 것이다. 그림에서 보듯이 전류원 제어 회로를 포함하지 않더라도 VCP의 전압 유지 특성은 우수하다. 이는 VCP가 초기 바이어스보다 높은 경우로서 이 때에는 $I_{UP1} \leq I_{DN1}$인 상태가 되므로 앞 절에서 언급한 바와 같이 누설 방지 회로가 그 자체로서 기능을 하기 때문이다. 그러나, VCN의 경우에는 초기 바이어스보다 낮은 전압으로 감소한 경우로서 이 때에는 $I_{UP2} > I_{DN2}$인 상태가 되므로, $I_{UP2} - I_{DN2}$에 해당하는 전류량이 다이오드 D2를 거쳐서 루프 필터의 커패시터 C_N을 충전시키게 되므로 VCN의 전압은 유지되지 못하고 누설되는 경향을 보이게 된다.

그림 5-8(c)는 제안된 누설 방지 회로와 전류원 제어 회로를 모두 포함하는 차동 전하 펌프 회로에 대한 시뮬레이션 결과로서, 그림 5-8(b)에서 발생했던 현상이 제거되었음을 알 수 있다.

그림 5-9는 제안된 전하 펌프 회로의 출력 유지 특성의 개선 정도를 평가하기 위해 VCP-VCN의 파형을 관찰한 것이다. 그림에서 볼 수 있듯이 제안된 회로가 기존의 구조에 비해 월등한 전압 유지 성능을 가지고 있음을 알 수 있으며, 전하 펌프 동작 범위의 최대치인 약 1V 부근에서 유지 상태가 500ns 동안 지속되었을 때 출력 전압이 약 0.14% 정도의 상대 오차를 갖는 것으로 평가되었다.

5-3-3-2. 온도 의존성

그림 5-10은 제안된 회로에 대해 0℃ 80℃까지 온도를 변화시키면서 출력 유지 성능을 시뮬레이션한 결과이다. 출력 전압 레벨이 초기 바이어스에서 벗어날수록, 그리고 온도가 증가할수록 유지 성능이 저하되는 것을 그림으로부터 관찰할 수 있다. 그러나, 성능 저하가 가장 심한 경우인 온도 80℃, 출력 레벨이 약 1.2V일 때의 출력 전압의 상대 오차는 약 0.16%로 나타났으며 이는 상당히 안정된 결과이다.



(a)

그림 5-8. 전하 펌프 회로의 전압 유지 특성. (계속)

(a) 기존의 전하 펌프 회로

(b) 제안된 전하 펌프 회로 (전류원 제어 회로를 포함하지 않는 경우)

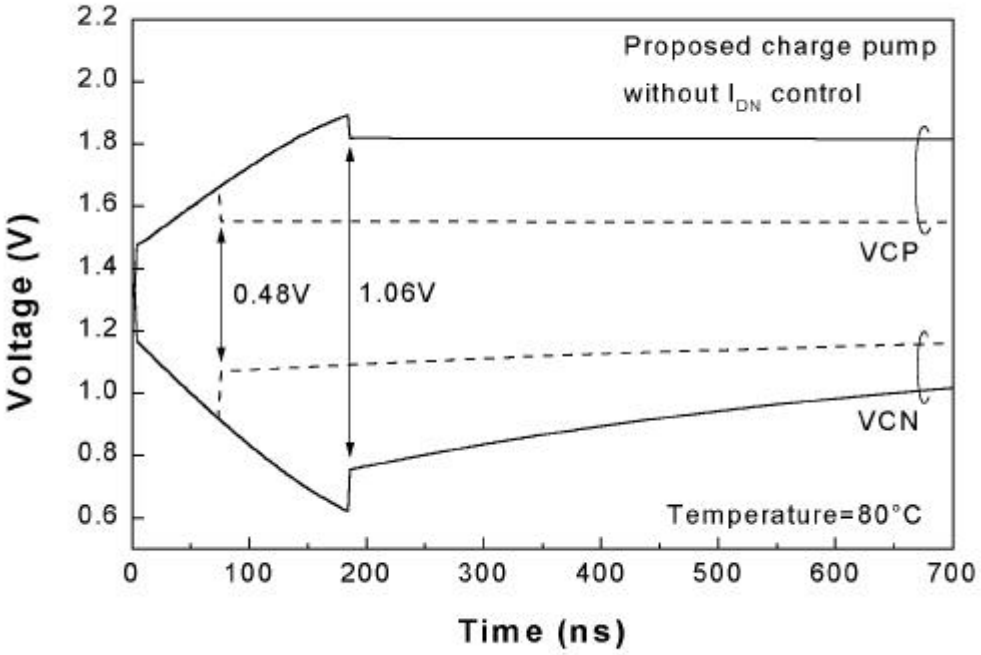
(c) 제안된 전하 펌프 회로 (전류원 제어 회로를 포함하는 경우)

Figure 5-8. Output hold characteristics of the charge pump. (continued)

(a) Conventional charge pump.

(b) Proposed charge pump. (without I_{DN} control)

(c) Proposed charge pump. (with I_{DN} control)



(b)

그림 5-8. 전하 펌프 회로의 전압 유지 특성. (계속)

(a) 기존의 전하 펌프 회로

(b) 제안된 전하 펌프 회로 (전류원 제어 회로를 포함하지 않는 경우)

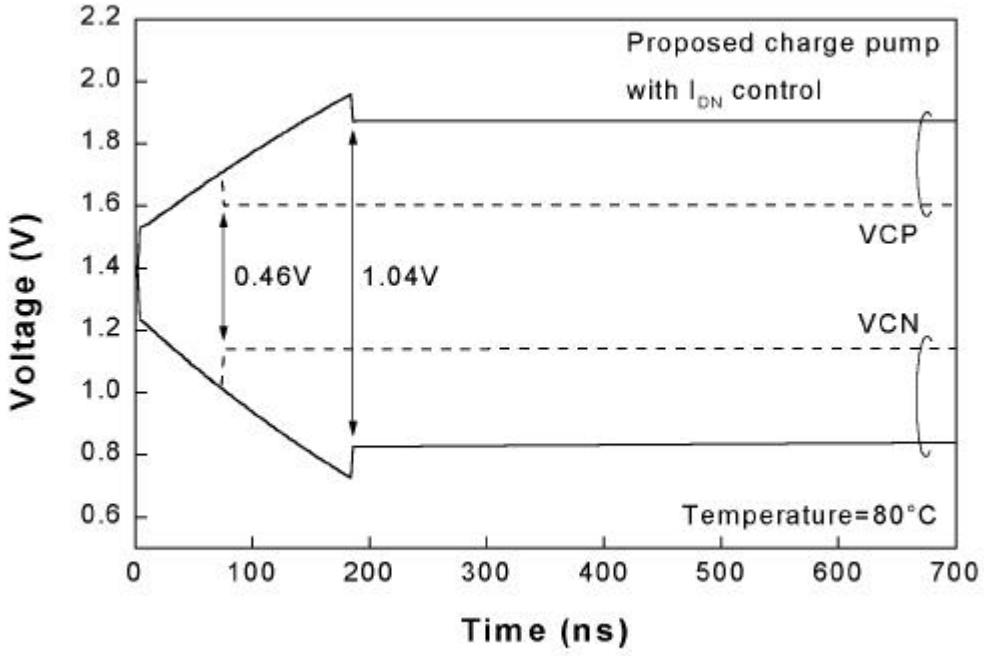
(c) 제안된 전하 펌프 회로 (전류원 제어 회로를 포함하는 경우)

Figure 5-8. Output hold characteristics of the charge pump. (continued)

(a) Conventional charge pump.

(b) Proposed charge pump. (without I_{DN} control)

(c) Proposed charge pump. (with I_{DN} control)



(c)

그림 5-8. 전하 펌프 회로의 전압 유지 특성.

(a) 기존의 전하 펌프 회로

(b) 제안된 전하 펌프 회로 (전류원 제어 회로를 포함하지 않는 경우)

(c) 제안된 전하 펌프 회로 (전류원 제어 회로를 포함하는 경우)

Figure 5-8. Output hold characteristics of the charge pump.

(a) Conventional charge pump.

(b) Proposed charge pump. (without I_{DN} control)

(c) Proposed charge pump. (with I_{DN} control)

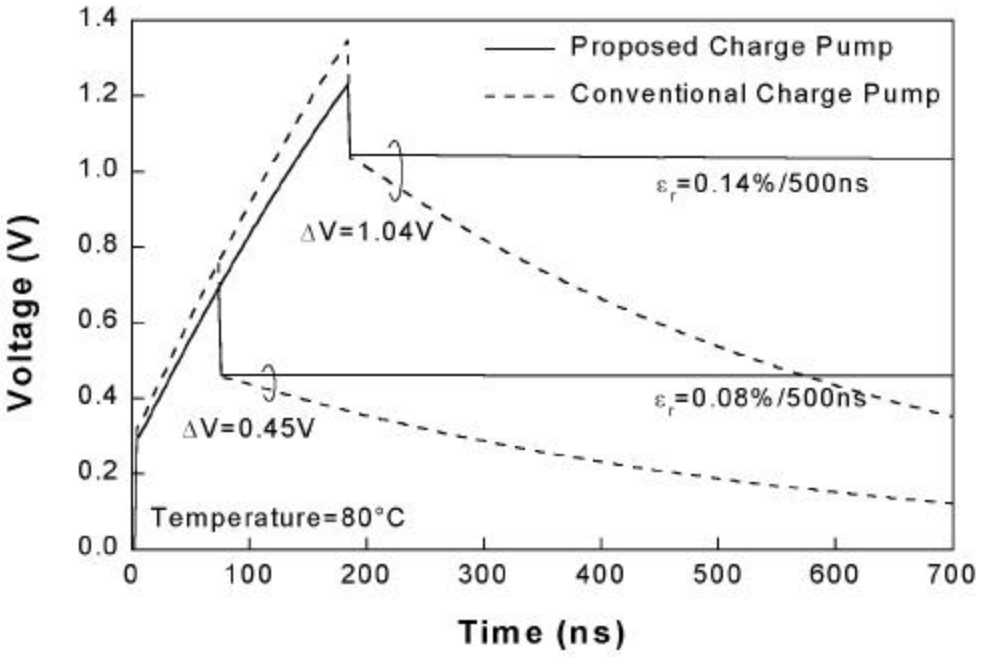


그림 5-9. 기존의 전하 펌프 회로와 제안된 회로의 전압 유지 성능 비교.

Figure 5-9. Comparison of the output hold characteristics between the conventional charge pump and the proposed.

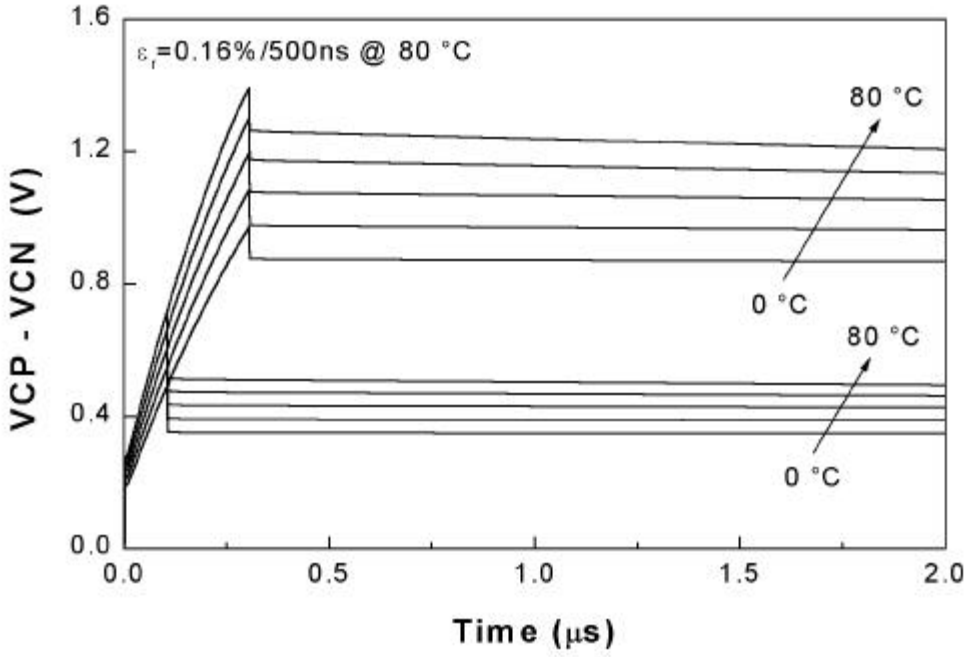


그림 5-10. 제안된 전하 펌프 회로의 온도 의존성.

Figure 5-10. Temperature dependency of the proposed charge pump.

제 6 장. 위상 동기 회로의 설계

제 6-1 절. 2GHz급 위상 동기 회로

이 절에서는 4장에서 제안한 2GHz급 VCO와 5장에서 제안한 고속 차동 전하 펌프 회로를 이용하여 위상 동기 회로를 설계하고 이의 성능을 SPICE 시뮬레이션 결과를 토대로 분석하고자 한다.

제 6-1-1 절. 구성 및 설계 과정

그림 6-1은 2GHz급 위상 동기 회로의 블록도이다. 6-2절에서 언급할 10GHz급 위상 동기 회로를 포함하여 설계에 사용되는 PFD의 구조는 그림 6-2와 같다. PFD는 기본적으로 2개의 D-type 플립-플롭(flip-flop)과 별도의 리셋 회로로 구성된다.[9] 본 논문에서 사용하는 PFD는 9개의 2-입력 OR 회로와 2개의 3-입력 OR 회로로 구성되어 있다. 일반적으로 고속 CMOS 위상 동기 회로의 경우, dynamic D-type 플립-플롭을 이용하여 고속으로 동작할 수 있는 PFD를 설계하는 경우가 있으나, dynamic 로직을 이용하는 것보다는 그림 6-2와 같이 static 로직들로 PFD를 설계하는 것이 더욱 안정적이다.[9] 특히, GaAs MESFET의 경우, 소자 자체의 고속 특성으로 인해 본 논문의 응용에서는 그림 6-2의 회로를 사용하기에 무리가 없다. 또한, 그림에서 보는 바와 같이 PFD를 구성하는 모든 로직들이 SCFL 형태의 차동 로직으로 설계되었기 때문에 고속으로 동작하면서도 안정성을 보장할 수 있다.

그림 6-3과 그림 6-4는 각각 PFD를 설계하는데 사용된 2-입력 SCFL OR 회로와 3-입력 SCFL OR 회로이다. 각 회로들은 기본적으로 그림 4-10에서 보인 SCFL 버퍼/인버터 회로와 동일한 바이어스 상태 및 소자 크기를 가지며, 직렬 게이팅 기법으로 설계되었다.

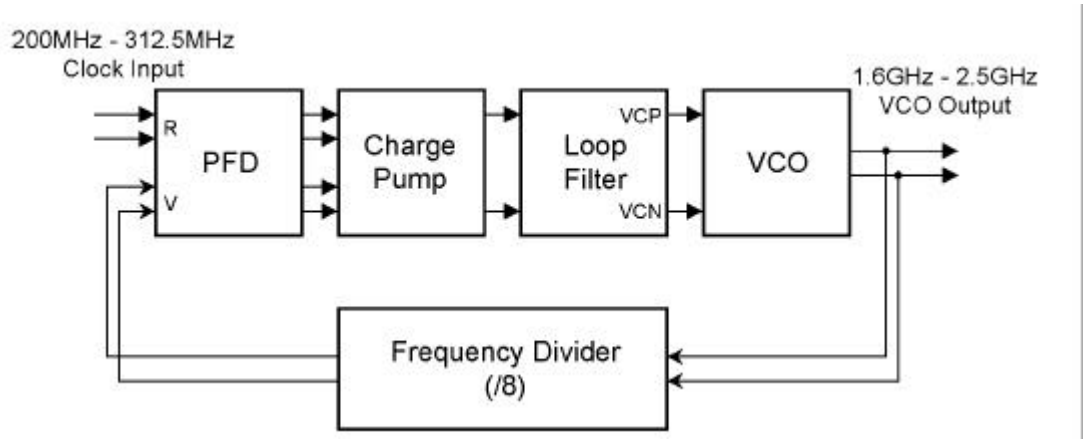


그림 6-1. 제안된 2GHz급 위상 동기 회로의 블럭도.

Figure 6-1. Block diagram of proposed 2GHz-rage phase-locked loop.

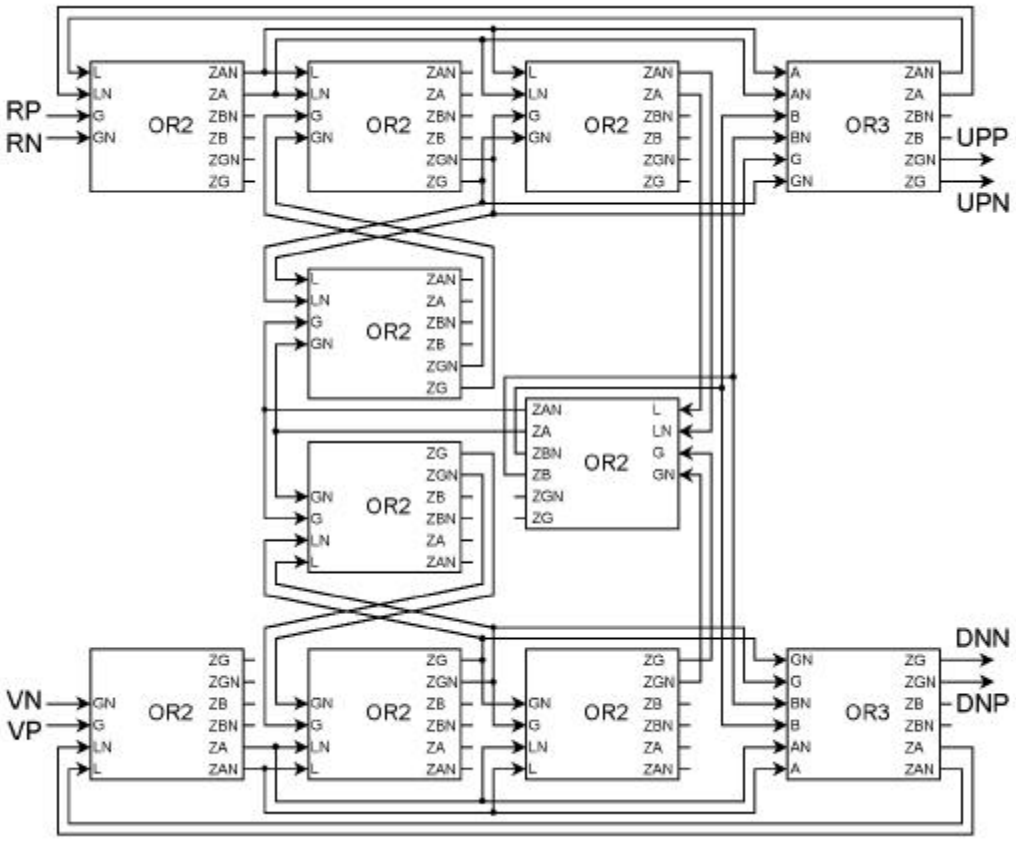


그림 6-2. 위상/주파수 검출기.

Figure 6-2. Schematic diagram of phase/frequency detector.

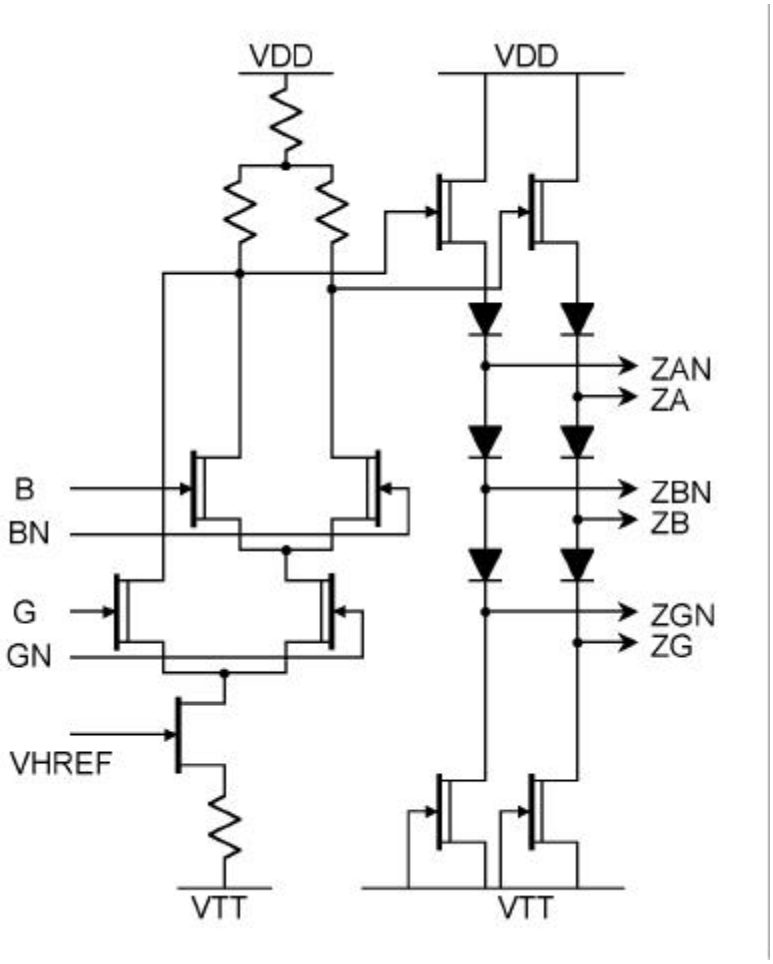


그림 6-3. 2-**입력** SCFL OR **회로**.

Figure 6-3. Schematic diagram of 2-input SCFL OR gate.

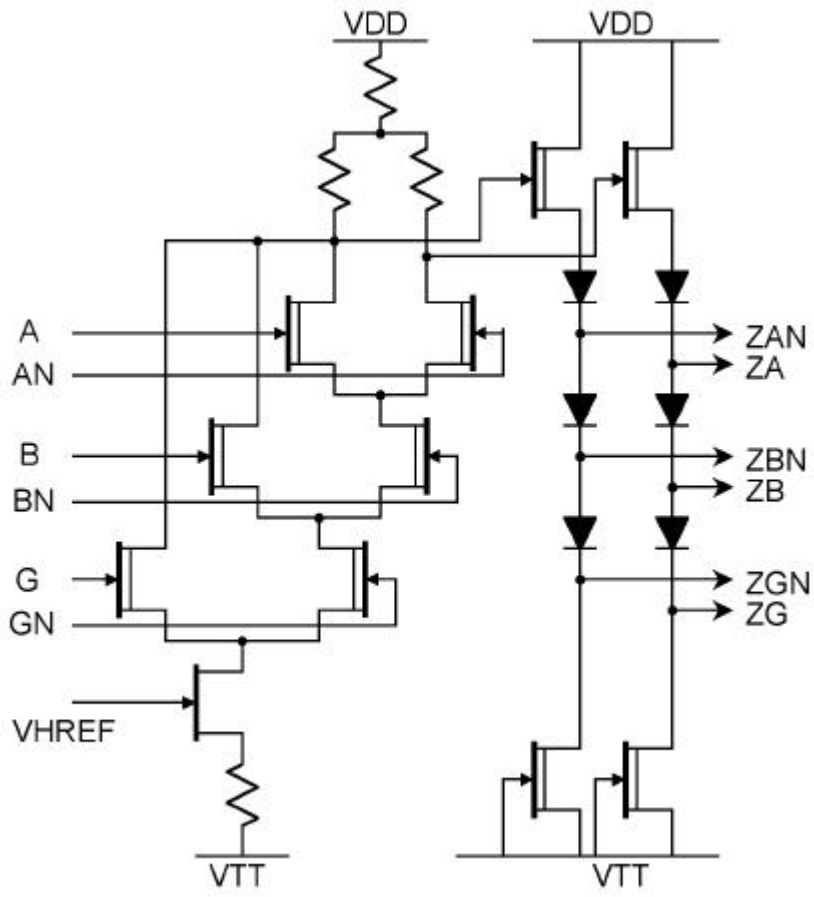


그림 6-4. 3-**입력** SCFL OR **회로**.

Figure 6-4. Schematic diagram of 3-input SCFL OR gate.

그림 6-5는 2분주 회로를 구현하는데 사용되는 SCFL D-type 플립-플롭이다. 2분주 회로는 기본적으로 1개의 플립-플롭을 이용하여 플립-플롭의 출력(Q)을 반전시켜서 입력(D)에 연결함으로써 구성할 수 있다. 이 때 분주하고자 하는 신호가 플립-플롭의 클럭 입력단(CP)에 인가되면, 출력 Q에 대해 반전된 신호인 입력 D가 클럭의 한 주기 후에 출력으로 전해지므로 결국, 클럭 신호의 상승 천이가 2회 발생할 때 출력 신호는 한 주기가 완성되어 2분주 회로로서 동작하게 된다.[32]

그림 6-6은 루프 필터의 구성 및 커패시터를 레이-아웃하는 방식을 보인 것이다. 그림 6-6(a)에 나타낸 바와 같이 저항 R_1과 커패시터 C_1을 직렬로 연결하면 1차 루프 필터가 형성되며, 점선으로 나타낸 것과 같이 또 하나의 부가적인 커패시터 C_3을 루프 필터의 출력단에 연결하면 2차 루프 필터가 형성된다. GaAs MESFET 공정에서는 MOS 공정과 같은 두께가 얇은 절연층이 존재하지 않으므로 용량이 큰 커패시터를 설계하기 위해서는 상대적으로 많은 면적이 필요하다. 따라서, 그림 6-6(b)와 같이 커패시터가 차지하는 면적을 최대한 줄이기 위해 4개의 메탈 레이어를 이용하여 3개의 커패시터가 병렬로 형성되도록 하였다. 즉, 최하위 레이어인 게이트 메탈과 메탈 2를 연결하여 한 단자를 구성하고, 최상위 레이어인 메탈 3과 메탈 1을 연결하여 다른 한 단자를 구성하면, 각 레이어가 겹치는 부분의 면적(A)에 해당하는 평행판 커패시터 3개가 두 단자 사이에 병렬로 형성된다. 게이트 메탈과 메탈 1, 메탈 1과 메탈 2, 메탈 2와 메탈 3 사이의 평행판 커패시턴스 성분은 각각 0.0845fF/㎛^{2}, 0.0664fF/㎛^{2}, 그리고 0.02321fF/㎛^{2}이며 경계 커패시턴스(fringing capacitance) 성분은 각각 0.048fF/㎛, 0.054fF/㎛, 그리고 0.049fF/㎛이다. 이를 이용하여 40pF의 루프 필터 커패시터를 설계하면 커패시터가 차지하는 면적은 585.3×583.5㎛^{2}이 된다.

1차 루프 필터를 이용하여 2차의 PLL을 구성하면 루프 필터 내의 저항에 걸리는 전압 성분이 VCO의 출력 신호의 위상을 제어하는 작용을 하게 된다. 따라서, 루프 필터의 저항값이 커지면 기준 입력 신호(R)과 분주된 VCO의 출력(V)의 주파수차 보다는 위상차가 출력에 보다 많이 반영되므로 두 신호간의 주파수 차가 적고 위상차가 클 경우에 보다 빨리 동기되는 경향을 보인다. 그러나, 저항값이 커지면 동기된 상태에서 출력 신호의 지터 특성이 저하되는 문제가 있다. 이를 방지

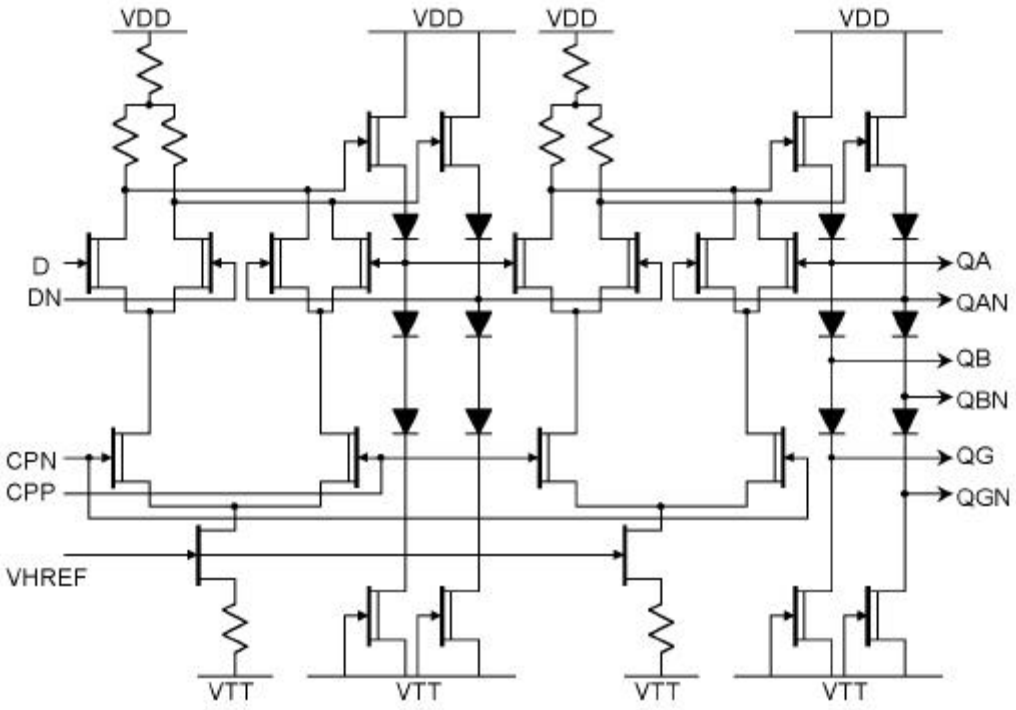
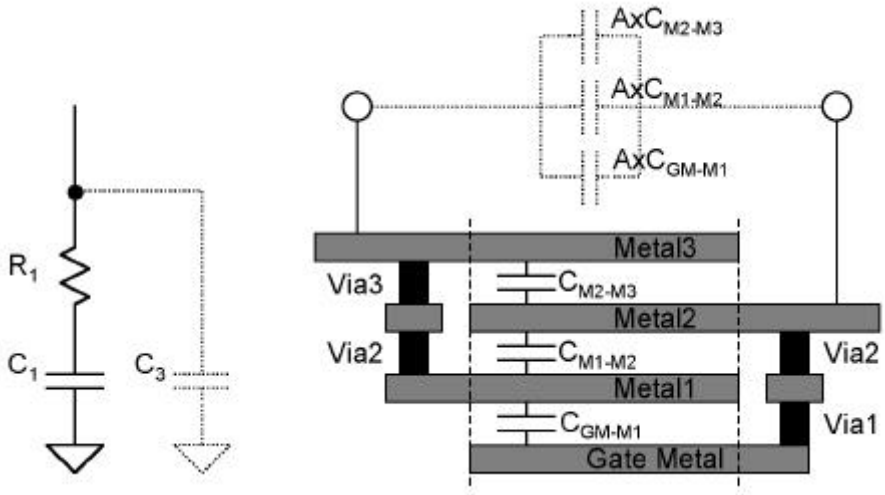


그림 6-5. SCFL D-Type 플립-플롭.

Figure 6-5. Schematic diagram of SCFL D-Type flip-flop.



(a) (b)

그림 6-6. 루프 필터 회로 및 레이-아웃 단면.

(a) 루프 필터 회로

(b) 커패시터의 레이아웃 단면 및 등가 회로

Figure 6-6. Schematic of a loop filter and its layout.

(a) Schematic of a loop filter

(b) Cross sectional view of capacitor layout and its equivalent circuit model

하기 위해 별도의 작은 값의 커패시터($C_3 < 0.1C_1$)를 루프 필터의 출력단에 연결하여 제어 전압의 리플(ripple)을 제거하는 것이 일반적이다. 그러나, 본 논문에서는 제안된 전하 펌프 및 VCO에 의한 성능 개선을 검증하고 동작 특성을 분석하기 위해 해석이 용이한 1차 필터를 사용하였다. 루프 필터를 구성하는 저항 및 커패시터의 값은 각각 1110Ω과 40pF이며, 이 때의 루프 대역폭(loop bandwidth)는 10.4MHz이고, 감쇄 상수(damping factor)는 0.707이다. 루프 필터에 관한 해석 및 전하 펌프 회로와 루프 필터의 연동에 관한 해석은 많은 논문에서 다루어지고 있으므로 본 논문에서는 이에 대한 언급을 생략한다.[11,14]

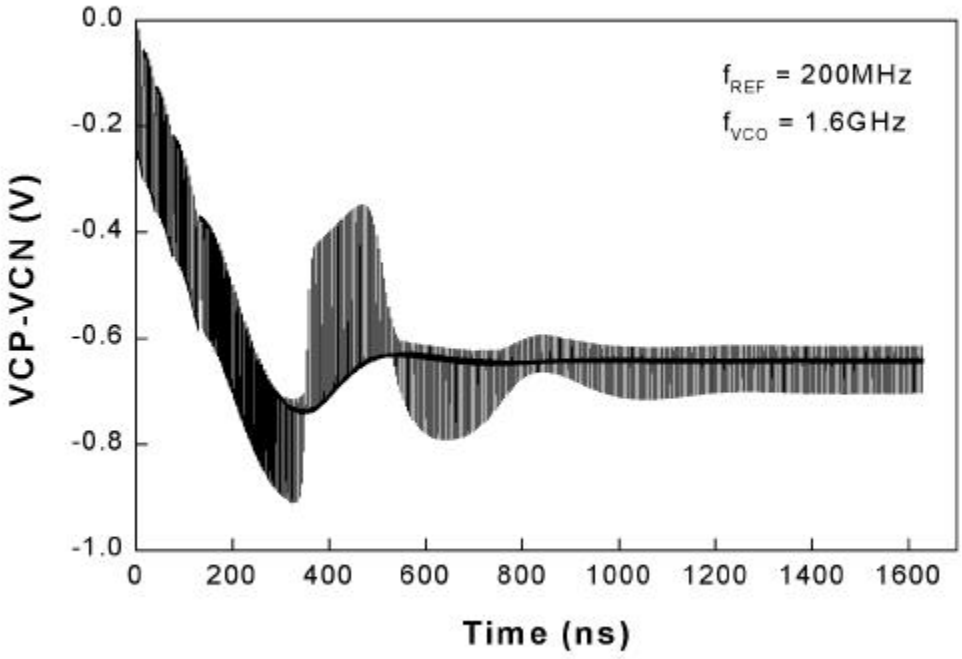
제 6-1-2 절. 성능 검증

그림 6-7은 그림 6-1의 회로가 동기되는 동안 전하 펌프의 출력 VCP-VCN을 관찰한 것이다. 그림 6-7(a)는 입력 신호의 주파수(f_{REF})가 200MHz이고 출력 신호의 주파수(f_{VCO})는 1.6GHz인 경우에 대한 것이고, 그림 6-7(b)는 f_{REF}=250MHz, fvco=2.0GHz인 경우에 대한 것이며, 그림 6-7(c)는 f_{REF}=312.5MHz이고 f_{VCO}=2.5GHz인 경우에 대한 것이다. 각각의 시뮬레이션은 80℃의 동작 온도 조건에서 수행되었다. 제안된 위상 동기 회로가 동기되는데 걸리는 시간은 그림 6-7(a)의 경우에는 1μs, 그림 6-7(b)의 경우에는 0.4μs, 그리고 그림 6-7(c)의 경우에는 0.6μs로 위상 동기 회로의 전 동작 범위에 걸쳐 최적화된 동기 특성을 나타내고 있다.

그림 6-8은 위상 동기 회로가 동기된 후 PFD의 두 입력 R, V와 VCO의 출력 파형을 나타낸 것이다. 그림 6-8(a)는 f_R=200MHz, f_{VCO}=1.6GHz인 경우에 대한 것이고, 그림 6-8(b)는 f_R=250MHz, fvco=2.0GHz인 경우에 대한 것이며, 그림 6-8(c)는 f_R=312.5MHz이고 f_{VCO}=2.5GHz인 경우에 대한 것이다. 그림 6-1(a)의 경우, PFD의 두 입력 R과 V 사이의 정적 위상 오차는 6.48° 로 나타났고, 동기 상태에 도달한 후부터 415개의 VCO의 출력 펄스들에 대해 신호의 주기를 분석한 결과 최대 지터는 1.02ps(0.00163UI)이고 rms 지터는 0.452ps(0.00072UI)로 분석되었다. 또한, 그림 6-1(b)의 경우, R, V 사이의 정적 위상 오차는 0.72° 로 나타났고, 동기 상태에 도달한 후부터 800개의 VCO의 출력 펄스들에 대해 신호의 주기를 분

석한 결과 최대 지터는 0.82ps(0.00164UI)이고 rms 지터는 0.224ps(0.00045UI)로 분석되었다. 마지막으로 그림 6-8(c)의 경우에는 R, V 사이의 정적 위상 오차는 7.88° 로 나타났고, 동기 상태에 도달한 후부터 800개의 VCO의 출력 펄스들에 대해 신호의 주기를 분석한 결과 최대 지터는 0.56ps(0.0014UI)이고 rms 지터는 0.119ps(0.00030UI)로 분석되었다. UI(unit interval) 단위는 지터를 VCO 출력 신호의 주기로 정규화한 값이므로 서로 다른 주파수의 신호들 내에 존재하는 지터의 양을 비교하는데 적합하다. 제안된 2GHz급 위상 동기 회로는 1.6GHz 2.5GHz의 전 동작 범위에 걸쳐 최대 0.00072UI의 rms 지터를 보이므로 상당히 안정적임을 알 수 있다.

표 6-1은 이상의 시뮬레이션 결과를 정리하여 제안된 2GHz급 위상 동기 회로의 성능 사양을 나타낸 것이다. 또한, 그림 6-9는 4장에서 제안한 2GHz급 VCO와 5장에서 제안한 고속 차동 전하 펌프 회로를 이용한 위상 동기 회로를 레이-아웃한 결과이다.



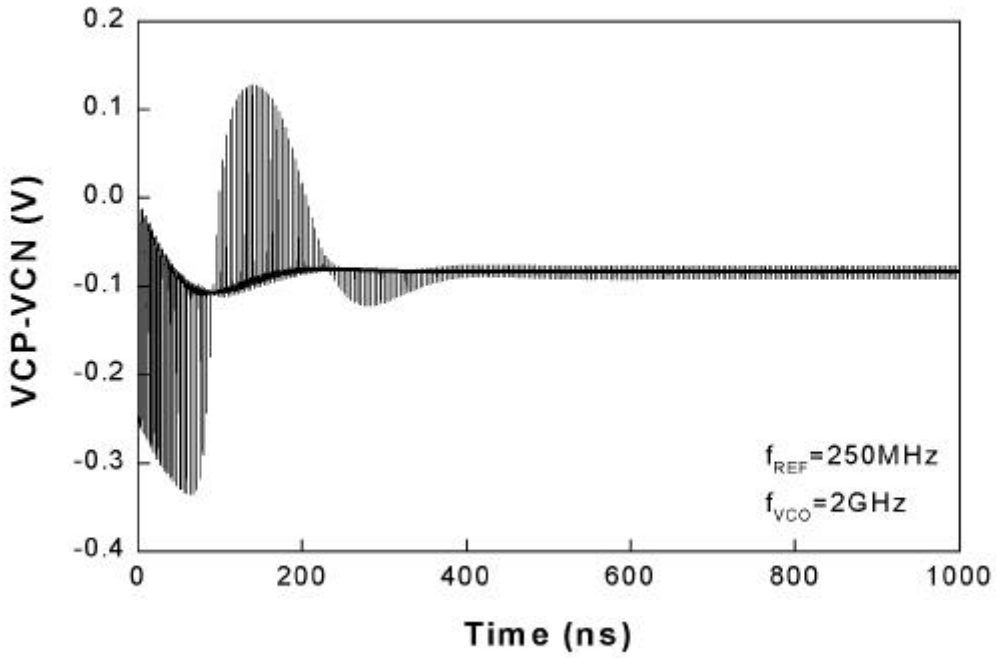
(a)

그림 6-7. 2GHz**급 위상 동기 회로의** VCO **제어 전압 파형**. (**계속**)

(a) f_{REF}=200MHz (b) f_{REF}=250MHz (c) f_{REF}=312.5MHz

Figure 6-7. VCO control voltages of 2GHz-range phase-locked loop. (continued)

(a) f_{REF}=200MHz (b) f_{REF}=250MHz (c) f_{REF}=312.5MHz



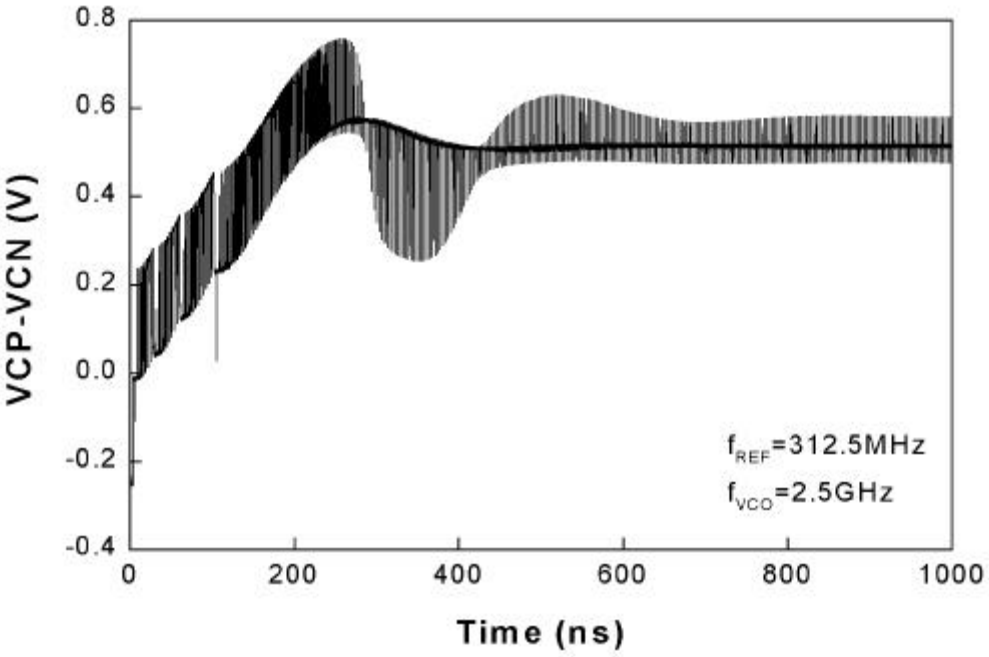
(b)

그림 6-7. 2GHz**급 위상 동기 회로의** VCO **제어 전압 파형**. (**계속**)

(a) f_{REF}=200MHz (b) f_{REF}=250MHz (c) f_{REF}=312.5MHz

Figure 6-7. VCO control voltages of 2GHz-range phase-locked loop. (continued)

(a) f_{REF}=200MHz (b) f_{REF}=250MHz (c) f_{REF}=312.5MHz



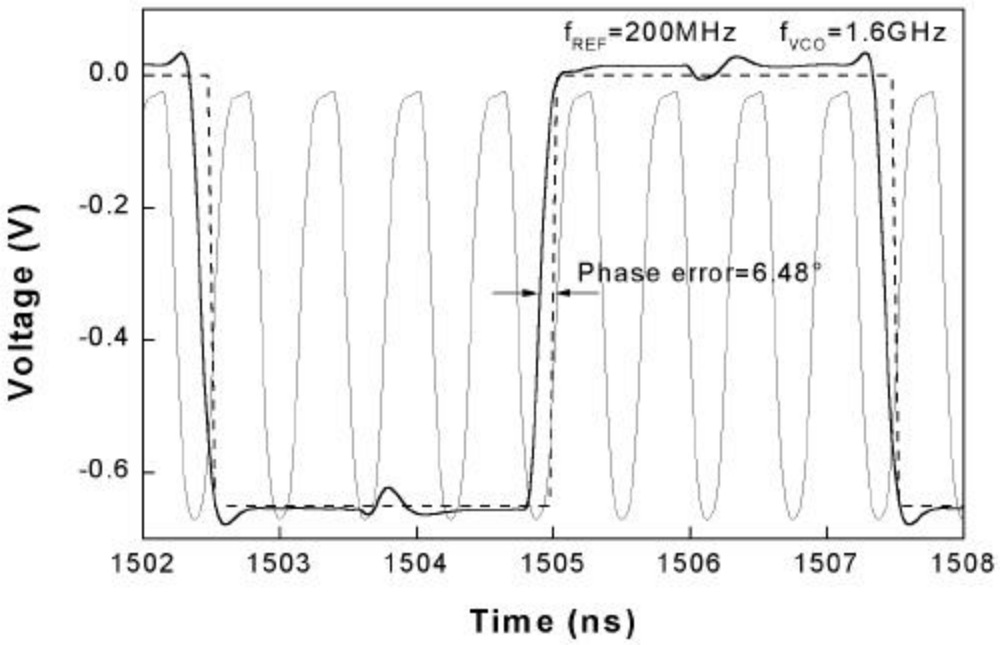
(c)

그림 6-7. 2GHz**급 위상 동기 회로의** VCO **제어 전압 파형**.

(a) f_{REF}=200MHz (b) f_{REF}=250MHz (c) f_{REF}=312.5MHz

Figure 6-7. VCO control voltages of 2GHz-range phase-locked loop.

(a) f_{REF}=200MHz (b) f_{REF}=250MHz (c) f_{REF}=312.5MHz



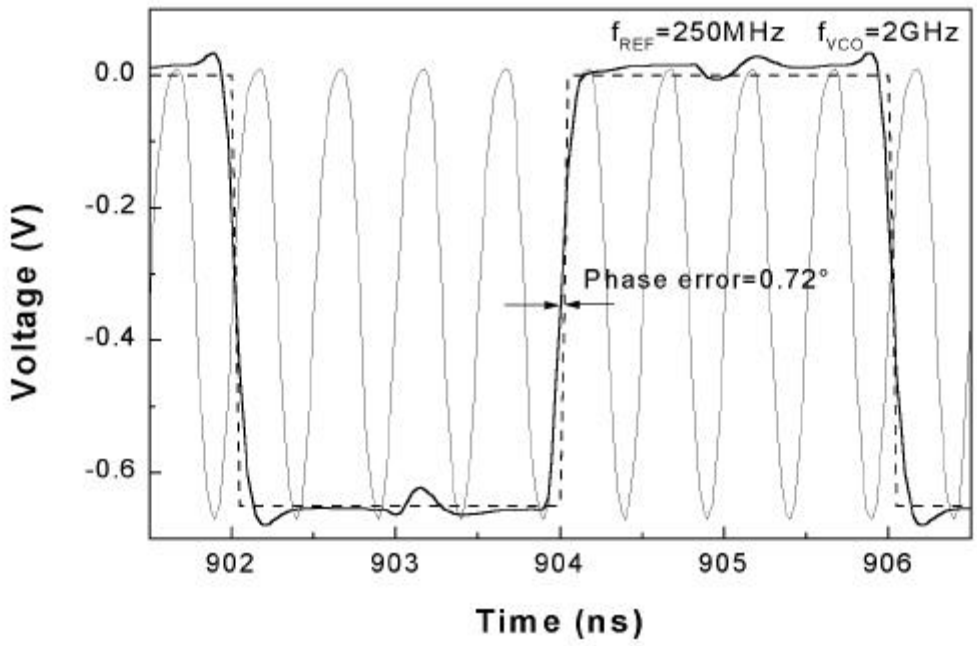
(a)

그림 6-8. 2GHz**급 위상 동기 회로의** RP, VP, VCOP **파형**. (**계속**)

(a) f_{REF}=200MHz (b) f_{REF}=250MHz (c) f_{REF}=312.5MHz

Figure 6-8. RP, VP, VCOP's of 2GHz-range phase-locked loop. (continued)

(a) f_{REF}=200MHz (b) f_{REF}=250MHz (c) f_{REF}=312.5MHz



(b)

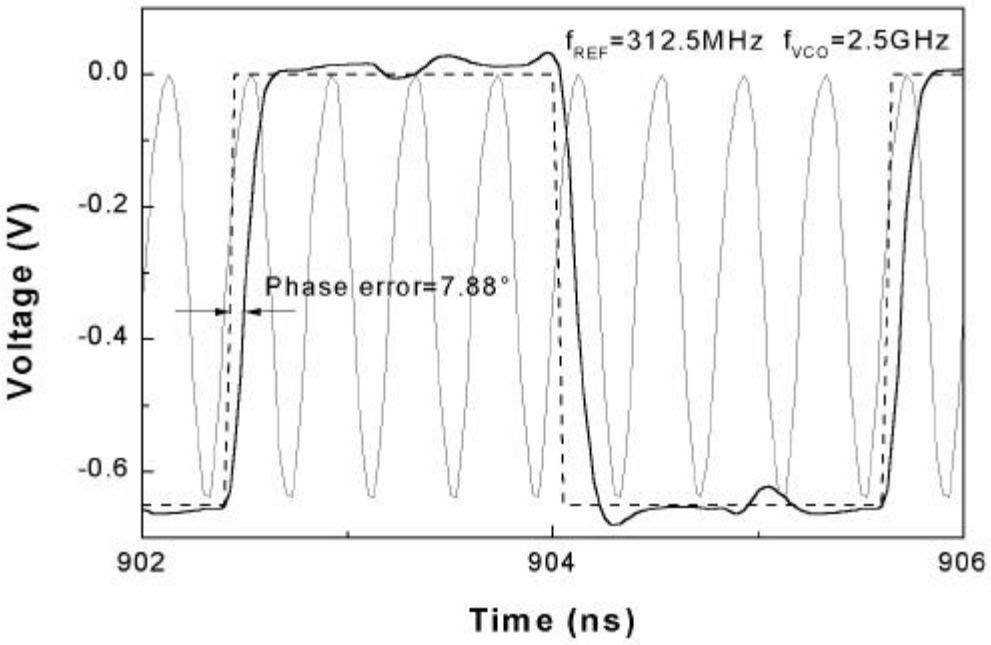
그림 6-8. 2GHz**급 위상 동기 회로의** RP, VP, VCOP **파형**. (**계속**)

(a) f_{REF}=200MHz (b) f_{REF}=250MHz (c) f_{REF}=312.5MHz

Figure 6-8. RP, VP, VCOP of 2GHz-range phase-locked loop.

(continued)

(a) f_{REF}=200MHz (b) f_{REF}=250MHz (c) f_{REF}=312.5MHz



(c)

그림 6-8. 2GHz**급 위상 동기 회로의** RP, VP, VCOP **파형**.

(a) f_{REF}=200MHz (b) f_{REF}=250MHz (c) f_{REF}=312.5MHz

Figure 6-8. RP, VP, VCOP of 2GHz-range phase-locked loop.

(a) f_{REF}=200MHz (b) f_{REF}=250MHz (c) f_{REF}=312.5MHz

표 6-1. 제안된 2GHz급 위상 동기 회로의 사양.

Table 6-1. Specifications of the proposed 2GHz-range phase-locked loop.

항 목	성능 및 사양
사용 공정	Vitesse H-GaAs VI
입력 주파수	200MHz 312.5MHz
출력 주파수	1.6GHz 2.5GHz
최대 rms 지터	0.00072 UI
최대 정적위상오차	7.88°
루프 대역폭	10.04MHz
사용 전원	+3.3V/0.0V/-2.0V
소비 전력	380mW (core)

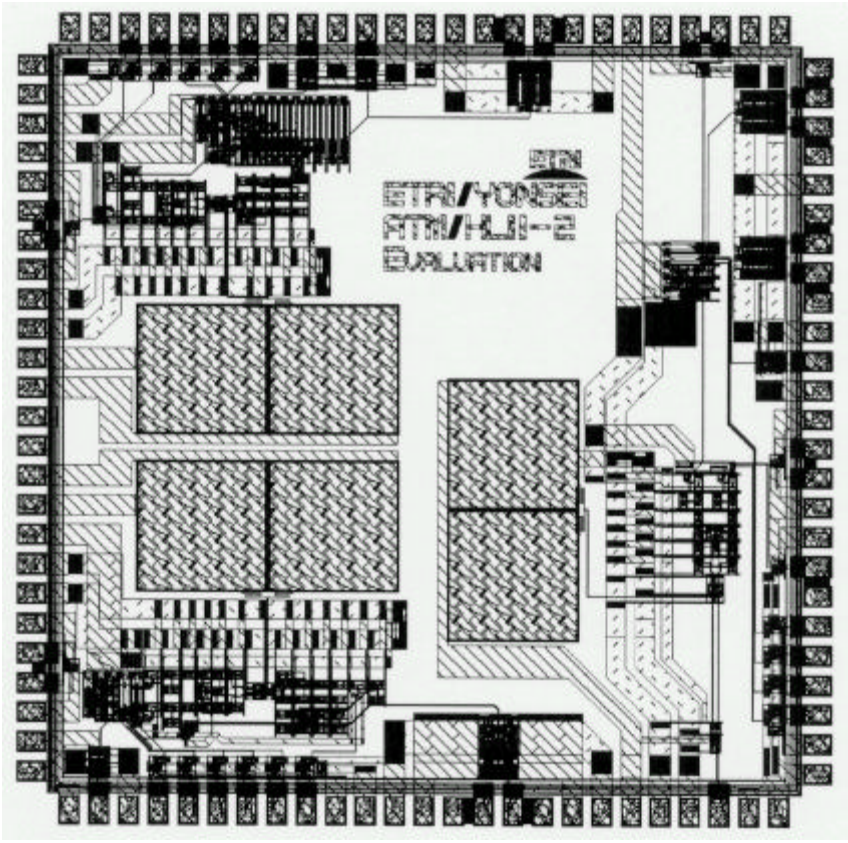


그림 6-9. 2GHz**급 위상 동기 회로의 레이-아웃.**

Figure 6-9. Layout of the 2GHz-range phase-locked loop.

제 6-2 절. 10GHz급 위상 동기 회로

이 절에서는 3장에서 제안한 2GHz급 VCO와 5장에서 제안한 고속 차동 전하 펌프 회로를 이용하여 위상 동기 회로를 설계하고 이의 성능을 SPICE 시뮬레이션 결과를 토대로 분석하고자 한다.

제 6-2-1 절. 구성 및 설계 과정

그림 6-10은 제안된 10GHz급 위상 동기 회로의 블록도이다. 그림 6-10의 위상 동기 회로에는 3장에서 제안한 10GHz급 VCO와 5장에서 언급한 고속 차동 전하 펌프 회로가 포함되어 있으며 312.5MHz 대역의 차동 기준 입력 신호를 받아서 입력 주파수의 16배인 5GHz급의 차동 출력 신호를 발생시키는 동시에 이의 2배인 10GHz급의 차동 출력 신호를 발생시킨다. 그림 3-11에서 보인 바와 같이 제안된 10GHz급 VCO는 2단으로 구성된 주 발진 루프 상에서 5GHz 대역의 발진 주파수가 출력되고, 각 지연 소자의 공통-소오스 단에서 발생되는 10GHz 대역의 주파수를 갖는 신호는 그림 3-14에서 보인 5단의 차동 증폭 회로를 거쳐 출력된다.

그림 6-11은 5장에서 제안한 고속 차동 전하 펌프의 차동 출력을 10GHz급 VCO의 제어 전압으로 변환하기 위한 전하 펌프 출력 레벨 변환 회로이다. 그림 5-6의 차동 전하 펌프 회로는 루프 필터의 출력단에 소오스-폴로워가 연결되어 있는 형태인데, 여기에서는 전하 펌프 출력 레벨 변환 회로가 이를 대신한다. 변환된 전하 펌프의 출력 레벨은 약 -1.6V에서 -0.4V이다. 6-1-1절에서 보인 2GHz급 위상 동기 회로와 마찬가지로 루프 필터의 파라미터는 위상 동기 회로에 대한 폐루프 전달 함수의 감쇄 계수가 약 0.707이 되도록 설정하였으며, 이 때 루프 필터의 저항값과 커패시터 값은 각각 3300Ω과 40pF이고, 이로부터 계산된 루프 대역폭은 3.52MHz이다.

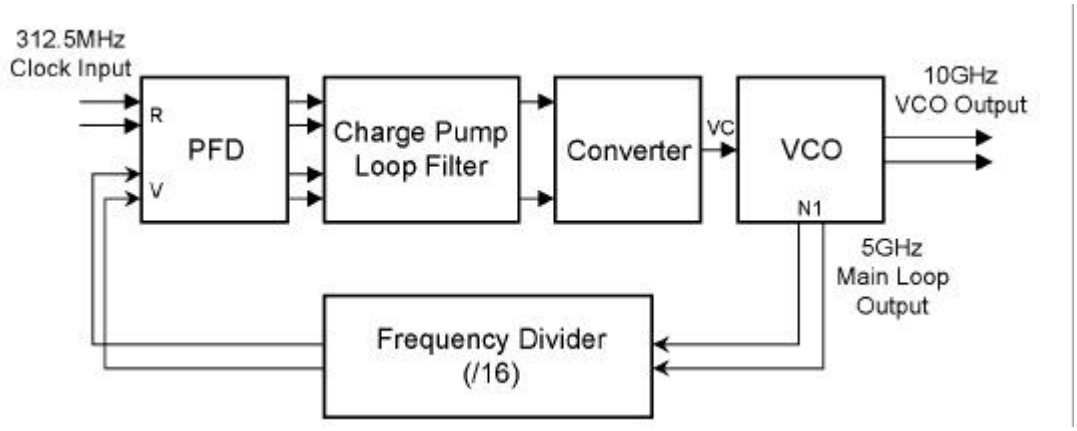


그림 6-10. **제안된** 10GHz**급 위상 동기 회로의 블럭도**.

Figure 6-10. Block diagram of proposed 10GHz-range phase-locked loop.

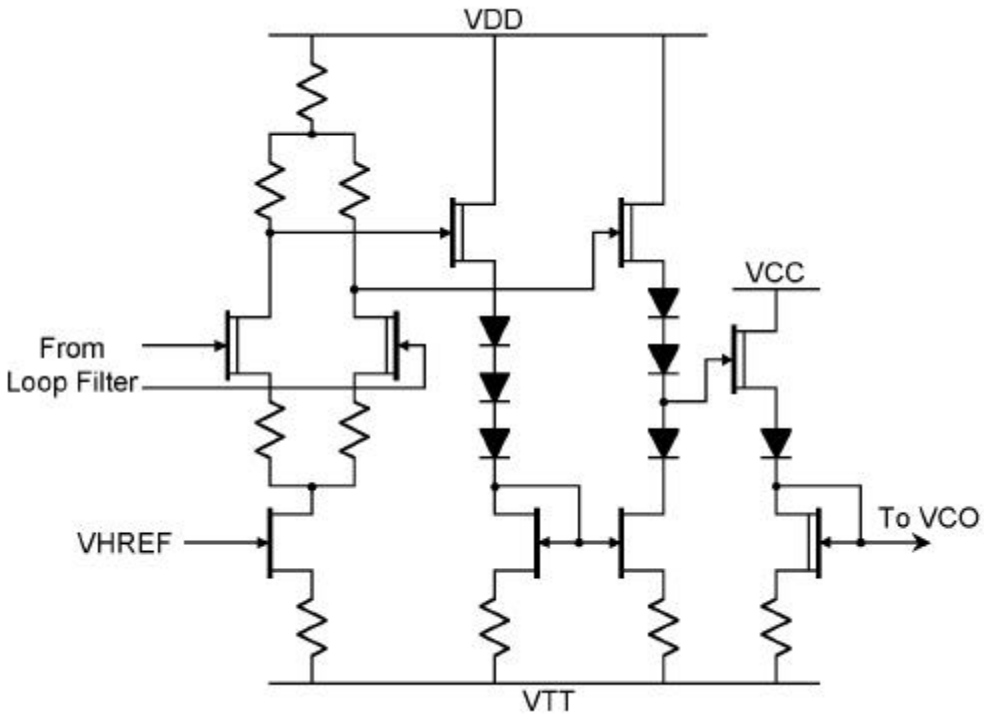


그림 6-11. 10GHz**급** VCO**를 위한 전하 펌프 출력 변환 회로**.

Figure 6-11. Schematic diagram of charge pump output converter for 10GHz-range VCO.

제 6-2-2 절. 성능 검증

그림 6-12는 그림 6-10에서 보인 10GHz급 위상 동기 회로가 동기되는 동안 전하 펌프의 출력 파형을 관찰한 것이다. 여기에서 입력 신호의 주파수는 312.5MHz이고 위상 동기 루프를 구성하는 VCO의 주 발진 루프의 출력 주파수는 5GHz이며 2 체배된 VCO의 최종 신호의 주파수는 10GHz이다.

그림 6-13은 위상 동기 회로가 동기된 후 PFD의 두 입력 R, V와 VCO의 주 발진 루프의 출력 N1 및 VCO의 출력 파형을 함께 나타낸 것이다. 그림으로부터 VCO의 주 발진 루프의 출력 N1은 약 1V 정도의 큰 스윙폭을 가지면서 5GHz의 주파수로 발진하는 것을 관찰할 수 있고, 이 때 2 체배된 VCO의 출력은 진폭이 약 0.5V이고 주파수가 10GHz인 신호임을 알 수 있다. 또한, PFD의 두 입력 R과 V 사이의 정적 위상 오차는 약 0.62° 로 상당히 적음을 알 수 있고, 동기 상태에 도달한 후부터 415개의 VCO의 출력 펄스들에 대해 신호의 주기를 분석한 결과 VCO의 최대 지터는 0.35ps(0.0035UI)이고 rms 지터는 0.048ps(0.00048UI)로 분석되었다. VCO의 최대 지터는 앞 절에서 언급한 2GHz급 위상 동기 회로의 지터 성분보다 약 2배 큰 값이다. 제안된 10GHz급 위상 동기 회로는 VCO의 주 발진 루프의 출력 N1P, N1N(5GHz)에 의해 동기 루프가 형성되고, VCO의 출력은 주 발진 루프의 출력이 2 체배된 것이므로 이러한 결과가 나타난 것으로 판단된다.

표 6-2는 이상의 시뮬레이션 결과를 정리하여 제안된 10GHz급 위상 동기 회로의 성능 사양을 나타낸 것이다. 또한, 그림 6-14는 3장에서 제안한 10GHz급 VCO와 5장에서 제안한 고속 차동 전하 펌프 회로를 이용한 위상 동기 회로를 레이-아웃한 결과이다.

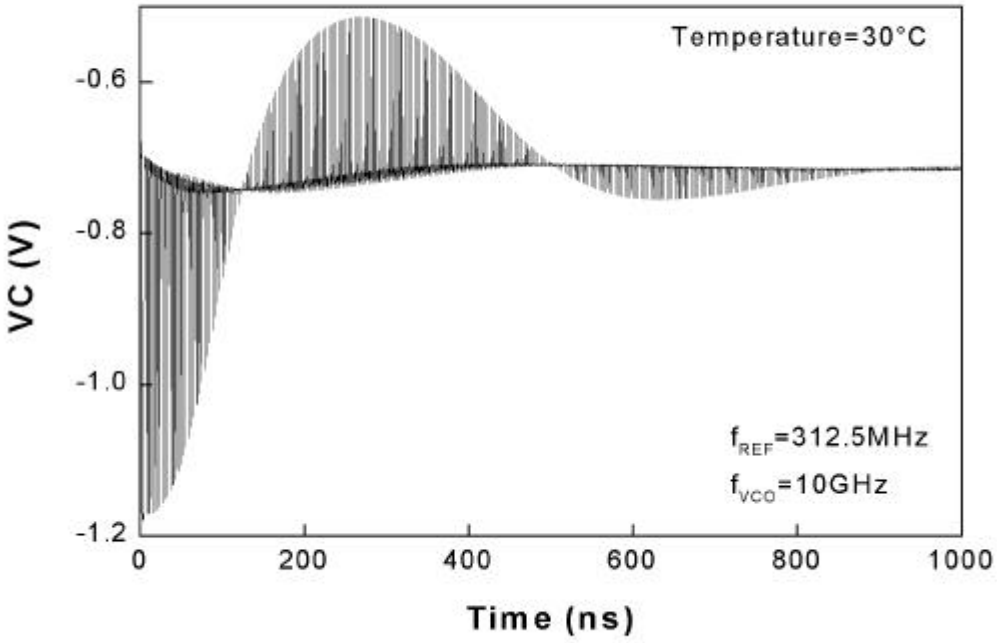


그림 6-12. **제안된** 10GHz**급 위상 동기 회로의** VCO **제어 전압 파형**.

Figure 6-12. VCO control voltages of the proposed 10GHz-range phase-locked loop.

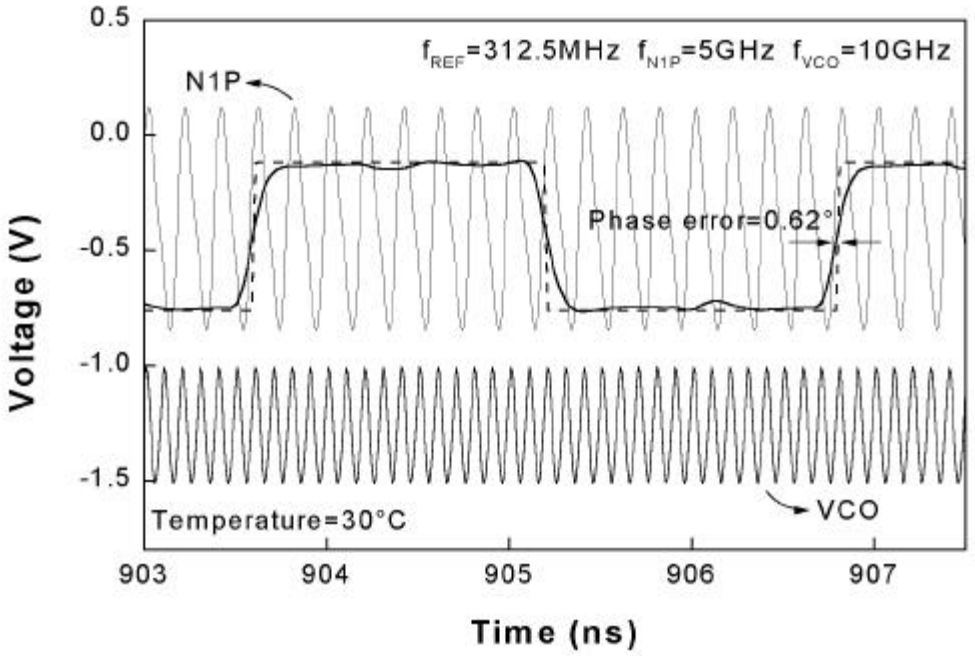


그림 6-13. **제안된** 10GHz**급 위상 동기 회로의** RP, VP, VCOP **파형**.

Figure 6-13. RP, VP, and VCOP waveforms of the proposed 10GHz-range phase-locked loop.

표 6-2. 제안된 10GHz급 위상 동기 회로의 사양.

Table 6-2. Specifications of the proposed 10GHz-range phase-locked loop.

항 목	성능 및 사양
사용 공정	Vitesse H-GaAs VI
입력 주파수	312.5MHz
출력 주파수	5GHz/ 10GHz
rms 지터	0.00048 UI
정적위상오차	0.62°
루프 대역폭	3.52MHz
사용 전원	+3.3V/ 0.0V/ -2.0V
소비 전력	500mW (core)

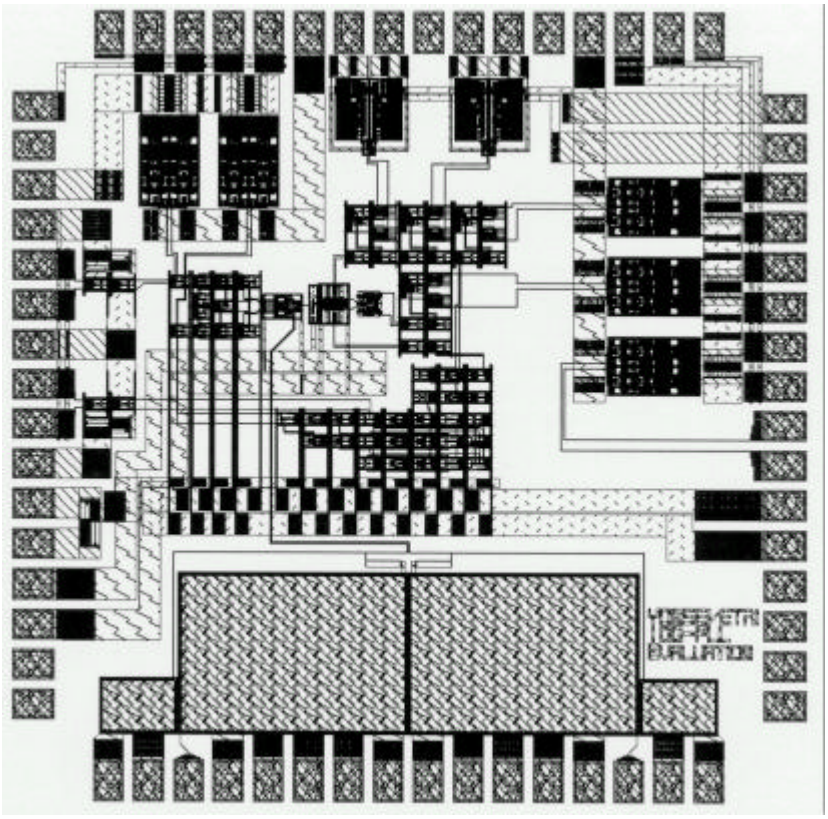


그림 6-14. 10GHz**급 위상 동기 회로의 레이-아웃**

Figure 6-14. Layout of the 10GHz-range phase-locked loop.

제 6-3 절. 기존 논문과의 성능 비교

이 절에서는 6-1절 및 6-2절에서 제안한 2GHz급 위상 동기 회로와 10GHz급 위상 동기 회로의 성능을 평가하기 위해 기존의 논문에서 발표된 GHz급 위상 동기 회로와 상용 칩들을 조사하여 성능을 비교하였다. 수백 MHz에서 1 2GHz급 정도의 위상 동기 회로는 CMOS 공정을 이용하여 설계하는 경우도 있으나, 그 이상의 주파수 대역에서는 Si bipolar, BiCMOS, 또는 GaAs MESFET 등과 같이 속도 면에서 유리한 공정을 이용하여 설계되고 있다. 각 회로들의 성능 및 사양은 표 6-3과 그림 6-15에 나타나 있다.

표 6-3 및 그림 6-15에서 볼 수 있듯이 제안된 위상 동기 회로의 최대 동작 주파수는 10GHz로 기존 회로들에 비해 높으며, 지터 특성은 기존 회로들에 비해 10배 이상 우수한 성능을 보이고 있다. 물론, 제안된 회로의 지터 특성은 SPICE 시뮬레이션에 의해 평가된 것이고 기존 회로들의 지터 특성은 측정 결과이므로 두 자료를 수치적으로 비교하는데는 무리가 있다. 이는 전원 잡음, 공정 편차 (process variation), 실험 보드에서의 잡음 발생 등, 실제적 요인에 의해 지터 특성이 저하될 수 있기 때문이다. 그러나, 본 논문에서는 실제 회로에서 발생할 수 있는 기생 효과들을 최대한 반영하여 시뮬레이션을 수행하였고 이를 통해 얻어진 결과가 기존 회로들에 비해 월등히 우수한 성능을 보이고 있으므로 제안된 회로들의 성능을 실제로 측정하여 비교할 때에도 어느 정도의 성능 개선이 있을 것으로 판단된다.

표 6-3. 참고 문헌과의 성능 비교.

Table 6-3. Performance comparison between references and this dissertation.

논 문	f_{vco}(GHz)	rms jitter		Process Technology
		(ps)	(UI)	
Ref. [34]	1.5	18.3	0.02745	Si Bipolar
Ref. [35]	1.5	10.8	0.01620	Si Bipolar
Ref. [36]	2.0	2.8	0.00560	0.6㎛ BiCMOS
Ref. [6]	2.3	2	0.00460	Si Bipolar
Ref. [37]	2.5	3.6	0.01280	0.5㎛ GaAs MESFET
Ref. [38]	2.5	4	0.01000	Si Bipolar
Ref. [39]	3.5	5	0.01750	Si Bipolar
Ref. [40]	6.0	3.1	0.01860	1㎛ BiCMOS
Ref. [1]	8.0	1.6	0.01280	Si Bipolar
This Dissertation	**1.6***	**0.452***	**0.00072***	**0.5㎛ GaAs MESFET**
	2.0*	**0.224***	**0.00045***	
	2.5*	**0.119***	**0.00030***	
	10*	**0.048***	**0.00048***	

* simulation result

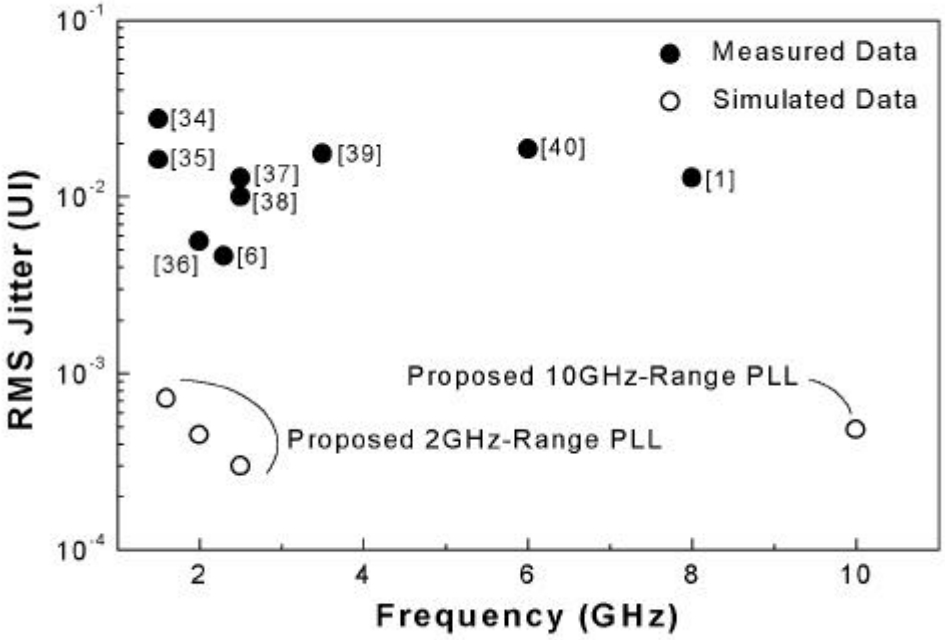


그림 6-15. 제안된 위상 동기 회로와 참고 문헌의 성능 비교.

Figure 6-15. Performance comparison between proposed PLLs and references.

제 7 장. 결 론

본 논문에서는 GHz 대역의 고속 클럭 신호를 필요로 하는 데이터 통신 시스템 분야에 응용될 수 있는 10GHz급 위상 동기 회로와 2GHz급 위상 동기 회로를 제안하였다. 여기에는 새로운 구조의 10GHz급 VCO, 2GHz급 VCO, 그리고 고속 차동 전하 펌프 회로가 포함된다. 제안된 회로는 0.5㎛ GaAs MESFET 공정 파라미터를 이용하여 설계되었으며, SPICE를 이용한 post-layout 시뮬레이션을 통해 성능을 검증하였다.

첫 번째로 10GHz 대역의 높은 주파수를 출력할 수 있는 새로운 구조의 VCO를 제안하였다. 제안된 VCO는 SCFL 형태의 차동 인버터로 구성된 링 발진기가 발진 상태에 있을 때 각 차동 인버터의 공통-소오스 단의 신호는 링 발진기의 발진 주파수의 반주기마다 동일한 패턴이 반복되는 현상을 이용하여 2단의 링 발진기로부터 10GHz 대역의 주파수를 갖는 신호를 발생시킬 수 있는 방식을 사용하였다. SPICE 시뮬레이션 결과, 제안된 10GHz급 VCO는 -1.6V -0.4V의 제어 전압 범위에서 8.95GHz 10.13GHz의 출력 주파수를 발생시킴을 확인하였다. 또한, -25℃ 80℃의 동작 온도 조건에서 -5.52MHz/℃의 온도 계수를 가지며 중심 주파수 9.69GHz에 대한 상대 오차는 -0.06%/℃인 것으로 나타났다.

두 번째로, 기존의 피드백 결합 방식의 전압 제어 발진 회로보다 넓은 주파수 범위를 가지면서 안정성이 강화된 새로운 구조의 2GHz급 VCO를 제안하였다. 제안된 VCO는 2개의 동일한 링 발진기를 아날로그 멀티플랙서를 이용하여 상호 결합하여 3-6단 링 발진기를 구성함으로써 기존 방식이 갖는 장점을 그대로 유지하면서 동시에 기존 방식에서 문제가 되었던 출력 주파수 범위의 제한 및 발진의 불안정성을 해결할 수 있는 구조를 사용하였다. SPICE 시뮬레이션 결과, 제안된 2GHz급 VCO는 -0.8V 0.2V의 차동 제어 전압 범위에서 1.48GHz 2.84GHz의 출력 주파수를 발생시킴을 확인하였다. 또한, 0℃ 80℃의 동작 온도 조건에서 -1.82MHz/℃의 온도 계수를 갖는 것으로 나타났다.

세 번째로, 고속 동작이 가능하면서 동시에 출력의 안정성을 향상시킬 수 있는

새로운 구조의 차동 전하 펌프 회로를 제안하였다. 제안된 고속 차동 전하 펌프 회로는 기존 회로에서 나타나는 누설로 인한 출력 전압 유지 성능의 저하를 해결하기 위해 GaAs MESFET 다이오드를 이용하여 간단하게 구성할 수 있는 누설 방지 회로와 설계 조건이 크게 완화된 피드백을 통한 전류원 제어 회로를 이용하여 기존 구조에 비해 개선된 출력 전압 유지 성능을 갖는 구조를 사용하였다. SPICE 시뮬레이션 결과, 80℃의 동작 온도 조건하에서 최대 약 0.16%/500ns의 출력 전압 유지 성능을 갖는 것으로 확인되었다.

또한, 제안된 3가지 회로들이 위상 동기 회로를 구성할 때의 성능을 분석하기 위해 각각 2GHz급 위상 동기 회로와 10GHz급 위상 동기 회로를 설계하고 그 성능을 SPICE 시뮬레이션을 통해 분석하였다.

첫 번째로, 2GHz급 위상 동기 회로에 대해서는 VCO의 최소·중심·최대 주파수에서 동기되는 경우의 정적 위상 오차는 각각 6.48°, 0.72°, 그리고 7.88°로 나타났고, VCO의 peak-to-peak 지터는 각각 1.02ps(0.0016UI), 0.82ps(0.0016UI), 그리고 0.56ps(0.0014UI)로 계산되었으며, rms 지터는 각각 0.452ps(0.00072UI), 0.224ps(0.00045UI), 그리고 0.119ps(0.00030UI)로 계산되었다.

두 번째로, 10GHz급 위상 동기 회로에 대해서는 VCO의 중심 주파수인 10GHz에서 동기되었을 때의 정적 위상 오차는 0.62°로 2GHz급 위상 동기 회로가 중심 주파수에서 동기되었을 때와 유사한 결과를 보였다. 또한, VCO의 peak-to-peak 지터는 0.35ps(0.0035UI)로 계산되었으며, rms 지터는 0.048ps(0.00048UI)로 계산되었다.

이상의 결과로부터 본 논문에서 제안하는 2GHz 대역 및 10GHz 대역의 고속 클럭 발생을 위한 위상 동기 회로는 고속 클럭 신호를 필요로 하는 다양한 분야의 핵심 모듈로서 사용될 수 있을 것으로 판단된다.

참 고 문 헌

[1] A. Pottbacker and U. Langmann, “An 8GHz silicon bipolar clock-recovery and data-regenerator IC,” ISSCC'95 Dig. Tech. Paper, pp. 116-117, 1995.

[2] B. Razavi, “A 2-GHz 1.6-mW Phase-Locked Loop, IEEE Journal of Solid-State Circuits,” vol. 32, no. 5, pp. 730-735, 1997.

[3] S. Miyazawa, R. Horita, K. Hase, K. Kato, and S. Kojima, “A BiCMOS PLL-Based Data Separator Circuit with High Stability and Accuracy,” IEEE J. Solid-State Circuits, vol. 26, no. 2, pp. 116-121, 1991.

[4] B. Lai and R.C. Walker, “A Monolithic 622Mb/s Clock Extraction Data Retiming Circuit,” ISSCC'91 Dig. Tech. Papaer, pp. 144-145, 1991.

[5] M. Banu and A. Dunlop, “A 660Mb/s CMOS Clock Recovery Circuit with Instantaneous Locking for NRZ Data and Burst-Mode Transmission,” ISSCC'93, Dig. Tech. Paper, pp. 102-103, 1993.

[6] M. Soyuer, “A Monolithic 2.3Gb/s 100mW Clock and Data Recovery Circuit in Silicon Bipolar Technology,” IEEE J. Solid-State Circuits, vol. 28, no. 12, pp. 1310-1313, 1993.

[7] S.K. Enam and A.A. Abidi, “NMOS IC's for Clock and Data Regeneration in Gigabit-per-Second Optical-Fiber Receivers,” IEEE J. Solid-State Circuits, vol. 27, no. 12, pp. 1763-1774, 1992.

[8] F.M. Gardner, “Charge-pump phase-locked loop,” IEEE Trans. Comm., vol. 28, pp. 1849-1858, 1980.

[9] B. Razavi, *Monolithic Phase-Locked Loops and Clock Recovery Circuits - Theory and Design*, IEEE Press, 1996.

[10] S.I. Long and S.E. Butner, *Gallium Arsenide Digital Integrated Circuit Design*, McGraw-Hill, 1990.

[11] R.E. Best, *Phase-Locked Loop : Theory, Design, and Applications*,

McGraw-Hill, 1984.

[12] A. Yoshizawa, "N-Stage Ring Connected Voltage Controlled Oscillator, patent number," U.S. Patent, 5594391, 1997.

[13] H. Du, "High Frequency Differential VCO with Common Biased Clipper, Patent Number," U.S. Patent, 5568099, 1996.

[14] A.A. Abidi and R.G. Meyer, "Noise in Relaxation Oscillators," IEEE J. Solid-State Circuits, vol. 18, no. 12, pp. 794-802, 1983.

[15] B. Razavi, "A Study of Phase Noise in CMOS Oscillators," IEEE J. Solid-State Circuits, vol. 31, no. 3, pp. 331-343, 1996.

[16] K.E. Syed and A.A. Abidi, "Gigahertz Voltage-Controlled Ring Oscillator," Electronics Lett., vol. 22, no. 12 pp. 677-679, 1986.

[17] R.R. Cordell and W.G. Garrett, "A Highly Stable VCO for Application in Monolithic Phase-Locked Loops," IEEE J. Solid-State Circuits, vol. 10, no. 6, pp. 480-485, 1975.

[18] R.C. Walker, "Fully Integrated High-Speed Voltage Controlled Ring Oscillator," U.S. Patent, 4884041, 1989.

[19] **김재영**, "**새로운 구조의 온 칩 링 전압 제어 발진기 설계**," **연세대학교 대학원 전자공학과 박사학위논문**, 1996.8.

[20] T.S. Cheung, S.O. Jeon, W.Y. Choi, B.R. Kim, and E.C. Choi, "A Novel 10GHz-Range Voltage-Controlled Differential Ring Oscillator," ITC-CSCC '98, vol. 2, pp. 1461-1464, 1998.

[21] **정태식**, **최우영**, **김봉열**, **최은창**, "2-**입력** 3-**출력을 갖는 차동 반전 증폭기 및 그를 이용한 차동 링 전압 제어 발진 회로**," **국내특허 출원중**, **출원번호**: 97-55297, 1997.

[22] D.L. Campbell, "Interruptable Voltage Controlled Oscillator and Phase Locked Loop Using Same," U.S. Patent, 4,565,976, 1983.

[23] **최은창**, **이범철**, **정태식**, **최우영**, "**쌍의 가변 지연 소자를 이용한** 2**단 링 전압 제어 발진기**," **국내특허 출원중**, **출원번호**: 99-28262, 1999.

[24] **정태식**, **전상오**, **최우영**, **이범철**, **김봉열**, "GHz**급** Charge-pump PLL **응용을 위한 루프 필터 설계**," **대한전자공학회 논문지**, C**편**, 34**권**, 11**호**, pp. 76-85, 1997.

[25] J.R. Wahl and R.E. Hester, "Integrated, High Speed, Zero Hold Current and Delay Compensated Charge Pump Circuit," U.S. Patent, 4847,519, 1989.

[26] **이범철**, **최은창**, **정태식**, **최우영**, "**고속으로 동작하는 충전 펌프 장치**," **국내특허 출원중**, **출원번호**: 99-29262, 1999.

[27] *H-GaAs IV Foundry Design Manual, Ver. 7.0*, Vitesse Semiconductor Corp., Nov. 1997.

[28] H. Statz, P. Newman, I. Smith, R. Pucel, and H. Haus, "GaAs FET Device and Circuit Simulation in SPICE," IEEE Trans. on Electron Dev., vol. 34, no. 2, pp. 160-169, 1987.

[29] G. Larue, T. William, and P. Chan, "FET FET Logic : A High Performance, High Noise Margin E/D Logic Family," IEEE GaAs IC Symp., pp.223-226, 1990.

[30] S. Katsu, S. Nambu, A Simono, and G. Kano, "A Source Coupled FET Logic - A New Current-Mode Approach to GaAs Logic," IEEE Trans. Electron Devices, vol. 32, pp. 1114-1118, 1985.

[31] T. Vu, A. Peczlski, K. Lee, and J. Conger, "The Performance of Source-Coupled FET Logic Circuits that Use GaAs MESFETs," IEEE J. Solid-State Circuits, vol. 23, no. 1, pp. 267-279, 1988.

[32] S. Katsu, S. Nambu, S. Shimano, and G. Kano, "A GaAs Monolithic Frequency Divider Using Source Coupled FET Logic," IEEE Electron Device Lett., vol. 3, no. 8, pp. 197-199, 1982.

[33] *Vitesse GLX and SLX Macrocell Libraries, Document no. G56031-0, Rev. 5.01*, Vitesse Semiconductor Corp., Dec., 1996.

[34] J.T. Wu and R.C. Walker, "A Bipolar 1.5Gb/s Monolithic Phase-Locked Loop for Clock and Data Extraction," in 1992 Symp. VLSI Circuits, Dig.

Tech. Papers, pp. 70-71, 1992.

[35] R.C. Walker, T. Hornak, C.S. Yen, J. Doernberg, and K.H. Springer, "A 1.5Gb/s Link Interface Chipset for Computer Data Transmission," IEEE J. on Selected Areas in Comm., vol. 9, no. 5, pp. 698-703, 1991.

[36] B. Razavi, "A 2GHz 1.6mW Phase-Locked Loop," in 1996 Symp. VLSI Circuits, Dig. Tech. Papers, 1996. pp. 26-27.

[37] VSC8121 - 2.448GHz SONET/SDH Clock Generator Data Sheet, Vitesse Semiconductor Corp., Rev. 4.0, 1999.

[38] S3040 - SONET/SDH Clock Recovery Unit Data Sheet, Applied Micro Circuits Corp., 1998.

[39] N. Ishihara, S. Fujita, M. Togashi, S. Hino, Y. Arai, N. Tanaka, Y. Kobayashi, and Y. Akazawa, "3.5Gb/s × 4Ch Si Bipolar LSI's for Optical Interconnections," IEEE J. of Solid-State Circuits, vol. 30, no. 12, pp. 1493-1501, 1995.

[40] B. Razavi and J.J. Sung, "A 6GHz 60mW BiCMOS Phase-Locked Loop," IEEE J. of Solid-State Circuits, vol. 29, no. 12, pp. 1560-1565, 1994.

ABSTRACT

A Design of GHz-Range GaAs MESFET Phase-Locked Loops

Tae-Sik Cheung
Dept. of Electrical and
Computer Engineering
Graduate School
Yonsei University

In this dissertation, a 2GHz-range PLL(phase-locked loop) and a 10GHz-range PLL are proposed for the applications of Gbps-range data communication systems. The proposed circuits are designed based on 0.5㎛ GaAs MESFET fabrication process and verified by SPICE post-layout simulation.

In order to implement the proposed PLLs, the following novel sub-blocks are proposed.

First, a 10GHz-range VCO(voltage-controlled oscillator) is proposed which uses the frequency doubling effect at the common-source of the SCFL inverter. Consequently, a 10GHz-range differential signal is obtained from 2-stage differential ring oscillator which oscillates at 5GHz-range. SPICE simulation results show that the output frequency range of the proposed VCO is 8.95GHz 10.13GHz for the control voltage range of -1.6V -0.4V, and temperature sensitivity is -5.52MHz/℃ at -25℃ 80℃.

Second, a 2GHz-range VCO is proposed which combines two identical 3-stage ring oscillators by two analog MUXs. The proposed VCO can overcome the MUX operation unstability and VCO tuning range limitation found in previously reported VCOs with analog MUX. The SPICE simulation

results show that the output frequency range of the proposed VCO is 1.48GHz 2.84GHz for the differential control voltage range of -0.8V 0.2V, and temperature sensitivity is -1.82MHz/℃ at 0℃ 80℃.

Third, a high-speed differential charge pump is proposed, which uses a leakage preventing scheme composed of GaAs MESFET diode and current source controlling schemes by feedback loop. It provides more marginal design conditions than the conventional methods using the current source control by feedback loop. SPICE simulation results show that the output relative error of the proposed charge pump is 0.16%/500ns at 80℃.

Using the three proposed circuits mentioned above, a 2GHz-range PLL and a 10GHz-range PLL are designed and verified by SPICE simulation. The simulation results show that the maximum static phase error of the proposed 2GHz-range PLL is 7.88°, its maximum rms jitter is 0.452ps(0.00072UI), the static phase error of the proposed 10GHz-range PLL is 0.62°, and that its rms jitter is 0.048ps(0.00048UI) showing high stability.

PLL, 0.5㎛ GaAs MESFET, 10GHz-range VCO, 2GHz-range VCO, High-speed differential charge pump, SPICE