

# High Speed Equalizers for Backplane Serial Links

연세대학교 대학원

전기전자공학과

이재욱

# High Speed Equalizers for Backplane Serial Links

지도 최 우 영 교수

이 논문을 박사 학위논문으로 제출함

2005 년 6 월 일

연세대학교 대학원

전기전자공학과

이 재 욱

이재욱의 박사 학위논문을 인준함

심사위원 \_\_\_\_\_인

심사위원 \_\_\_\_\_인

심사위원 \_\_\_\_\_인

심사위원 \_\_\_\_\_인

심사위원 \_\_\_\_\_인

연세대학교 대학원

2005년 6월 일

# 차 례

차 례 .....	iv
그 립 차 례 .....	vi
표 차 례 .....	x
국 문 요 약 .....	xi
<b>Chapter 1. Introduction .....</b>	<b>1</b>
1.1 고속 송수신 시스템 .....	1
1.2 전송채널의 특성 .....	4
1.2.1 Cable .....	5
1.2.2 PCB Strip-line .....	8
1.2.3 Package .....	10
1.3 Outline of Dissertation .....	12
<b>Chapter 2. 2Gb/s Pre-emphasis circuit .....</b>	<b>13</b>
2.1 Introduction .....	13
2.2 Pre-emphasis Circuit Structure .....	15
2.3 Control Method and Limitations of Pre-emphasis Circuit .....	17
2.4 Measurement Results .....	22
2.5 Conclusion .....	31
<b>Chapter 3. 2Gb/s Adaptive Line Equalizer .....</b>	<b>32</b>
3.1 Introduction .....	32

<b>3.2 Equalizer Structure</b> .....	35
<b>3.3 Simulation and Measurement Results</b> .....	42
<b>3.4 Conclusion</b> .....	48
<b>Chapter 4. 3Gb/s Adaptive Line Equalizer</b> .....	49
<b>4.1 Introduction</b> .....	49
<b>4.2 Equalizer Structure</b> .....	51
<b>4.2.1 Digitally Controlled Feed-Forward Equalizer</b> .....	52
<b>4.2.2 Bottom Detector</b> .....	57
<b>4.2.3 Swing Controllable Slicer</b> .....	59
<b>4.2.4 Control Block</b> .....	60
<b>4.3 Simulation Results</b> .....	64
<b>4.4 기존 논문과 제안된 Equalizer 성능 비교</b> .....	69
<b>4.5 Conclusion</b> .....	71
<b>Chapter 5. 3Gb/s Adaptive Pre-emphasis</b> .....	72
<b>5.1 Introduction</b> .....	72
<b>5.2 Adaptive Pre-emphasis Structure</b> .....	73
<b>5.3 Simulation Results</b> .....	78
<b>5.4 Conclusion</b> .....	85
<b>Chapter 6. Summary</b> .....	86
<b>References</b> .....	88
<b>Abstract</b> .....	91

# 그림 차례

그림 1-1. 고속 송수신 시스템의 구성 .....	3
그림 1-2. 대용량 스위치와 Line-card .....	3
그림 1-3. 전송채널의 구성 .....	4
그림 1-4. 케이블의 종류 .....	6
그림 1-5. Coaxial 케이블의 주파수 별 감쇄 특성 .....	6
그림 1-6. Attenuation curves for 50-ohm strip guided PCB traces .....	9
그림 1-7. Strip line structure and parameter .....	9
그림 1-8. Package Model .....	11
그림 2-1. Pre-emphasis 회로의 개념도 .....	14
그림 2-2. Pre-emphasis circuit .....	16
그림 2-3. Pre-emphasis Output buffer .....	16
그림 2-4. Pre-emphasis signal .....	19
그림 2-5. Pre-emphasis signal의 두 가지 분류 .....	19
그림 2-6. 채널 길이에 따른 수신 신호의 eye 크기와 변조신호의 전압 .....	21
그림 2-7. Chip photograph .....	24
그림 2-8. Test Board .....	24
그림 2-9. Measurement Setup .....	25
그림 2-10. Pre-emphasis Buffer Output signal (@2Gb/s) .....	26

그림 2-11. Eye diagrams (@2Gb/s) .....	28
그림 2-12. Eye diagram (@2.5Gb/s) .....	29
그림 2-13. 분석에 의한 예상 치와 측정치 비교 .....	30
그림 3-1. Block Diagram of FFE .....	34
그림 3-2. Block Diagram of DFE with FFE .....	34
그림 3-3. Equalizer Block Diagram .....	37
그림 3-4. High-pass filter .....	38
그림 3-5. FFE .....	39
그림 3-6. Limiter Circuit .....	40
그림 3-7. Square Difference Circuit Schematic .....	41
그림 3-8. Convergence Process: SD Circuit Output (VGA control signal) .....	43
그림 3-9. Eye diagrams (@2Gb/s, 0.6m length PCB trace) .....	44
그림 3-10. Eye Diagrams (@2Gb/s, 1.5m length PCB trace) .....	45
그림 3-10. Eye Diagrams (@2Gb/s, 2m length PCB trace) .....	46
그림 3-12. Chip photograph .....	47
그림 4-1. Equalizer Filter with Inductance Load .....	50
그림 4-2. Equalizer Block Diagram .....	52
그림 4-3. Schematic of DCFFE .....	53
그림 4-4. Termination and HPF .....	54
그림 4-5. Frequency response of HPF .....	54
그림 4-6. Schematic of digitally controlled bias generator .....	55

그림 4-7. Gain of DCFE	55
그림 4-8 Phase Response of DCFE	56
그림 4-9. Input and Output Waveform of DCFE	56
그림 4-10. Schematic of Bottom Detector	58
그림 4-11. Waveform of Bottom Detector	58
그림 4-12. Schematic of Slicer	59
그림 4-13. Waveform of Slicer	60
그림 4-14. Control Circuit Block Diagram	62
그림 4-15. Flow Chart of Controller	62
그림 4-16. Schematic of Square Circuit	63
그림 4-17. Equalizer Layout	65
그림 4-18. Eye diagram of line output after 0.2m PCB trace and equalizer output	66
그림 4-19. Eye diagram of line output after 2m PCB trace and equalizer output ..	66
그림 4-20. PCB 길이에 따른 이퀄라이저의 수렴된 제어신호 값	67
그림 4-21. Eye diagrams of equalizer output after 1m PCB trace	68
그림 5-1. 송수신 시스템	73
그림 5-2. Adaptive Pre-emphasis 회로 구성도	74
그림 5-3. Pre-emphasis Circuit	76
그림 5-4. Digital-to-Analog Converter	76
그림 5-5. Pre-emphasis 회로의 출력신호	77
그림 5-6. Pre-emphasis 회로와 Equalizer의 증폭이득	77

그림 5-7. Pre-emphasis simulation 구성 .....	78
그림 5-8. PCB 길이에 따른 이퀄라이저의 수렴된 제어신호 값 .....	79
그림 5-9. Eye Diagram of Pre-emphasis output (3Gb/s, 0.5m PCB trace) .....	80
그림 5-10. Eye Diagram of Pre-emphasis output (3Gb/s, 1m PCB trace) .....	81
그림 5-11. Eye Diagram of Pre-emphasis output (3Gb/s, 1.4m PCB trace) .....	82
그림 5-12. Eye Diagram of Pre-emphasis output (3Gb/s, 2m PCB trace) .....	83
그림 5-13. Pre-emphasis Circuit Layout .....	84

# 표 차 례

표 1.1 Coaxial 케이블의 종류와 특성 .....	7
표 2-1. PCB trace의 Frequency transfer function .....	20
표 4-1. 참고 문헌과의 성능 비교 .....	70

## 국 문 요 약

고속 데이터를 전송할 경우 유선 채널에서 발생하는 심볼간 간섭(Inter-Symbol Interference: ISI)을 줄이기 위하여 송신 단에는 Pre-emphasis 회로가 수신 단에는 이퀄라이저 회로가 사용된다. 본 논문은 2Gb/s와 3Gb/s 대역에서 동작하는 Pre-emphasis 회로와 이퀄라이저 회로에 대한 연구 결과이다.

2Gb/s 대역의 Pre-emphasis 회로의 제어와 출력 신호의 관계에 대해 분석하고 수신 부에서 나타날 신호를 예측하는 방법이 새로이 제안되었으며, 이를 측정 결과를 통해 검증하였다. 또, 2Gb/s 대역에서 동작하는 새로운 구조의 이퀄라이저를 제안하여, 여러 가지 길이의 PCB 패턴에서 전송한 측정 결과를 통해서 그 동작을 검증하였다.

보다 높은 전송 속도인 3Gb/s 대역에서 동작하는 새로운 구조의 이퀄라이저를 제안하고, 시뮬레이션 결과를 통해 그 동작을 검증하였다. 디지털 제어 방식을 사용하여 수립된 이후 이퀄라이저의 동작이 매우 안정적이며, 전력 소모를 줄일 수 있는 장점이 있으며, 증폭이득을 디지털화함으로써 수신 채널에 대한 정보를 저장할 수 있는 장점이 있다.

Pre-emphasis 회로의 단점으로 생각되는 외부 제어를 적응 동작으로 바꾸기 위해서 새로운 방식을 제안했다. 디지털 방식으로 제어되는 이퀄라이저를 이용하여 채널에 대한 정보를 추출한 후 같은 전달 특성을 갖도록 설계된 Pre-emphasis 회로에 추출된 증폭이득을 적용시킴으로써 같은 특성의 채널에서 송수신하는 두

시스템에서 사용할 수 있도록 하였다.

2Gb/s 대역에서 동작하는 Pre-emphasis 회로와 이퀄라이저는 0.25 $\mu$ m CMOS 공정을 사용하여 설계되었으며, 시뮬레이션과 측정을 통해 그 성능을 검증하였다. 3Gb/s 대역에서 동작하는 두 회로는 0.18 $\mu$ m CMOS 공정을 사용하여 설계되었으며, 시뮬레이션을 통해 검증하였다. 2m 길이의 PCB 패턴에서의 송수신이 가능하였으며, 작은 면적과 작은 소모전력을 장점을 가진다.

---

**KEYWORDS:** Equalizer, Pre-emphasis, Transmitter, Receiver, Transceiver,  
Frequency dependent loss

# Chapter 1. Introduction

## 1.1 고속 송수신 시스템

빛의 속도는 느리다. 빛이 우리의 코에서 눈까지 오는 시간은 약 100 picoseconds가 걸린다. 현대생활에 쓰이는 디지털 제품이 필요로 하는 제어속도는 이미 이러한 시간 간격만큼 짧아졌으며, 실리콘에서뿐만 아니라 물리적으로 시스템 보드와 컴퓨터 메인 보드에서 나타나는 신호들은 이 정도의 짧은 시간간격에서 해석되고 제어되어야 한다. 높은 주파수로 동작하는 시스템들에서는 도선은 더 이상 간단한 형태의 전선으로 생각되지 않으며, 높은 주파수에 의한 기생효과가 나타나게 된다. 높은 주파수의 신호를 가까운 거리의 시스템과 송수신할 경우 낮은 주파수에서는 도선으로 생각되었던 것들 역시 전송라인으로 해석되어야 하며, 전송라인이 적절히 다루어지지 않으면, 불시에 시스템 에러가 생기게 된다.

멀티미디어 데이터 통신의 요구에 의해 네트워크 장비의 동작 속도는 수 Gb/s에 달하고 있다. 대용량의 정보를 처리하기 위해서 칩의 동작속도를 증가시키는 것만으로는 부족하게 되었으며, 기존의 병렬 전송 방식을 사용할 때 소자의 I/O 수의 제한이나 채널간의 지연으로 인한 전송거리의 제한 등과 같은 많은 문제점들이 나타나고 있다. 이와 같은 문제점들을 해결하기 위해서는 기존의 병렬 전송 방식 대신 케이블을 사용한 고속의 직렬 전송 방식을 사용하는 것이 시스템의 성능이나 경제적인 측면에서 유리하다.

버스를 통한 병렬 데이터 전송방식이 직렬전송방식으로 바뀔에 따라 데이터

전송 속도가 더욱더 급속히 증가하였다. 데이터 전송에 사용되었던 도선의 Bandwidth는 이러한 요구를 만족시키지 못하게 되었으며, 채널에서는 Frequency-dependent Loss와 크로스토크 문제가 발생하였다. 최근 이러한 채널 성능을 개선하기 위한 해결책들이 제시되고 있다.

그림 1-1은 수 Gb/s 대역의 고속 데이터를 송수신하는 시스템의 구성을 나타내고 있다. 초기에는 상대적으로 동작속도가 낮은 디지털 연산장치의 병렬 데이터를 직렬 송수신하기 위해 클럭을 합성하는 Phase Locked Loops(PLL)과 수신된 데이터를 복원하기 위한 Clock and Data Recovery(CDR) 회로에 관한 연구가 활발히 진행되었으며, timing noise(jitter)를 줄이기 위해 많은 방법들이 제시되었다. 또, 그림 1-2와 같은 대용량 스위치의 경우 송수신 길이가 수 미터에 달하게 되어 채널의 부족한 대역폭으로 생기는 Frequency-dependent Loss를 해결하기 위한 이퀄라이저에 대한 연구가 활발히 진행되고 있다.

NRZ 타입의 데이터를 copper 채널을 통해 전송할 경우 신호를 손상시키는 많은 요인들이 존재한다. 그 중에서 채널의 주파수에 따른 감쇄는 ISI (Inter Symbol Interference)를 일으키게 된다[1]. 채널 특성을 극복하기 위해서 수신 단에 Equalizer를 구현하여 수신 신호의 성능을 개선하는 시도가 계속되고 있으며[2], 송신 단에 송신신호를 변조할 수 있는 회로를 구현하여 전송 신호의 성능을 개선하는 시도가 이루어지고 있다[1,3]. 송신 신호를 변조하여 전송 신호의 성능을 개선시키는 방법으로 pre-emphasis 회로가 사용되고 있으며, 이 회로는 지연 소자를 통한 송신 데이터 조합을 통해 출력 버퍼의 신호크기를 변조하여 채널을 지난 후의 신호가 개선된 성능을 갖도록 한다.

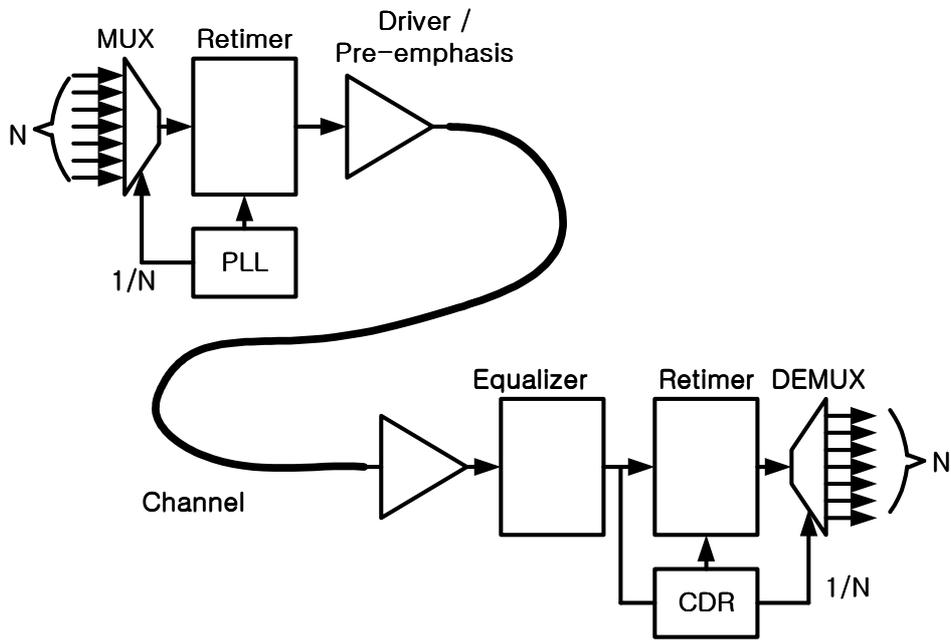


그림 1-1. 고속 송수신 시스템의 구성

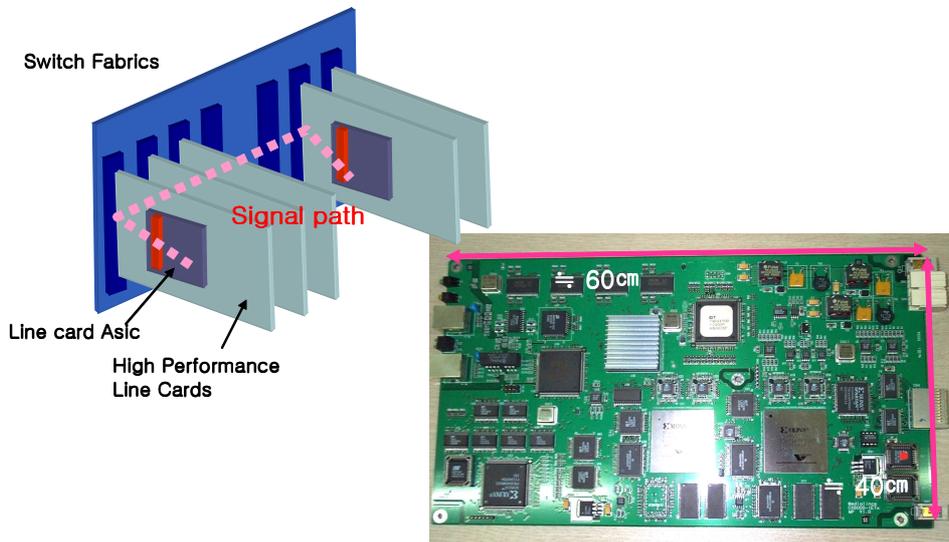


그림 1-2. 대용량 스위치와 Line-card

## 1.2 전송채널의 특성

고속 회로를 설계하기 위해 simulation상에서 성능 검증을 위해서는 채널에 대한 모델링이 필수적이다. 고속 송수신 시스템을 연결하는 채널의 구성은 그림 1-3과 같이 이루어진다. 송신부의 출력버퍼를 통해 나온 신호는 PAD를 거쳐서 칩의 패키지를 통해 PCB 패턴을 지나게 된다. 긴 거리를 전송해야 할 경우 커넥터를 통해 케이블을 지나게 되고, 수신 부와 연결되기 위해 역시 마찬가지로의 연결을 갖게 된다. 2절에서는 채널을 구성하는 각 부분의 특성에 대해서 알아보겠다.

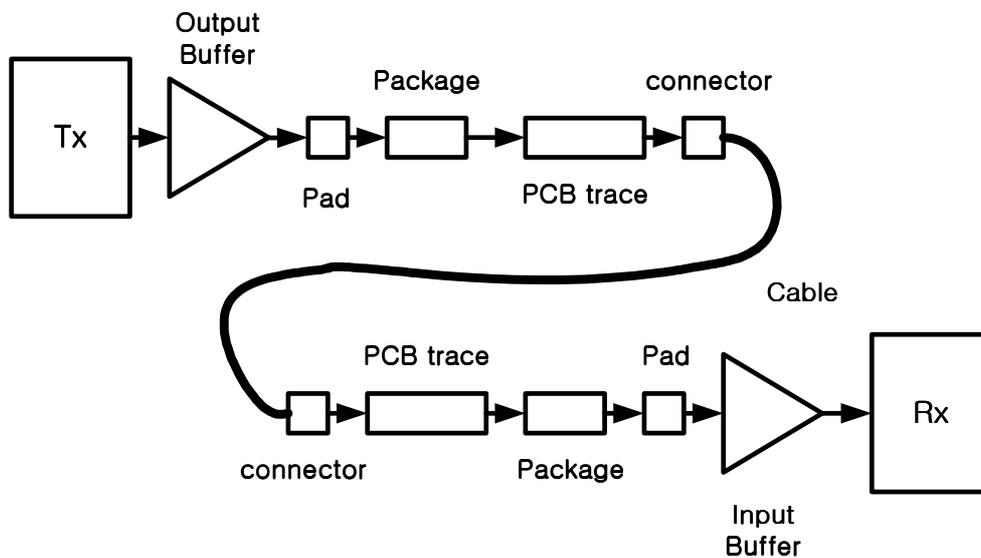


그림 1-3 전송채널의 구성

### 1.2.1 Cable

수 Gb/s 데이터를 송수신하기 위한 채널로 케이블이 사용되어 왔다. 디지털 시스템에서 고속 데이터 전송을 위한 케이블은 특성 임피던스를 조절할 수 있어야 하며, 송수신 신호의 **return path**가 구성될 수 있는 구조이어야 한다. 이러한 요구 조건을 만족시키기 위하여 그림 1-4에 나타나 있는 구조의 케이블을 사용한다. 이중 Coaxial 케이블은 전자기 신호가 케이블 안에서만 전파 되어 다른 선과의 간섭이 없고 특성 임피던스와 감쇄 특성이 우수하여 고속 신호 전송에 많이 쓰이고 있다.

Coaxial 케이블의 감쇄 특성과 전송 속도는 케이블의 구조와 내부와 외부에 사용되는 전도체와 유전물질에 의해 좌우된다. 사용되는 특성 임피던스는  $50\Omega\sim 100\Omega$ 이며, 설계하는 시스템 응용분야에 따라서 다양한 케이블이 사용되고 있다. 이중 주로 사용되는 Coaxial 케이블의 종류와 특성을 표 1-1에 정리하였다[4].

여러 가지 특성 중 신호의 고속 송수신을 위해서는 케이블의 주파수 별 감쇄 특성이 중요하며, 흔히 쓰이는 RG-58계열의 주파수 별 감쇄 특성을 그림 1-5에 나타내었다[5]. 케이블에서의 감쇄는 dB단위로 볼 때 주파수에 대해서 선형적으로 증가함을 알 수 있다. 신호의 주파수가 1.5GHz일 때 RG58-A/U 케이블의 경우 길이가 약 30m일 때 약 30dB의 감쇄가 발생함을 알 수 있다.

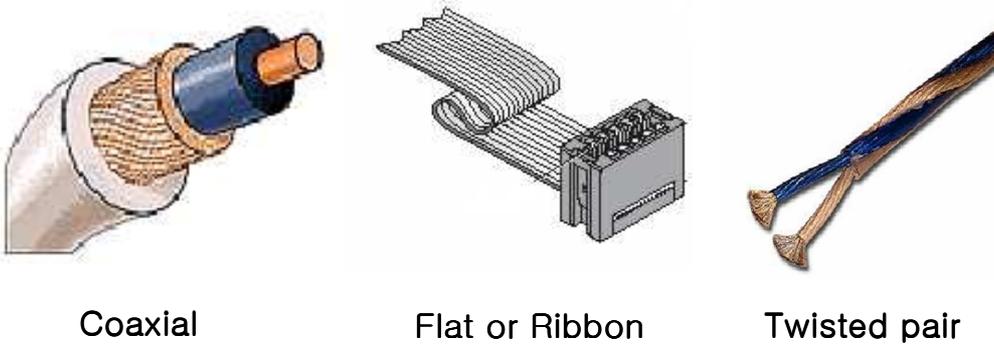


그림 1-4. 케이블의 종류

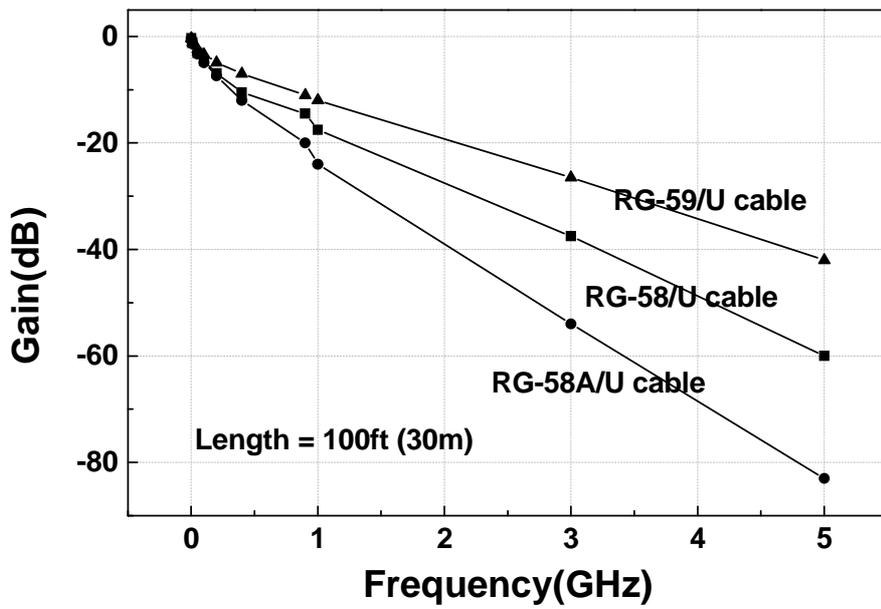


그림 1-5. Coaxial 케이블의 주파수 별 감쇄 특성

표 1.1 Coaxial 케이블의 종류와 특성[4]

Cable Designation	Dielectric	Outer Diameter (in)	Characteristic Impedance ( $\Omega$ )	Capacitance (pF/m)	Loss@1GHz (db/100m)	Velocity factor v/c
RG-11A/U	Polyethylene	0.405	75	67.3	7.1	0.66
RG-8A/U	Polyethylene	0.405	52	96.8	8.0	0.66
RG-59/U	Polyethylene foam	0.242	75	56.7	10.9	0.78
RG-58A/U	Polyethylene foam	0.198	50	85.3	14.5	0.78
RG-62A/U	Polyethylene / air	0.238	93	44.3	8.7	0.84
RG-174/U	Polyethylene	0.101	50	101.0	34.0	0.66
RG-178B/U	Teflon	0.071	50	95.1	46.0	0.70
RG-179/U	Teflon	0.096	75	64.0	24.0	0.70
M17/133	Teflon	0.086	50	105.0	22.0	0.70

## 1.2.2 PCB Strip-line

Coaxial 케이블 외에 고속 신호 전송을 위한 채널로는 Strip-line 형태의 PCB 패턴이 사용된다. 케이블이나 PCB보드 패턴을 통해 신호를 전송할 때, 채널의 skin-depth에 의한 저항은 고 주파수 신호의 감쇄를 일으키게 된다. 이에 반해 저 주파 성분의 신호는 상대적으로 작은 감쇄를 가지게 되어 신호의 심볼간 간섭인 ISI가 발생하는 결과를 가져오게 된다. 폭  $W$ 를 가진 스트립 라인이 가지는 frequency-dependent 저항은 식 1-1과 같이 표현된다[1]:

$$R(f) = \frac{1}{2W} \left( \frac{\pi \mu f}{\sigma} \right)^{1/2} \quad (1-1)$$

여기서  $\sigma$  는 패턴의 전도도를 나타낸다. (구리의 경우  $5.8 \times 10^7$  ohms/m). 저항 값은 주파수의 함수로 나타나며, 주파수가 올라갈수록 그 값이 커지는 것을 알 수 있다. 그림 1-6는 PCB 패턴에서 나타나는 주파수에 따른 감쇄를 나타낸 것으로 그림 1-7과 같은 구조를 갖는 HSPICE-W 모델을 이용하였다. W-model은 skin-effect에 의한 loss 및 dielectric loss를 모두 포함하고 있다[6]. Strip-line의 구조는 PCB-impedance calculator 프로그램을 사용하여 설계하였으며[7], differential impedance를 100 $\Omega$ 으로 계산한 값이다. 그림 1-6에서 보여지듯이 주파수가 1GHz일 때 패턴 길이 1m당 신호의 60%의 감쇄가 생김을 알 수 있고, 2m의 길이에서 신호의 주파수가 1.5GHz일 때 FR4 재질의 PCB 에서 약 10dB의 감쇄가 발생함을 알 수 있다.

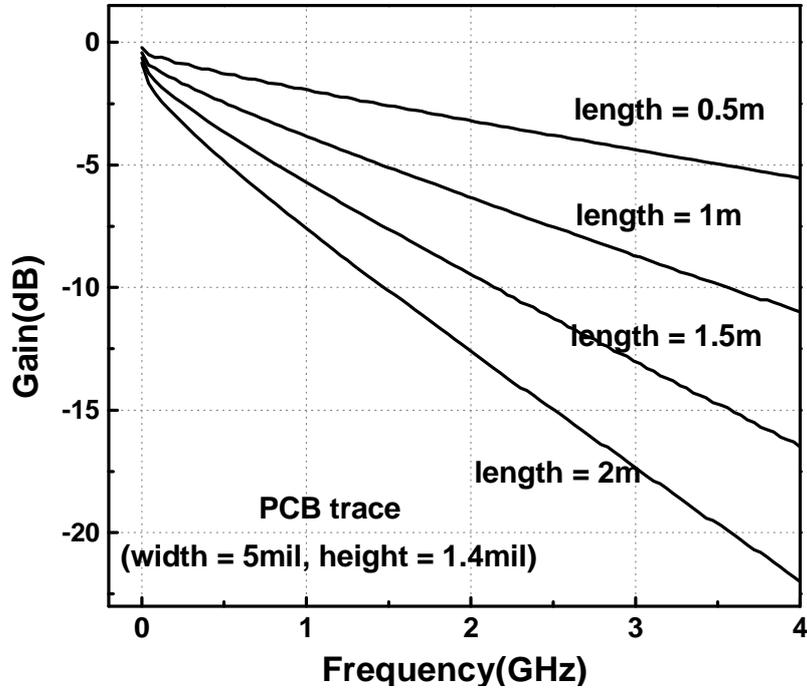


그림 1-6. Attenuation curves for 50-ohm strip guided PCB traces.

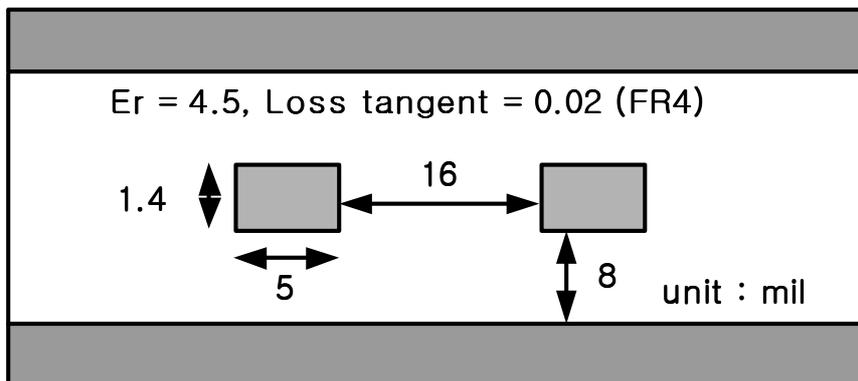
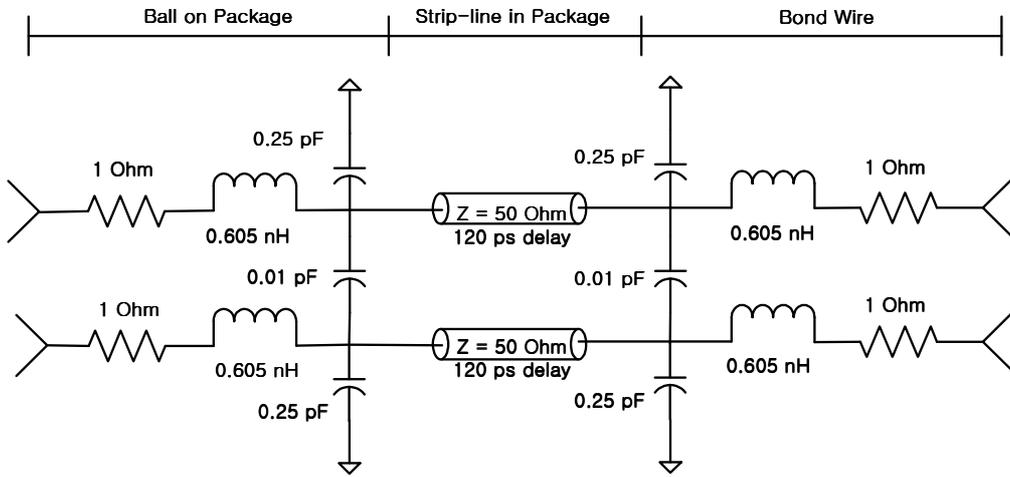


그림 1-7. Strip line structure and parameter

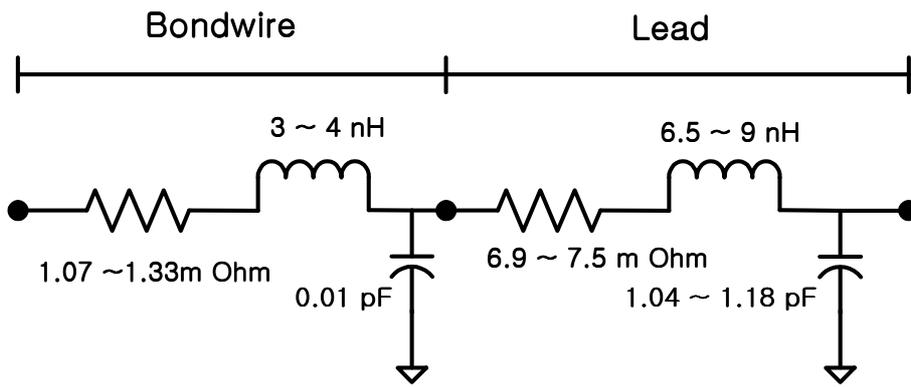
### 1.2.3 Package

칩간의 데이터 전송 속도가 증가함에 따라 데이터를 송수신하는 칩의 package는 채널의 일부분으로 빠져서는 안 되는 요소이다. 일반적으로 package model은 package 종류에 따라 다양한 값을 가지며 고속 칩의 경우 package 영향이 적은 편에 속하는 Ball Grid Array(BGA) 타입을 많이 사용하는 추세이다. 그림 1-8(a)는 실제 BGA 패키지 모델의 예이다. 세 부분으로 나누어서 Lumped model을 사용하였으며, ball과 bonding wire 사이에 존재하는 라인을 전송라인으로 모델링되어 있다. 또, 그림 1-8(b)는 Quad Flat Package(QFP) 모델의 예이다. Bondwire와 Lead 두 부분으로 나누어져 있으며, 사각형으로 구성되어 핀의 위치에 따라 그 특성이 다르게 나타난다. 칩의 가운데 위치할수록 기생성분이 작게 나타나며, 구석으로 갈수록 그 기생성분이 크게 나타난다. 이밖에 pad와 connector는 캐패시터를 이용해 모델링 할 수 있고, 채널의 대역폭을 떨어뜨리는 역할을 하게 된다.

본 논문의 시뮬레이션에서는 BGA 패키지 모델을 사용하였으며, 칩의 pad의 모델링은 1.5pF의 값을 사용하였다.



(a)



(b)

그림 1-8. Package Model

(a) BGA (b) QFP

### 1.3 Outline of Dissertation

Gb/s 대역의 고속 데이터를 전송할 경우 유선 채널에서 발생하는 ISI를 줄이기 위한 방법으로 송신단의 Pre-emphasis 회로와 수신 단의 이퀄라이저가 있다. 본 논문에서는 2Gb/s와 3Gb/s 대역에서 동작하는 Pre-emphasis 회로와 이퀄라이저 회로에 대해서 설명한다

2장에서는 2Gb/s 대역의 Pre-emphasis 회로의 제어와 출력 신호의 관계에 대해 분석하고 수신 부에서 나타날 신호를 예측하는 방법에 대해 설명할 것이다. 분석된 결과를 토대로 설계된 회로를 측정된 결과에 대해서 논할 것이다. 3장에서는 2Gb/s 대역에서 동작하는 새로운 구조의 이퀄라이저에 대해 설명하며 설계된 회로의 측정에서 나타난 2m 길이의 PCB 패턴을 전송한 결과를 보일 것이다. 4장에서는 3Gb/s 대역에서 동작하는 새로운 구조의 이퀄라이저에 대해 설명한다. 기존에 발표된 구조와의 비교를 통해서 장단점을 논할 것이며, 시뮬레이션 결과를 통해 그 동작을 검증할 것이다. 5장에서는 3Gb/s 대역에서 동작하는 Pre-emphasis 회로에 대해 설명한다. 외부의 제어가 필요한 Pre-emphasis 회로의 단점을 없애기 위해 4장에서 설명된 이퀄라이저와 연결하여 적응적 동작을 수행하는 방법에 대해 설명할 것이며, 채널로 사용된 PCB 패턴의 길이에 따른 두 블록의 동작을 시뮬레이션 결과를 통해 검증할 것이다. 마지막으로 6장에서는 설계된 회로의 동작과 장단점에 대해 정리할 것이다.

## Chapter 2. 2Gb/s Pre-emphasis circuit

### 2.1 Introduction

Gb/s 대역의 고속 시스템에 사용되는 pre-emphasis 회로는 1bit의 지연을 사용한 FIR 필터구조가 주로 사용되고 있으며[1,3], 최근에는 2bit 혹은 3bit까지 확장된 구조가 발표되고 있다

높은 주파수 대역의 신호에서 전류는 conductor의 표면을 통해서 이동하게 된다. 이러한 현상으로 인하여 전송 채널의 저항은 주파수의 함수로 나타나게 되며 주파수가 높아질수록 채널의 저항이 커져서 ISI가 발생하게 된다. 이러한 채널의 특성에 맞게 전송 신호를 변조할 경우 채널의 감쇄 영향에 따라 나타나는 수신 신호의 성능은 개선될 수 있다. NRZ 형태로 전송되는 신호는 두 가지 상태가 존재하는데, 반대 상태로 천이되는 신호와 현 상태가 유지되는 신호로 나누어 생각할 수 있다. 전송 신호의 고속 성분은 반대 상태로 천이 될 때 발생하게 되며, 데이터가 천이 될 때 큰 크기의 신호를 발생시키는 방법으로 채널에서 발생하게 되는 ISI의 영향을 줄일 수 있다. 송신할 데이터에서 이 데이터를 한 주기 지연시킨 데이터를 일정 비율(K) 빼 주게 되면 데이터의 천이가 없을 때보다 천이가 있을 경우 더 큰 신호를 얻을 수 있다. 이러한 전달 특성을 가지는 블록은 그림 2-1과 같은 구조로 간단히 구성할 수 있다. 채널의 감쇄 특성에 따라 송신 신호의 성능을 개선시키기 위해서 변조 상수(K)를 변화시킨다.

2장에서는 이러한 고속 pre-emphasis 회로의 설계, 구현을 통해 전송된 신호

의 성능 개선을 예측하는 방법과 채널 특성에 따른 전송 속도 및 거리의 한계를 분석하였다.

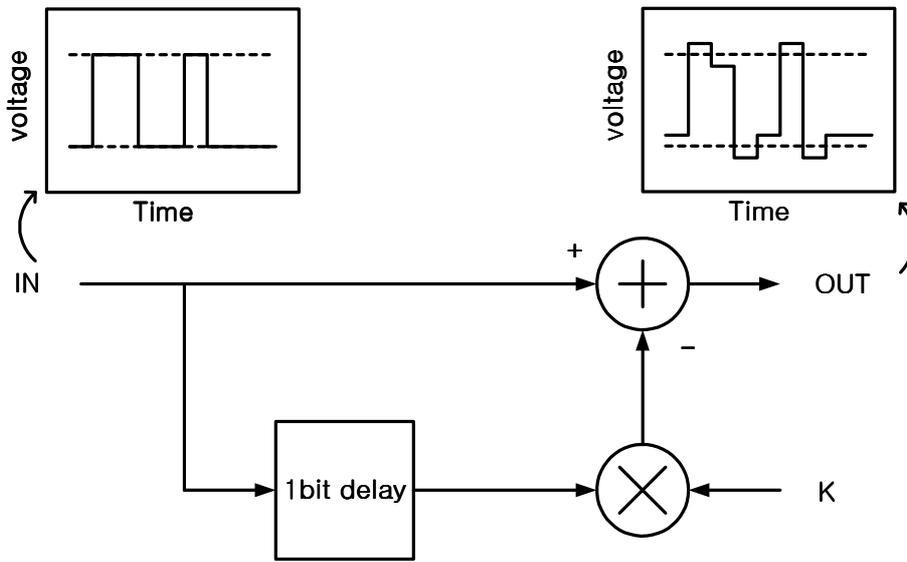


그림 2-1. Pre-emphasis 회로의 개념도

## 2.2 Pre-emphasis Circuit Structure

Pre-emphasis 회로는 그림 2-2와 같이 1bit 지연을 위한 D-F/F(D flip-flop)와 그림 2-3의 출력 버퍼로 이루어져 있다. 데이터의 상태가 천이될 때 지연된 데이터의 반전된 값을 더함으로써 출력 신호의 크기가 커지게 되며, 상태가 유지될 때 지연된 데이터에 의해 일정한 크기의 전류를 뺌으로써 출력 신호의 크기는 작아진다. 출력 전압은 출력 버퍼의 driving 전류와 termination 저항에 의해서 결정되며, 저항 값은 임피던스 정합을 위해 50ohm이 사용된다. 설계된 회로는 채널 특성에 맞는 제어를 위하여 외부에서 변조계수를 조절함으로써 pre-emphasis 전류 크기를 조절할 수 있다.

상용 칩에서 널리 사용되는 CML output buffer의 특성은 송수신 단의 termination 저항 50Ω에 각각 400mV의 출력이 나오도록 하는 것이다. Pre-emphasis 회로의 출력전압을 400mV로 만들기 위해서는 변조되지 않을 경우의 driving 전류가 16mA가 되어야 한다. 설계된 Pre-emphasis 회로는 변조되지 않을 경우 16mA의 driving 전류를 사용하게 되며, 변조 계수에 따라서 각각 2.5mA, 5mA, 7.5mA의 전류가 추가되도록 설계되었다.

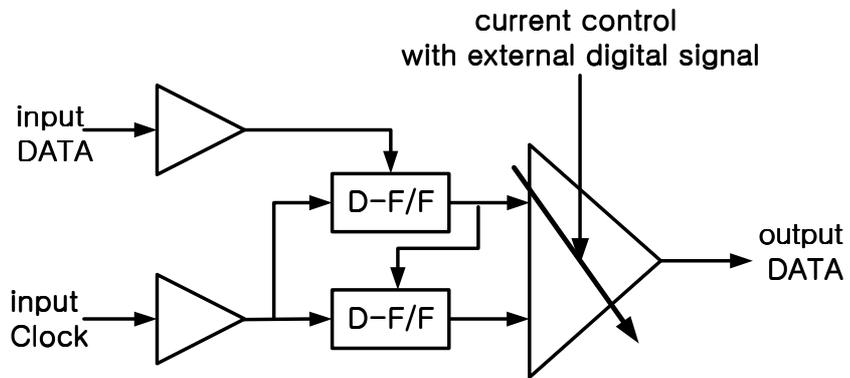


그림 2-2. Pre-emphasis circuit

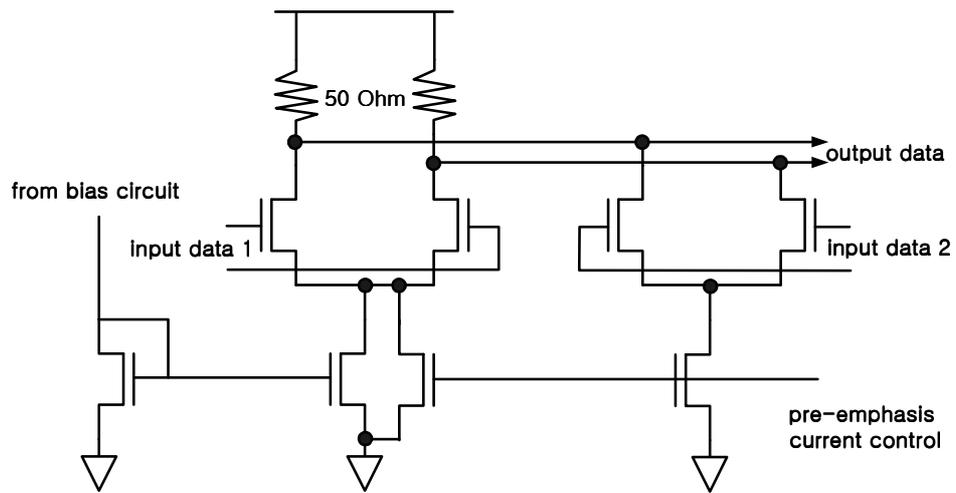


그림 2-3. Pre-emphasis Output buffer

### 2.3 Control Method and Limitations of Pre-emphasis Circuit

Pre-emphasis 출력버퍼에 의해 송신된 신호는 거리에 따라 다른 특성으로 나타나게 된다. 수신 단에서 깨끗한 eye diagram을 가지기 위한 변조 방법은 채널 특성과 거리에 따라 변조 계수를 예측할 수 있어야 하며, 채널 특성과 거리에 의한 한계를 알 수 있어야 한다. 이러한 분석이 이루어지면 Pre-emphasis 신호를 전송할 경우 어느 정도 길이의 채널을 지난 후 이상적인 eye 가 나타날 것인지 예상할 수 있다. 송신하는 신호의 크기는 출력 버퍼의 전류 크기와 termination 저항에 의해 나타나게 되며, 전송라인의 임피던스와 정확한 정합이 이루어 졌을 경우 신호크기를 예상할 수 있다.

Pre-emphasis 회로에 의해서 변조된 신호의 크기를 그림 2-4와 같이  $V_{pre}$ ,  $V_m$ 에 의해 정의하였을 경우 다음 식과 같이 표현할 수 있다.

$$V_{p-p} = V_m + 2V_{pre} \quad (2-1)$$

여기서, 전송신호의 Data rate를 DR, 최대 Data Frequency를 DF, HDF는 DF의 절반 주파수라고 하면 다음과 같은 관계가 성립한다

$$HDF = 1/2 \times DF = 1/4 \times DR \quad (2-2)$$

전송할 채널의 전달함수를  $H(S)$ 라고 한다면, 수신 단에 나타나는 eye 크기는 다음과 같이 가정할 수 있다. 송신 신호를 그림 2-5와 같이 매번 천이가 있는 A와 같은 형태의 신호와 B와 같이 2비트씩 연속된 데이터를 가지고 있는 신호로 나누어 생각하여 A 신호는 주파수 DF, 크기  $V_{p-p}$ 의 sine파 성분을 가장 많이 가지게 되며, B 신호는 주파수 DR, 크기  $V_m$ 을 가지는 sine파 성분을 가장 많이 가지게 된다. 송신 신호를 그림 2-5와 같이 두 가지로 분류하고 각각의 신호가 가지는

가장 큰 성분만을 사용하여 송신할 때 수신 측에 나타날 신호를 예상해 볼 수 있다. 즉, A 신호는 채널의 영향에 의해 수신 단에 전달되면,  $V_A = V_{p-p} \times H(DF)$ 로 전달되게 되며, B 신호는 채널의 영향에 따라 수신 단에 전달되었을 때  $V_B = V_m \times H(HDF)$ 의 형태로 나타나게 된다.  $V_A$ 와  $V_B$ 가 같은 크기가 될 때 가장 큰 eye가 생성되면, 식 2-3과 같이 정리된다.

$$V_{eye} = V_{p-p} \times H(DF) = V_m \times H(HDF) \quad (2-3)$$

식 2-1과 2-3을 이용해서 정리를 해보면 수신 단에서 최적의 eye diagram을 얻기 위한 조건으로 다음과 같은 식을 얻을 수 있다.

$$V_{pre} = 0.5 \times V_m \times \{H(HDF)/H(DF) - 1\} \quad (2-4)$$

$V_{p-p}$ 는 출력 버퍼의 전류에 의해서 제한되며,  $V_{eye}$ 는 수신 단의 sensitivity에 의해서 제한을 가지게 된다. 임피던스 값이 약 50ohm이 되도록 구성한 그림 1-7과 같은 구조의 HSPICE W-model을 이용하여 PCB 패턴의 전달함수를 구해보면 표 2-1과 같은 채널 특성을 가지며, 이 값을 이용하여 송신 단의  $V_{p-p}$ 값이 1V로 제한될 때 수신 단에서 관찰되는  $V_{eye}$ 를 식 2-3에 의해서 예측할 수 있다.  $V_{pre}$  값과  $V_m$  값을 알 수 있으므로 Pre-emphasis 회로를 동작시킬 때 어떤 변조 값을 가지는 것이 수신 단에서의 신호가 갖는 eye를 최적으로 할 수 있을지 계산할 수 있다. Data rate 2Gb/s와 3Gb/s에서 예측되는  $V_{eye}$ 와 그에 필요한  $V_{pre}$  값과  $V_m$  값을 그림 2-6에 정리하였다.

그림 2-6에서 볼 수 있듯이 출력버퍼의 최대 전압이 1V라고 할 때 수신 단의 sensitivity가 0.1V라면 2Gb/s의 데이터를 송신할 때 2.5m 이상의 거리에서는 정확한 데이터 수신이 불가능함을 예상할 수 있으며, 3Gb/s의 데이터일 경우 2m

이상의 거리에서는 수신 단이 데이터를 정확히 복원할 수 없음을 예상할 수 있다. 분석된 데이터는 최적의 **Pre-emphasis**를 이용하여 데이터를 송신하고, 채널특성에 따른 ISI를 제외한 noise가 없을 경우를 가정한 것이므로 실제 회로의 잡음 환경에서는 이보다 더 좋지 않은 성능이 예상된다.

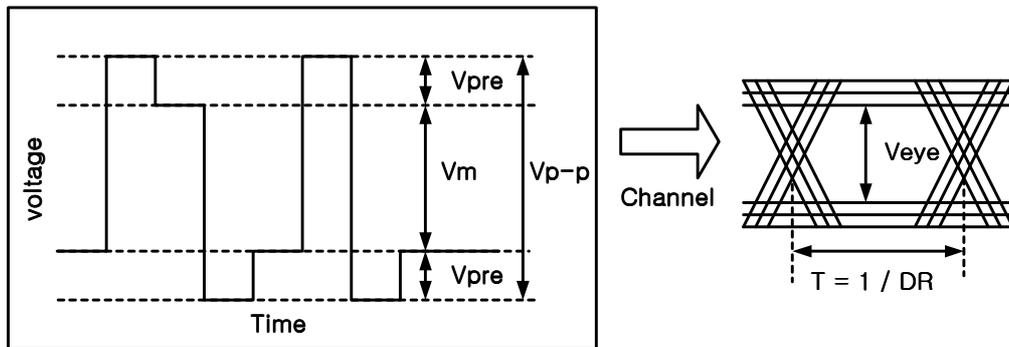


그림 2-4. Pre-emphasis signal

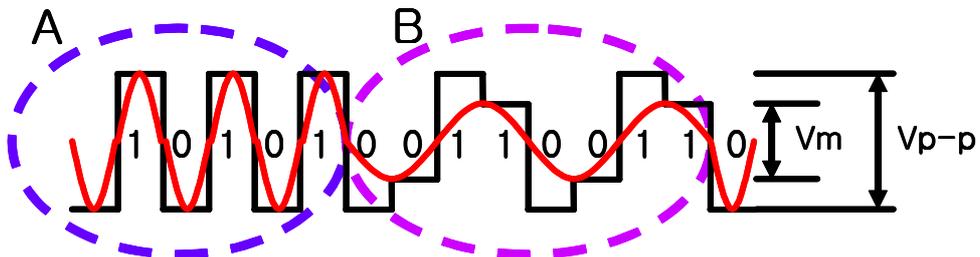
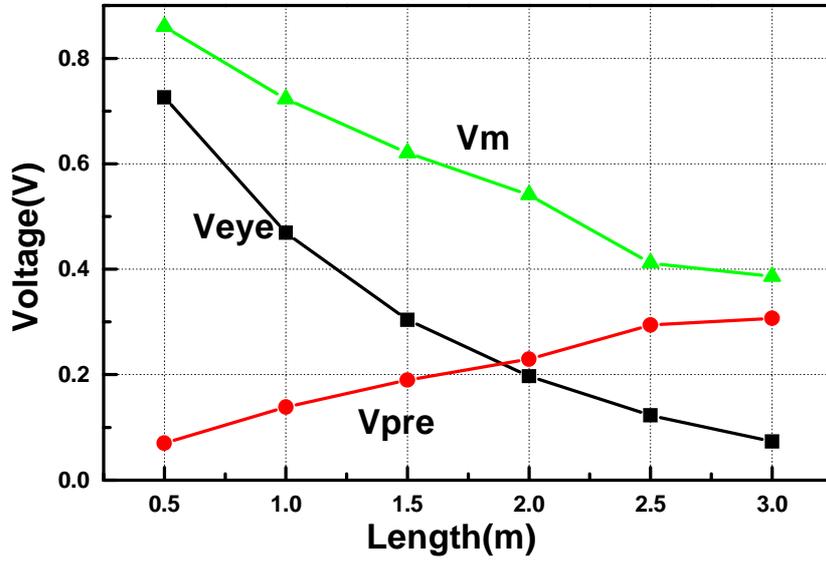


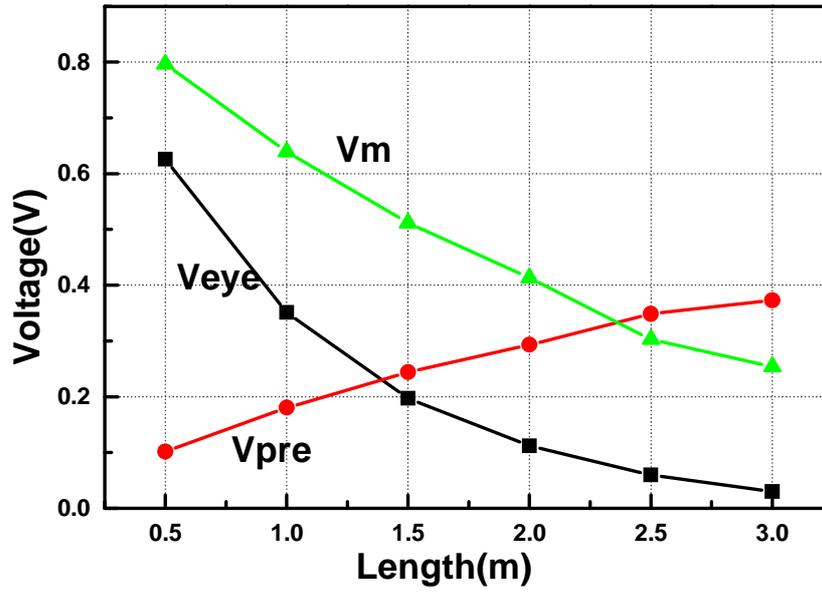
그림 2-5. Pre-emphasis signal의 두 가지 분류

표 2-1. PCB trace의 Frequency transfer function

<b>data rate</b>	<b>2Gb/s</b>		<b>3Gb/s</b>	
<b>length(m)</b>	<b>H(HDF)</b>	<b>H(DF)</b>	<b>H(HDF)</b>	<b>H(DF)</b>
0.5	0.844	0.726	0.786	0.626
1	0.649	0.469	0.549	0.351
1.5	0.49	0.304	0.385	0.197
2	0.364	0.197	0.271	0.112
2.5	0.299	0.123	0.198	0.06
3	0.189	0.073	0.118	0.03



(a)



(b)

그림 2-6. 채널 길이에 따른 수신 신호의 eye 크기와 변조신호의 전압;  
(a)2Gb/s일 때, (b)3Gb/s일 때

## 2.4 Measurement Results

그림 2-7은 제작된 Pre-emphasis 회로의 칩 사진으로 면적은 약 0.12mm<sup>2</sup>이다. 측정을 위하여 같은 칩 내부에 제작된 PLL(Phase Locked Loops)에 의해서 클록을 제공받으며, 외부에서 입력되는 데이터를 Pre-emphasis 회로를 통해서 출력하도록 되어 있다. Chip의 측정을 위하여 그림 2-8과 같은 측정용 보드를 제작하였다. 제작된 측정용 보드는 FR4 재질의 4층 기판이다. 그림 2-9에 측정 방법을 나타내었다. 길이 30cm, 60cm, 120cm의 테스트 패턴이 측정을 위해서 사용되었으며, 측정용 보드에서 칩과 커넥터까지의 패턴 길이가 약 10cm로 나타났으며, 커넥터 사이의 연결과 테스트 패턴과 측정 장비와의 연결을 위해 사용된 케이블의 길이가 약 50cm이었으므로 그 영향을 10cm의 PCB 패턴이 추가된 것으로 가정하였다.

그림 2-10은 설계된 Pre-emphasis 회로를 2Gb/s에서 동작시켰을 때 나타난 측정 결과이다. 4가지 변조 방식이 있으며, 각각 pre-emphasis 전류를 넣지 않았을 경우와 2.5mA, 5mA, 7.5mA의 전류를 사용하였을 경우에 대하여 전송라인을 통과시키지 않았을 때 나타난 파형이다.

제작된 Pre-emphasis 회로의 성능을 검증하기 위하여 2Gb/s 대역에서 30cm, 60cm, 120cm의 PCB trace를 사용하여, 각 전송 거리에 따른 각각의 Pre-emphasis 출력파형을 측정하였다. 거리가 길어질수록 변조 값을 키워야 깨끗한 eye diagram을 얻을 수 있었으며, 그림 2-11에서 각 경우의 eye diagram을 나타내었다. 제작된 회로의 출력은 pre-emphasis 동작을 하지 않을 경우 16mA를 구동하여 400mV의 출력 값을 갖도록 설계되어 있으며, pre-emphasis 동작을 할 경우 더 많은 전류를 흘리게 된다. 각각의 경우에 대한 eye diagram을 살펴보면 채널의 감쇄에

의해서 수신 단에 나타나는 eye의 크기가 작아졌지만 깨끗하게 나타나는 것을 알 수 있으며, 거리에 따른 pre-emphasis 계수를 좀더 세분화하여 제어할 경우 보다 개선된 eye를 얻을 수 있을 것이다. Coaxial cable 경우 frequency dependent loss가 PCB 패턴보다 작게 일어나지만 주파수 응답을 알 수 있을 경우에 PCB trace와 같이 전송 신호의 eye opening을 예측할 수 있다.

그림 2-11(c)의 경우 예측된 값과의 비교를 해 보면, 전송된 채널의 길이는 실험에 사용된 PCB trace 외에 측정을 위해 장비와 연결된 케이블과 칩 측정용 PCB board의 패턴이 추가되었으며, 추가된 채널 길이를 약 20cm로 생각하여 전송 채널의 길이를 140cm로 생각할 수 있다. 2Gb/s에서의 1.4m 전송 시 발생하는 eye 값 0.35와 출력 버퍼의 7.5mA 변조 시 출력 전압이 그림 2-10의 (d)에서 확인하면 0.58V이므로, 출력 eye의 크기는 약 200mV가 될 것을 예측할 수 있다. 이것은 그림 2-11(c)의 eye가 약 200mV로 나타나므로 예측된 결과와 일치함을 알 수 있다. 그림 2-12에 2.5Gb/s 데이터를 전송했을 경우 측정된 결과를 나타내었다. 2.5Gb/s데이터의 경우 채널에 의한 ISI영향이 더욱 심화되어 나타난 것을 알 수 있고, 7.5mA의 pre-emphasis 출력에 의해 eye가 확연히 개선되었음을 알 수 있다. 분석된 값은 채널의 ISI 만을 감안한 것으로 추가의 noise에 의해 성능이 악화될 수 있으며, 사용되는 칩의 패키지, 전송 채널의 임피던스 부정합 등에 의해서 더욱 악화될 수 있을 것으로 생각된다. 세가지 길이의 패턴에 2Gb/s 데이터를 전송한 측정값과 140cm의 테스트 패턴에 2.5Gb/s 데이터를 전송한 측정 값을 그림 2-13에 나타내었다. 또, 분석에 의한 예상 값을 같이 나타내었다. 측정치가 예상된 값과 같은 경향을 가지고 있으며, 그 값이 예상된 값과 거의 일치함을 알 수 있다.

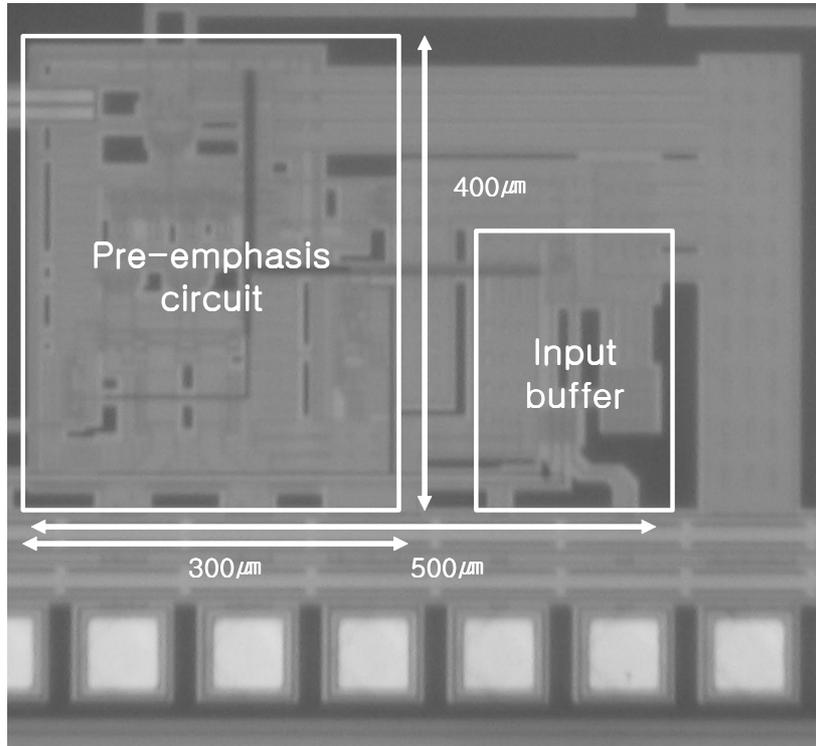


그림 2-7. Chip photograph



그림 2-8. Test Board

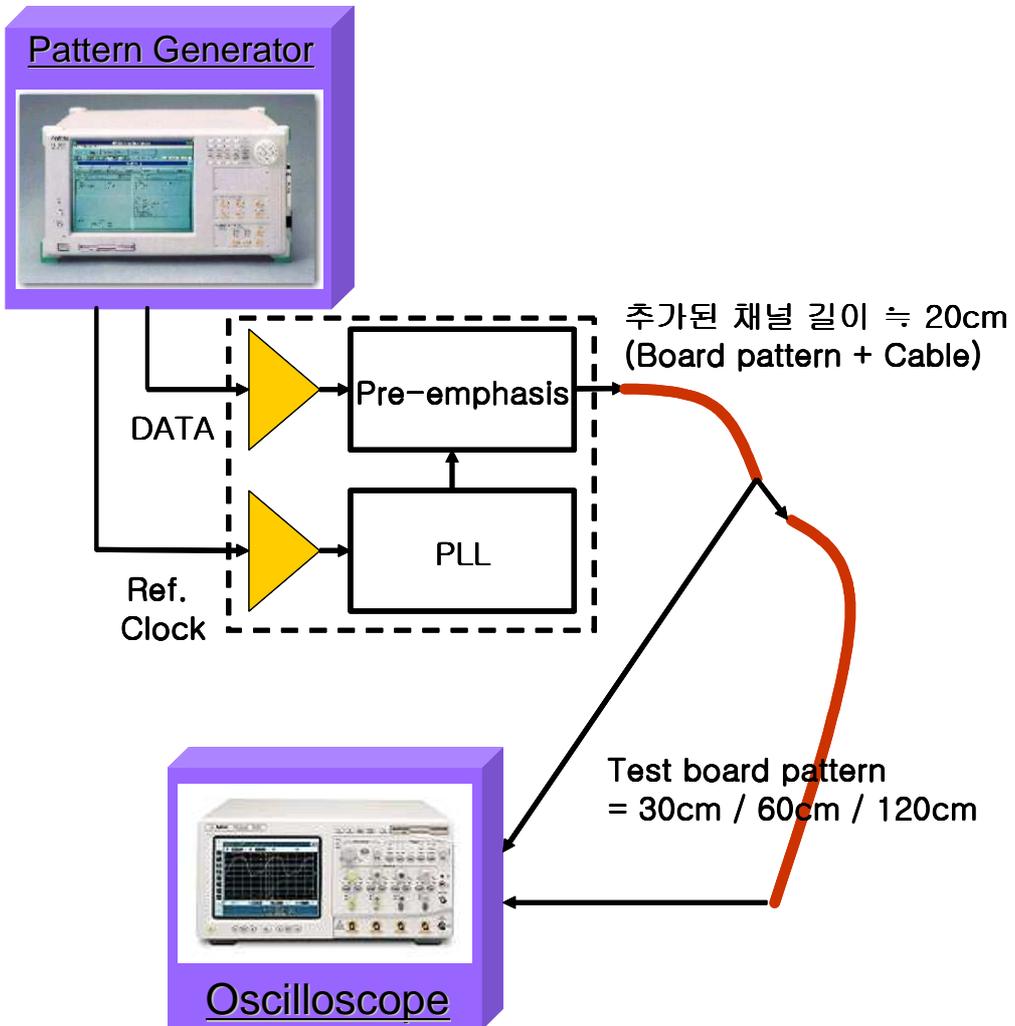
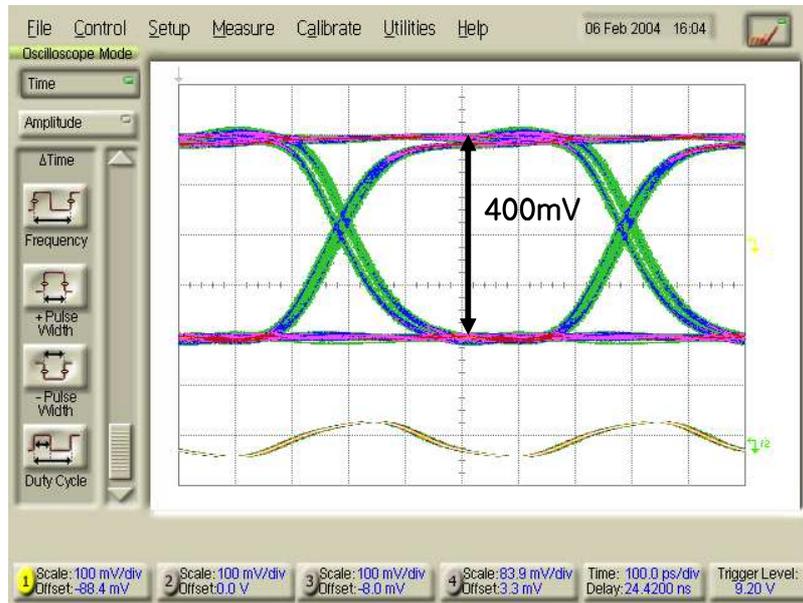
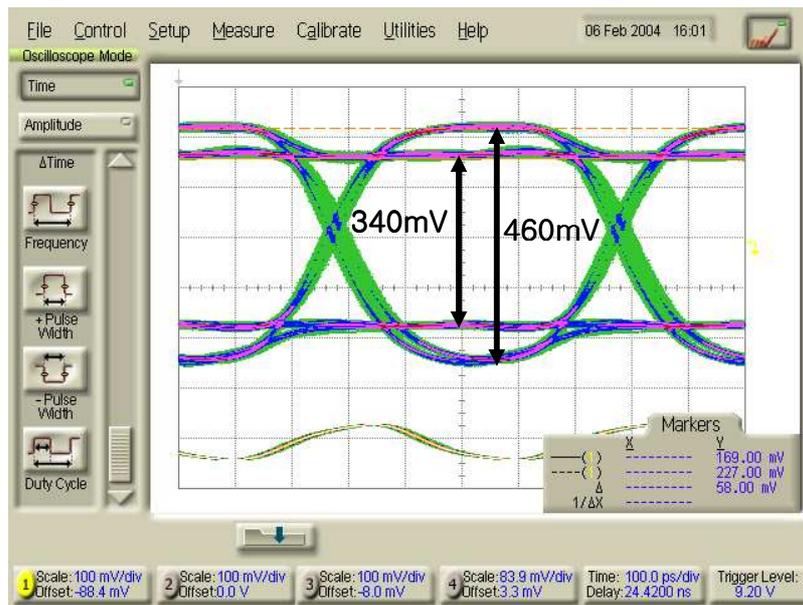


그림 2-9. Measurement Setup



(a)

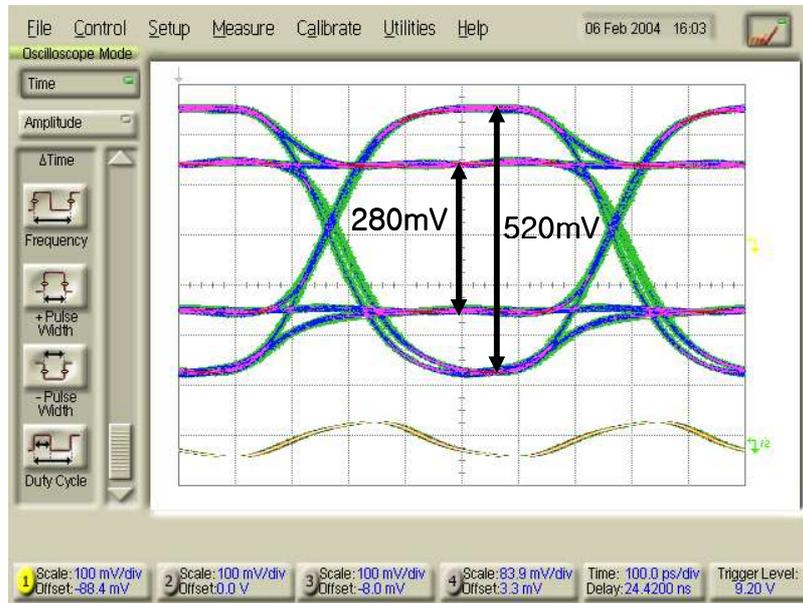


(b)

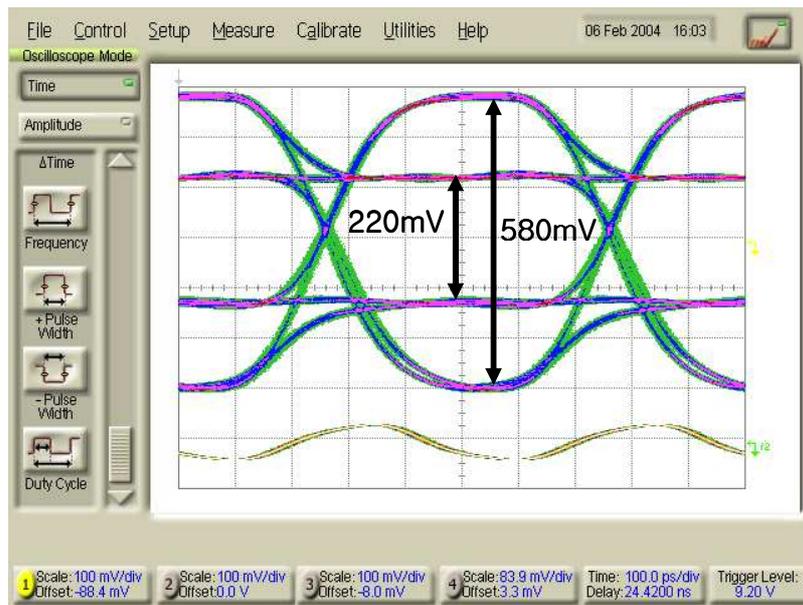
그림 2-10. Pre-emphasis Buffer Output signal @2Gb/s; (계속)

(a)0mA, (b)2.5mA, (c)5mA, (d)7.5mA의 Pre-emphasis 전류를 사용하였을 경우.

Scales are 100mV/div and 100ps/div.



(c)

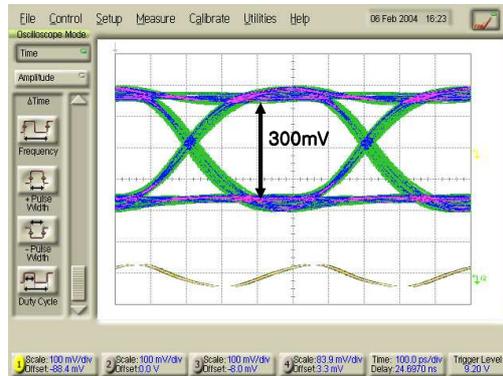


(d)

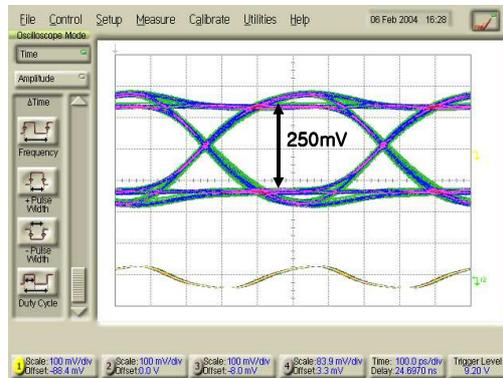
그림 2-10. Pre-emphasis Buffer Output signal @2Gb/s;

(a)0mA, (b)2.5mA, (c)5mA, (d)7.5mA의 Pre-emphasis 전류를 사용하였을 경우.

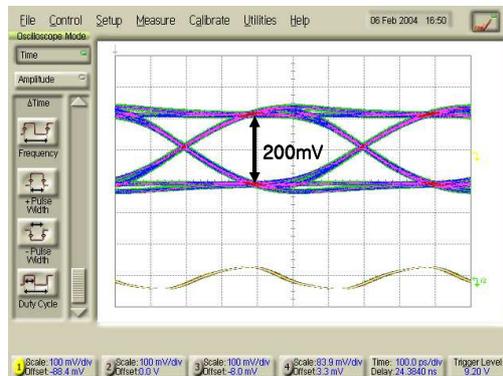
Scales are 100mV/div and 100ps/div.



(a)



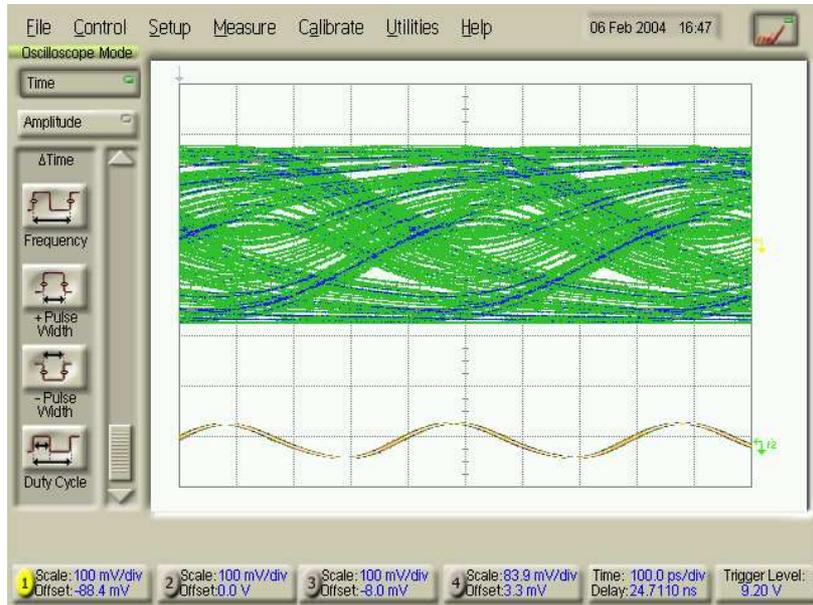
(b)



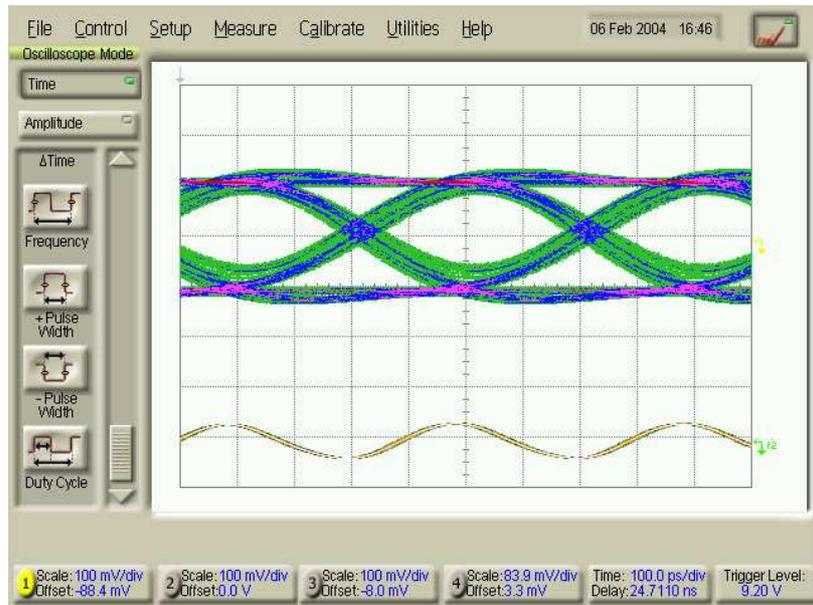
(c)

그림 2-11. Eye diagram @2Gb/s;

- (a) PCB trace length 50cm에서 pre-emphasis current 2.5mA 사용하였을 경우,
  - (b) 80cm에서 5mA 사용하였을 경우, (c) 140cm에서 7.5mA 사용하였을 경우.
- Scales are 100mV/div and 100ps/div.



(a)



(b)

그림 2-12. Eye diagram @2.5Gb/s;

(a) PCB trace length 120cm에서 pre-emphasis 동작을 하지 않았을 경우,

(b) 120cm에서 pre-emphasis current 7.5mA 사용하였을 경우.

Scales are 100mV/div and 100ps/div.

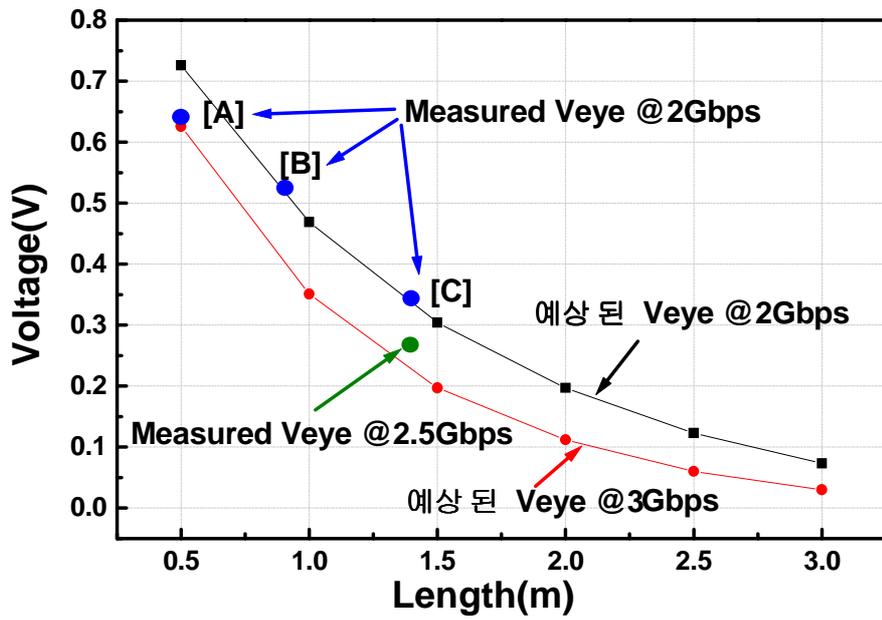


그림 2-13. 분석에 의한 예상 치와 측정치 비교

[a] PCB trace length 50cm에서 pre-emphasis current 2.5mA 사용하였을 경우,  
 [b] 80cm에서 5mA 사용하였을 경우, [c] 140cm에서 7.5mA 사용하였을 경우.

## 2.5 Conclusion

2장에서는 고속 데이터 전송 시 채널에서 발생하는 ISI에 의해 생기는 신호의 왜곡을 개선하기 위해 사용되는 Pre-emphasis 회로를 0.25 $\mu\text{m}$  CMOS 공정을 사용하여 설계하였으며, 제작된 칩의 측정을 통해 그 동작을 검증하였다.

전송 속도 및 전송 거리에 따라 다르게 나타나는 채널의 특성에 알맞은 Pre-emphasis 회로의 제어 방법을 제시하였으며, 수식화하여 분석하였다. 2Gb/s 데이터와 2.5Gb/s 데이터의 전송을 통해 측정된 값이 예측된 값과 일치함을 알 수 있었으며, 예측 값을 통해서 채널의 전달 특성을 알 수 있을 경우, 수신 단의 sensitivity와 Pre-emphasis 회로의 동작 방식에 따른 채널의 최대 전송거리의 한계를 알 수 있다.

설계된 회로는 3Gb/s 대역까지의 송신을 목표로 하였으나, 설계된 D-F/F의 속도의 한계와 내장된 PLL에서 제공되는 클럭이 불안정하여 측정하는 것이 불가능하였다. 채널의 길이에 따라 pre-emphasis 정도를 바꾸어서 수신 신호의 성능을 개선하는 것이 가능함을 알 수 있었다.

## Chapter 3. 2Gb/s Adaptive Line Equalizer

### 3.1 Introduction

유선 채널로 사용되는 케이블이나 PCB 패턴의 전달함수는 식 3-1과 같이 모델링 될 수 있다[8].

$$H(s) = \exp(-La\sqrt{s}) \quad (3-1)$$

여기서  $L$  은 채널의 길이이며,  $a$ 는 채널의 특성 상수이다. 이러한 유선 채널에서의 데이터 수신을 위해서 이퀄라이저는 채널의 주파수 응답특성에 의해 나타나는 왜곡을 없애기 위해 채널의 역함수를 가져야 한다. 즉, 이퀄라이저는 신호의 높은 주파수 성분을 선택적으로 증폭할 수 있는 전달함수를 가져야 하며, 채널의 특성과 길이에 따라 적응적인 동작이 가능해야 한다.

채널의 감쇄에 의해 나타나는 ISI를 없애기 위해서 디지털 방식의 이퀄라이저 [9-11]와 아날로그 이퀄라이저[2,12-13]가 발표되었다. 디지털 방식의 이퀄라이저는 고성능의 ADC를 사용하여 높은 성과를 나타내기도 하였으나[9], 엄청난 전력소모와 칩 면적에서 많은 단점을 가지고 있다. 또, 수 Gb/s 대역의 높은 속도의 데이터 복구에는 ADC의 동작 속도가 따르지 못한다.

반면에 아날로그 방식은 Gm-C 필터나 OPAMP를 이용한 필터를 사용한 이퀄라이저[12]가 발표되었는데 디지털 방식에 비해 그 동작속도가 빠르며, 전력소모와 칩 면적에서 많은 장점을 가지고 있다.

기존에 발표된 수 Gb/s 대역의 고속 데이터 송수신을 위한 아날로그 방식의

이퀄라이저는 크게 Feed-Forward Equalizer(FFE)를 이용한 방식과 FFE와 Decision Feedback Equalizer(DFE)를 함께 사용하는 방식으로 나눌 수 있다.

FFE를 이용한 방식은 그림 3-1과 같은 구성을 가지는 것이 보통이다. FFE 블록은 제어신호에 의해 그 증폭 이득을 조절할 수 있어야 하며, 채널의 전달함수 특성에 맞추어 High Pass Filter(HPF)의 형태를 가지고 있다. 또, 적응 동작을 위해서 리미터의 입력과 출력 특성을 비교하여 FFE의 증폭이득을 조절하는 수렴과정을 가진다. 이러한 방식은 채널에서의 감쇄를 복구해야 하는 FFE의 증폭 이득이 넓은 주파수 범위에서 선형적으로 이루어져야 한다.

반면에 FFE와 DFE를 함께 사용한 방식은 그림 3-2와 같은 구성을 가진다. DFE를 사용함으로써 상대적으로 낮은 FFE 이득이 필요하여 부담을 줄일 수 있는 장점이 있으나, DFE를 위한 클럭의 복원이 필요하며, 적응동작을 위해서 DFE와 FFE의 이득을 모두 제어해야 하므로 시스템이 복잡해지는 단점이 있다.

본 논문에서는 FFE만을 사용하여 PCB 패턴 2m까지의 채널에 대한 2Gb/s 신호 수신을 위한 아날로그 방식의 이퀄라이저를 설계하였다.

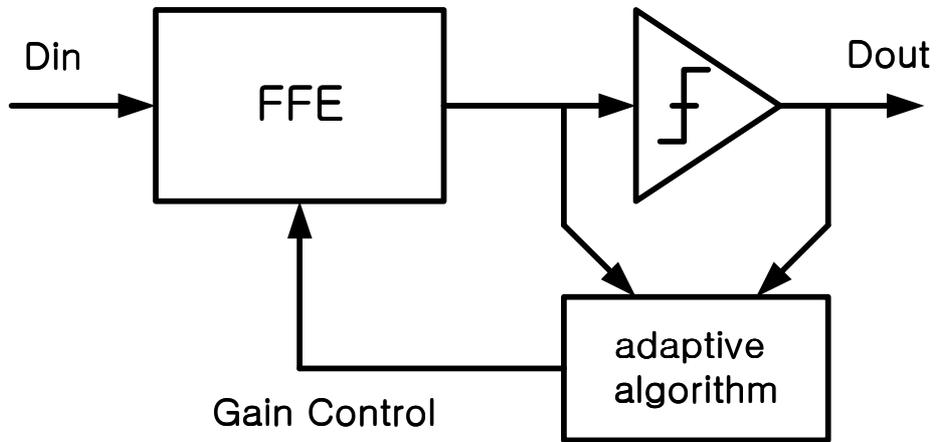


그림 3-1. Block Diagram of FFE

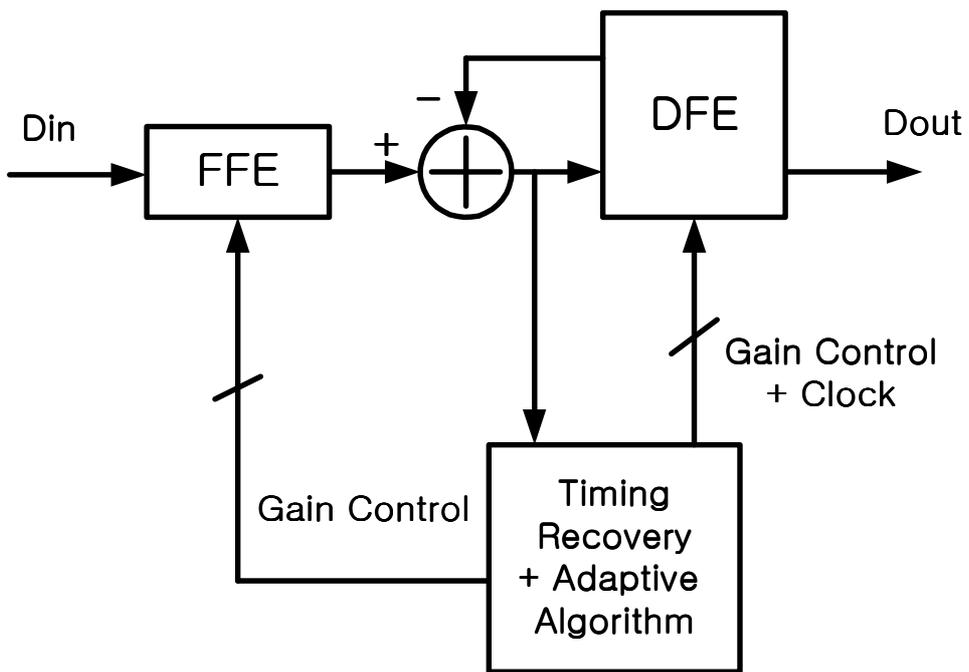


그림 3-2. Block Diagram of DFE with FFE

### 3.2 Equalizer Structure

그림 3-3은 설계된 이퀄라이저의 블록도를 나타내고 있으며, FFE와 리미터 그리고, FFE의 이득을 결정하는 feedback 회로로 구성되어 있다.

FFE는 두 개의 앰프와 HPF로 구성되어 있으며, HPF의 구성과 주파수 응답특성을 그림 3-4에 나타내었다. FFE의 증폭이득은 리미터의 입출력에서 얻어진 신호를 제공하여 그 크기를 비교하는 과정에서 생기는 오차를 캐패시터 A에 적분함으로써 얻어진다. 2Gb/s 대역의 신호를 2m 길이의 PCB 패턴까지 수신이 가능하도록 하는 FFE의 증폭이득은 약 5dB로 그리 크지 않다. 그림 3-5에 FFE의 회로도와 제어 전압에 따른 전달특성을 나타내었다. 제어전압에 따라 높은 주파수 대역의 증폭 이득은 증가하고 있으며, 낮은 주파수 대역의 증폭이득은 유지되거나 감소하도록 설계되었다.

그림 3-6은 설계된 리미터의 구조를 보이고 있다. 3단의 앰프로 구성되어 있으며, 같은 fan-out을 갖도록 설계되어 있다. 첫 번째와 두 번째 앰프의 출력은 Square Difference(SD)회로의 입력으로 전달된다. 그리고, 세 번째 앰프의 출력은 출력 버퍼로 전달된다. 각 앰프는 replica-feedback[15]구조를 가짐으로써 모든 출력이 같은 offset을 갖도록 되어 있다.

그림 3-7은 SD 회로의 구조를 나타내고 있다. SD 회로의 두 입력 전압을  $V_x$ ,  $V_y$ 로 표시하고, 각각의 offset 전압을  $V_{cx}$ ,  $V_{cy}$ 로 표시하여 출력 전류를 수식으로 풀어보면 식 3-2,3,4,5와 같이 나타낼 수 있다.

$$I_{M1} = K (V_{cx} + V_x - V_t - V_s)^2 \quad (3-2)$$

$$I_{M2} = K (V_{cx} - V_x - V_t - V_s)^2 \quad (3-3)$$

$$I_{M3} = K (V_{cy} - V_y - V_t - V_s)^2 \quad (3-4)$$

$$I_{M4} = K (V_{cy} + V_y - V_t - V_s)^2 \quad (3-5)$$

SD 회로의 출력은 두 전류의 합에서 나머지 두 전류를 뺀 것과 같으므로, 식 3-6과 같이 정리된다.

$$I_{out} = (I_{M1} + I_{M2}) - (I_{M3} + I_{M4}) \quad (3-6)$$

여기서, 만일 두 입력 전압의 offset이 같다면 다음과 같은 조건에 의해 식 3-7과 같이 정리될 수 있다.

$$\text{if } V_{cx} = V_{cy}$$

$$I_{out} = 2K (V_x^2 - V_y^2) \quad (3-7)$$

즉, SD 회로는 두 입력을 제공하여 차이를 출력하는 역할을 한다. SD 회로의 입력으로 전달되는 신호는 리미터의 출력으로 각각 같은 offset을 갖도록 되어 있으므로 결국 두 입력의 천이 속도를 비교하게 된다. 두 입력의 천이 속도가 차이가 나면 그 차이를 캐패시터에 적분하게 되고, FFE의 증폭 이득에 반영되게 된다. 두 입력의 천이 속도가 같아지면 그 상태를 유지하는 역할을 하게 된다.

FFE만을 사용하는 고속 이퀄라이저의 경우 적응 알고리즘으로 리미터 입출력의 크기를 측정하여 FFE로 적용하는 방법을 사용하고 있다. 리미터 입출력의 천이 속도를 측정하기 위해서 입력과 출력신호의 offset 문제를 해결하지 않는다면 정확한 전력을 측정할 수 없다. 이 문제를 해결하기 위한 기존의 방식은 HPF를

이용하여 **offset**을 제거한 뒤 크기를 측정하는 방법이었다. **HPF**의 사용은 회로의 구조 및 면적에서 많은 단점을 가지게 된다. 본 논문에서 제안된 방법은 이러한 **HPF**를 사용하지 않고 두 신호의 전력을 측정하기 위해서 리미터의 출력 전압의 **offset**을 일정하게 유지하도록 하였다.

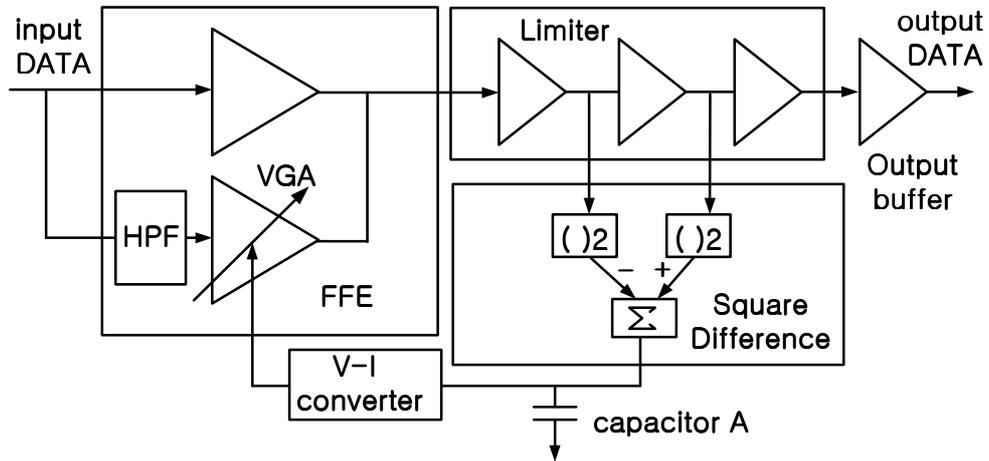
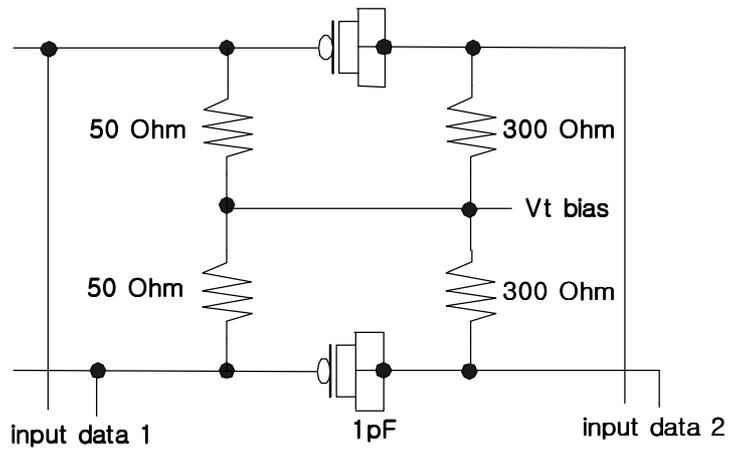
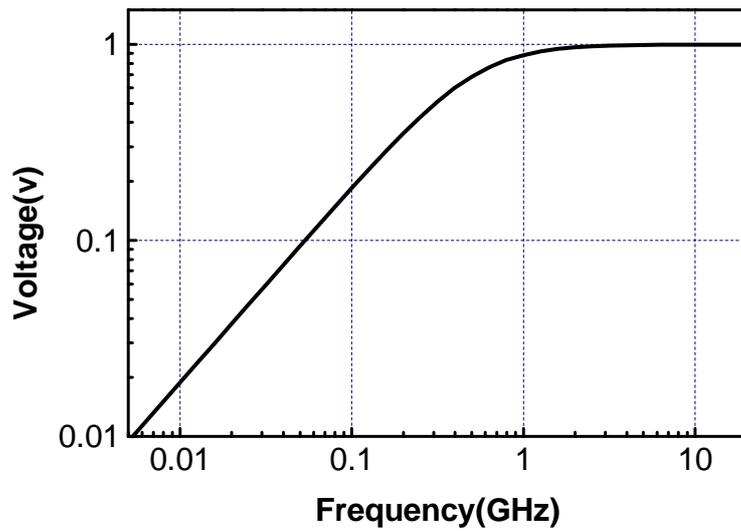


그림 3-3. Equalizer Block Diagram

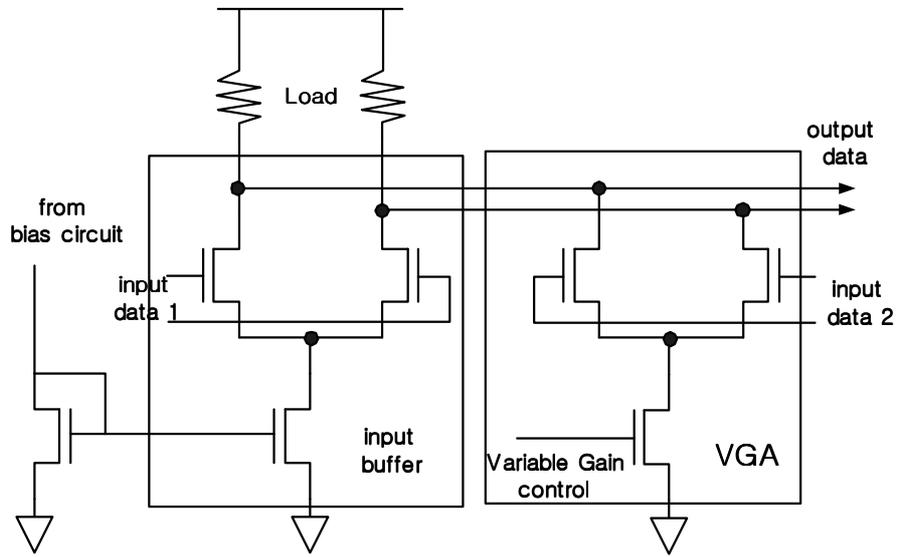


(a)

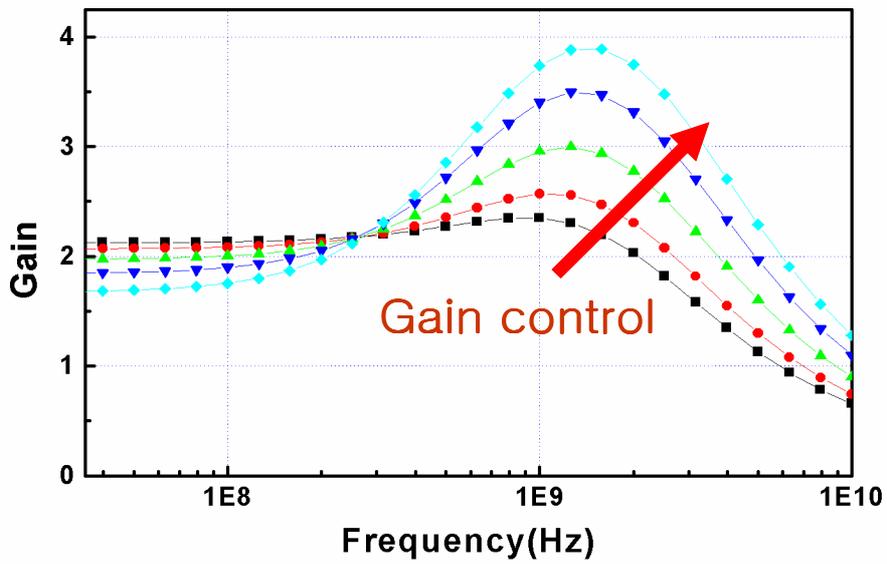


(b)

그림 3-4. High-pass filter: (a) Structure, (b) Frequency response.



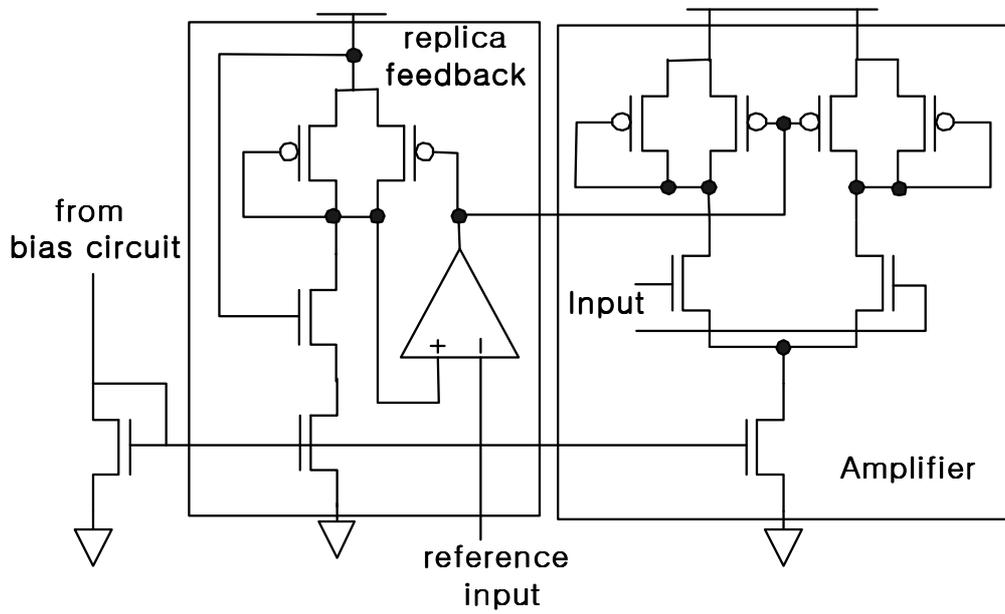
(a)



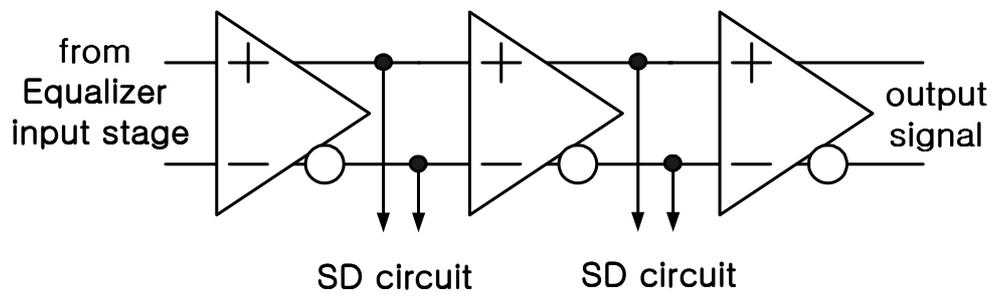
(b)

그림 3-5. FFE:

(a) Structure, (b) Frequency Response



(a)



(b)

그림 3-6. Limiter Circuit:

(a) Replica-Feedback Amplifier Schematic, (b) Limiter Schematic

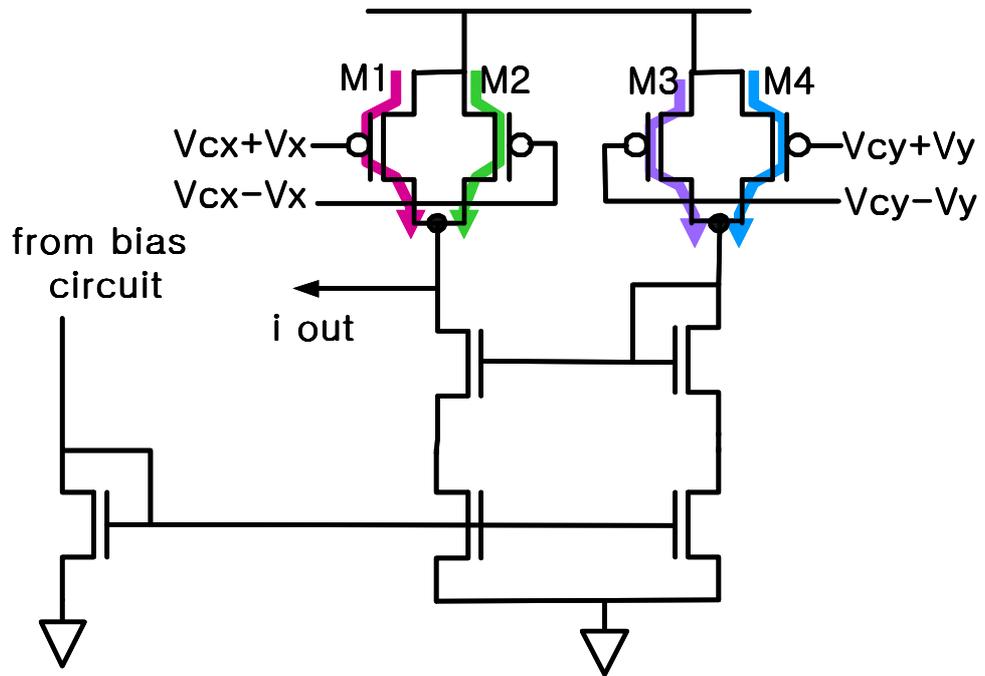


그림 3-7. Square Difference Circuit Schematic

### 3.3 Simulation and Measurement Results

이퀄라이저 회로는  $0.25\mu\text{m}$  CMOS 공정을 이용하여 설계하였다. 설계한 회로의 성능을 검증하기 위해서 테스트용 기판을 제작하여 측정되었으며, 2.5V 단일 전원을 사용한다.

그림 3-8은 설계된 회로의 FFE 증폭이득이 수신되는 채널의 길이에 따라 최적의 값으로 수렴되는 과정을 검증하기 위하여 시행된 HSPICE 시뮬레이션 결과이다. 2Gb/s NRZ 신호에 대해 각각 0.5m, 1m, 1.5m의 PCB 패턴을 통과 시켰을 때 이퀄라이저가 동작함에 따라 SD 회로의 출력이 적분되는 캐패시터의 전압을 살펴본 것으로 증폭이득이 길이에 따라 안정적인 상태로 바뀌고 있으며, 수렴되는데 약 400개의 데이터가 필요함을 알 수 있다.

그림 3-9,10,11은 2Gb/s  $2^7-1$  PRBS 신호에 대해 전송채널을 지난 후의 Eye Diagram과 이퀄라이저 출력에서의 Eye Diagram을 측정한 결과이다. 전송채널로 임피던스  $50\Omega$ 으로 조절된 FR4 재질의 PCB 패턴이 사용되었으며, 길이 0.6m, 1.5m, 2m의 세 가지 경우에 대해 측정되었다. 각각의 경우 신호의 Eye Diagram이 이퀄라이저에 의해 개선되었음을 알 수 있다.

제작된 칩의 사진을 그림 3-12에 나타내었다. 회로의 칩 면적은  $0.08\text{mm}^2$ 로 나타났다. 사용하는 전력은 45mW이다. 칩은 TQFP 타입의 80 핀 패키지를 사용하였다.

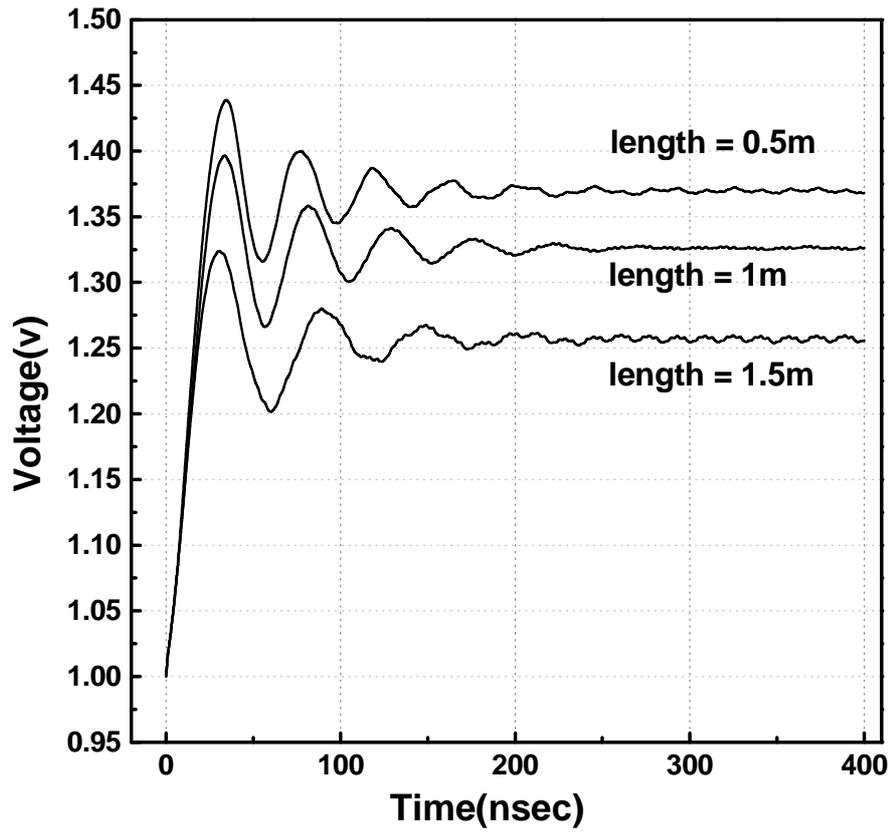
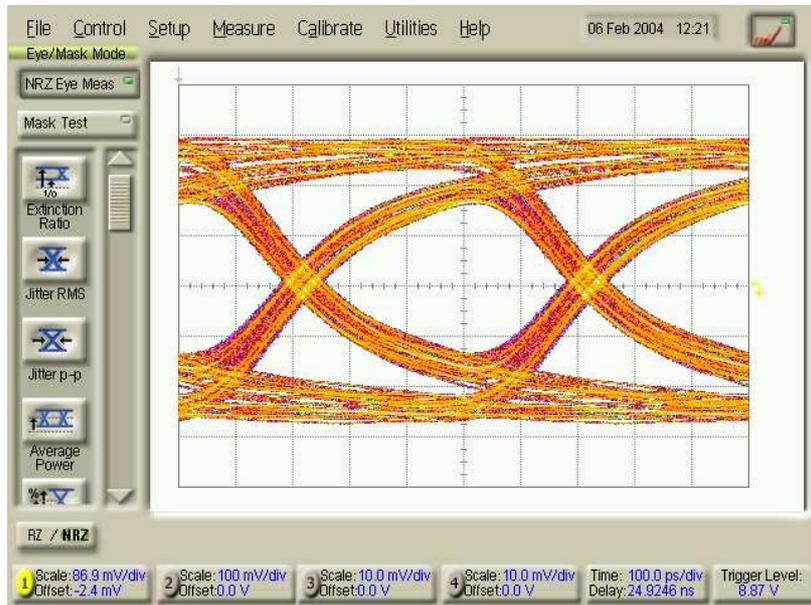
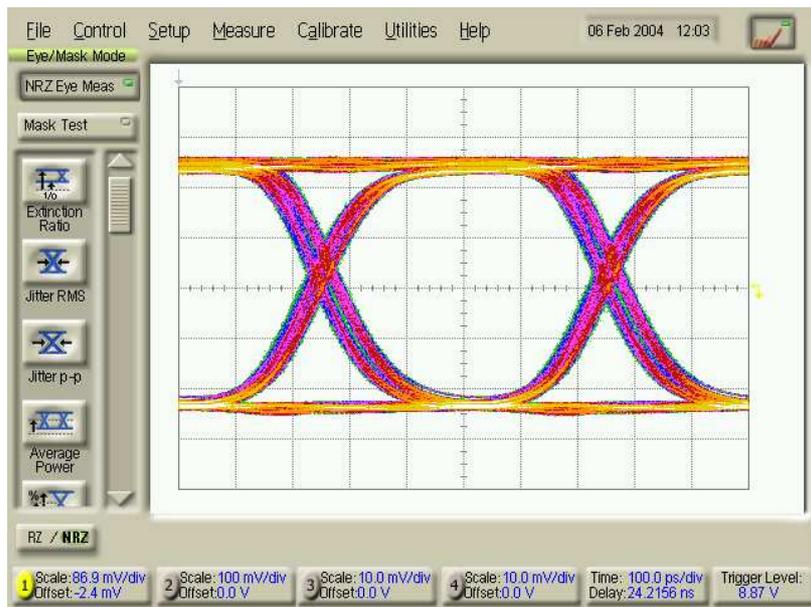


그림 3-8. Convergence Process: SD Circuit Output (VGA control signal)



(a)



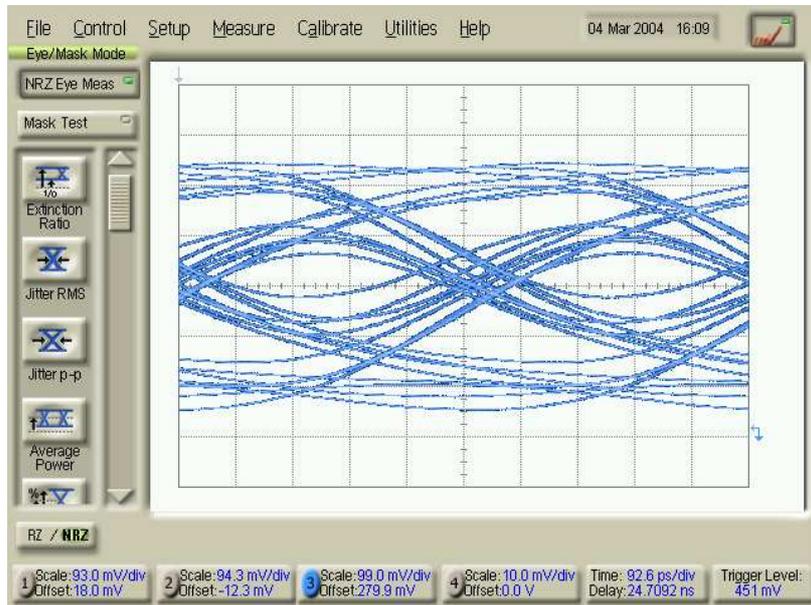
(b)

그림 3-9. Eye diagrams (@2Gb/s);

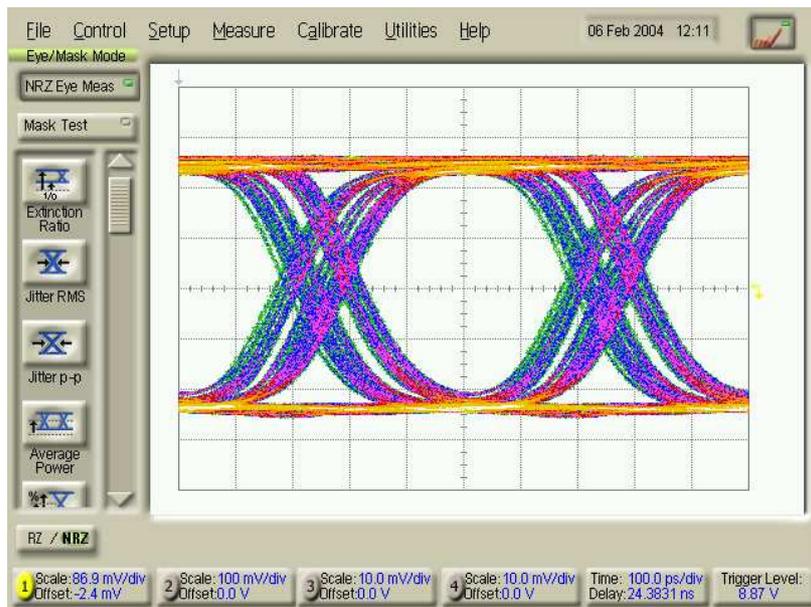
(a) Line output after 0.6m PCB trace,

(b) Equalizer output after 0.6m PCB trace.

Vertical scale is 100mV/div; horizontal scale is 100ps/div.



(a)



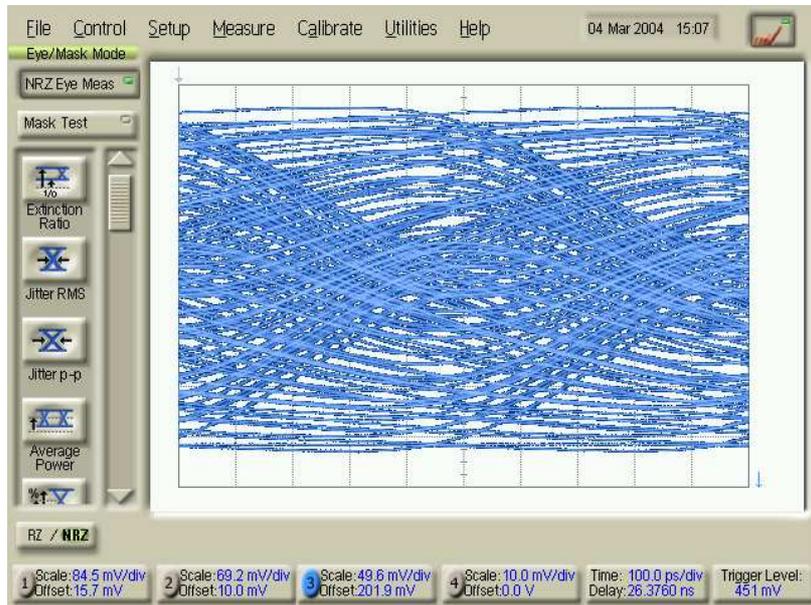
(b)

그림 3-10. Eye Diagrams (@2Gb/s);

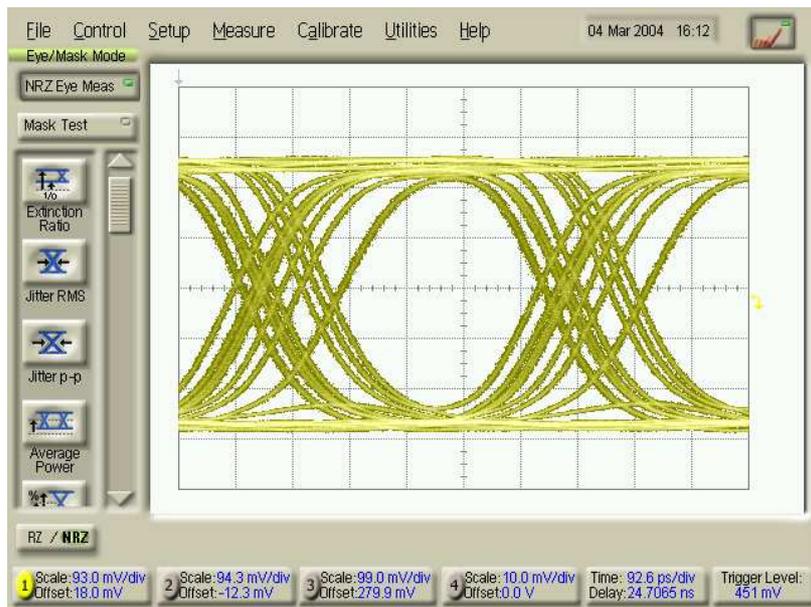
(a) Line Output after 1.5m PCB trace,

(b) Equalizer Output after 1.5m PCB trace.

Vertical scale is 100mV/div; horizontal scale is 100ps/div.



(a)



(b)

그림 3-10. Eye Diagrams (@2Gb/s);

(a) Line Output after 2m PCB trace,

(b) Equalizer Output after 2m PCB trace.

Vertical scale is 100mV/div; horizontal scale is 100ps/div.

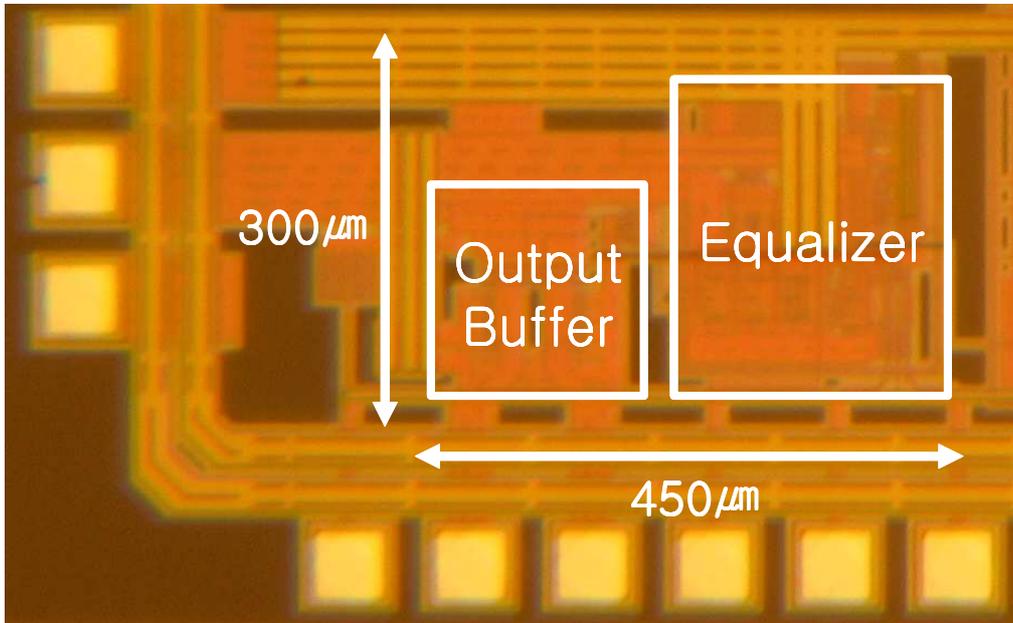


그림 3-11. Chip photograph

### 3.4 Conclusion

3장에서는 전송라인을 통해 수신된 신호의 복원을 위한 이퀄라이저의 설계에 대해 설명하였다. 설계된 회로는  $0.25\mu\text{m}$  CMOS 공정을 이용해 제작되었으며, 제작된 칩의 측정을 통해 그 동작을 검증하였다.

설계된 회로는 2Gb/s PRBS  $2^7-1$  신호를 2m 길이의 FR4 PCB 패턴에 전송한 결과를 측정하여 동작을 검증하였으며, 수렴과정의 안정성은 세 가지 길이의 패턴에 대한 시뮬레이션을 통해 검증하였다.

기존에 발표된 HPF를 이용한 증폭이득 비교 방식을 Replica feedback을 이용한 리미터 회로를 사용함으로써, 이퀄라이저의 구조를 단순화 시켰으며, 이러한 방법으로 이퀄라이저의 구현에 사용되는 칩 면적을 줄일 수 있었다. 칩 면적은  $0.08\text{mm}^2$ 로 매우 작게 나타났으며, 사용 전력은 45mW로 나타났다.

측정 결과에서 나타난 pattern dependent jitter는 이퀄라이저의 증폭이득이 부족한 것과 증폭 이득을 결정짓는 피드백 회로에서 오프셋이 발생하여 나타난 것으로 생각된다.

# Chapter 4. 3Gb/s Adaptive Line Equalizer

## 4.1 Introduction

수 Gb/s 대역의 신호를 복원하기 위한 이퀄라이저는 아날로그 방식이 사용된다. DFE와 FFE를 혼용한 구조는 그 성능이 우수한 반면 DFE를 위한 클럭 복원이 필요하며, 조절해야 할 증폭이득 계수가 많아서 회로의 구성이 복잡해진다. 이에 비해 FFE를 사용한 이퀄라이저는 그 구조가 간단하지만 상대적으로 높은 성능의 FFE를 요구하게 되어 그 설계가 어렵다.

FFE만을 사용한 이퀄라이저의 성능은 FFE의 구조와 증폭 이득을 결정하는 feedback 구조에 의해 좌우된다. FFE의 구조로는 그림 4-1과 같은 capacitive degeneration 기법을 사용한 이퀄라이저 필터가 주로 사용되고 있으며, 인덕턴스를 사용하여 동작 속도를 높이고 있다. Feedback 구조는 다양한 것들이 발표되고 있지만, 대부분 이퀄라이저 필터의 출력과 리미터를 거친 출력을 비교하여 feedback 시키는 LMS(Least Mean Square) 알고리즘이 사용되고 있다.

4장에서는 2m 길이의 PCB 패턴을 통과한 3Gb/s 대역의 신호를 복원하는 것에 목표를 두고, 이퀄라이저의 구조를 단순화하여 칩 면적과 사용전력을 줄이는 방안을 모색하였다.

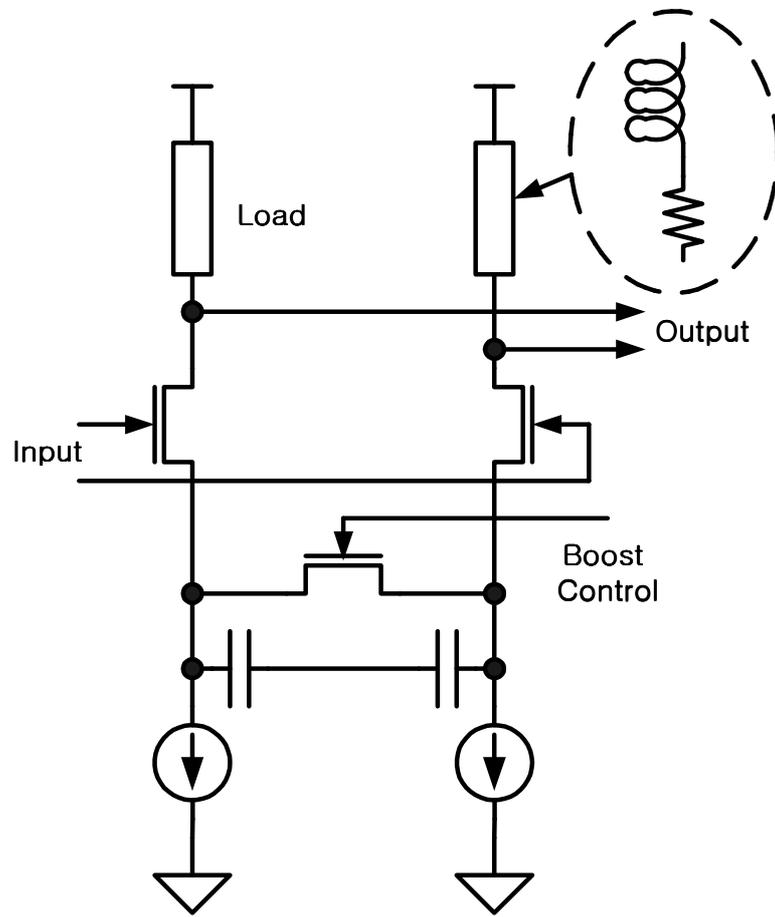


그림 4-1. Equalizer Filter with Inductance Load

## 4.2 Equalizer Structure

3장에서 설명하였듯이 제한된 대역폭을 갖는 채널에서 생기는 ISI를 보상하기 위해서 이퀄라이저가 가져야 되는 전달함수는 채널의 역함수가 되어야 한다. 그러므로, 필요한 이퀄라이저의 전달함수는 HPF의 형태가 된다.

그림 4-2는 설계된 이퀄라이저의 블록도를 나타내고 있으며, 다음과 같은 블록으로 구성되어 있다.

- **Digitally Controlled Feed-Forward Equalizer(DCFFE):** 수신신호의 높은 주파수 성분만을 증폭하는 이득을 조절할 수 있는 구조
- **Slicer(Limiter):** 출력 진폭을 제어할 수 있는 구조를 가지고 있으며, 높은 이득을 가지도록 설계되었다.
- **Bottom Detector:** 입력신호의 가장 낮은 값을 검출하여 그 값을 출력하는 회로
- **제어 블록:** DCFFE의 출력과 리미터의 출력을 LMS 알고리즘에 의해 비교하여 DCFFE의 증폭이득을 제어한다.

회로의 적응적 동작은 DCFFE의 출력이 리미터의 출력보다 큰 에너지를 가질 때 멈추게 되며, 그 상태를 계속 유지하도록 설계되었다.

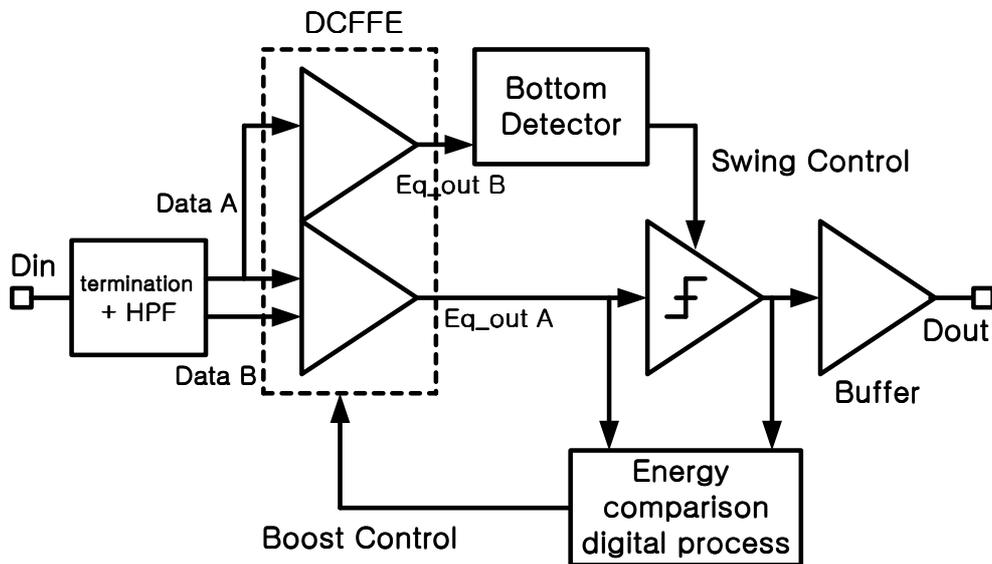


그림 4-2. Equalizer Block Diagram

#### 4.2.1 Digitally Controlled Feed-Forward Equalizer

그림 4-3에 DCFE의 회로도를 나타내었다. DCFE는 두 개의 이득을 조절할 수 있는 앰프로 구성되었다. Data A는 수신된 신호로 터미네이션 저항에서 얻어진 것이며, Data B는 HPF를 통해 얻어진 신호이다. HPF는 그림 4-4와 같이 구성되었으며, 그림 4-5와 같은 주파수 응답 특성을 가진다.

Eq\_out A는 두 입력신호를 제어신호에 따른 증폭이득을 곱하여 합한 결과를 내보내며, 그 이득은 Control C와 D에 의해서 결정된다. 그리고, Eq\_out B는 Data A를 증폭한 결과이다. DCFE는 8가지 변화된 이득을 곱한 결과를 내보내게 되며, 그 이득은 그림 4-6에서 보여진 제어신호에 의해 조절되는 전압발생기에서 결정된다. 여기서 주목해야 될 점은 Control C와 D에 의해서 결정된 전류의 합이

일정하다는 것이며, DCFFE는 일정한 오프셋을 가지게 된다.

그림 4-7은 DCFFE의 8가지 제어 신호에 따른 주파수 응답특성을 나타내고 있으며 그림 4-8은 위상 응답을 나타내고 있다. 그 이득은 제어신호에 따라 조절되고 있으며, 고 주파수 신호의 증폭이득이 화살표 방향으로 변화함에 따라 증가하고 있음을 확인할 수 있다. 그림 4-9은 DCFFE의 시뮬레이션 결과를 나타내고 있다. 데이터의 천이가 있을 경우 큰 증폭이득이 적용되어 신호의 모양에 overshoot이 생김을 알 수 있으며, 수신된 신호가 이전 상태를 유지할 경우 상대적으로 작은 증폭이득이 적용되어 Eq\_out B는 Eq\_out A와 같은 값을 갖게 됨을 확인할 수 있다.

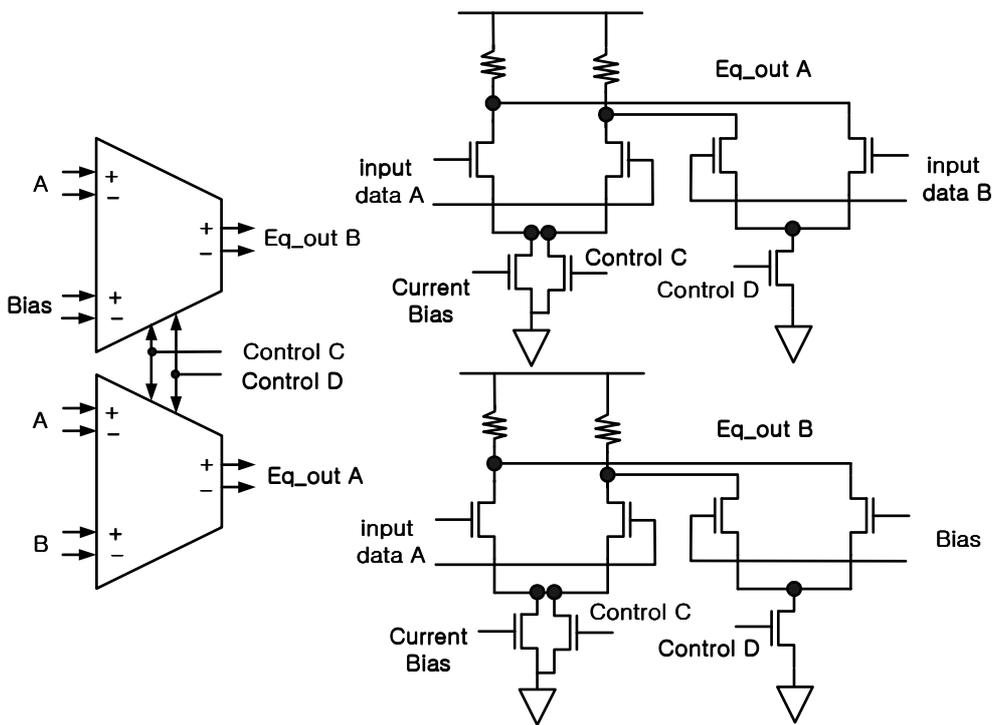


그림 4-3. Schematic of DCFFE

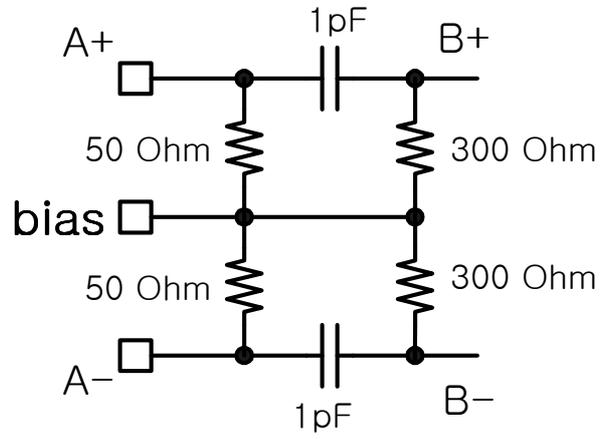


그림 4-4. Termination and HPF

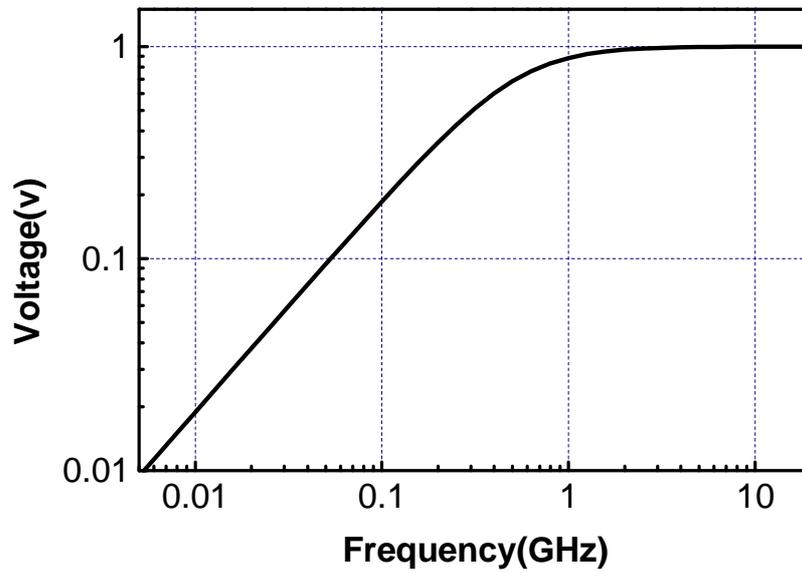


그림 4-5. Frequency response of HPF

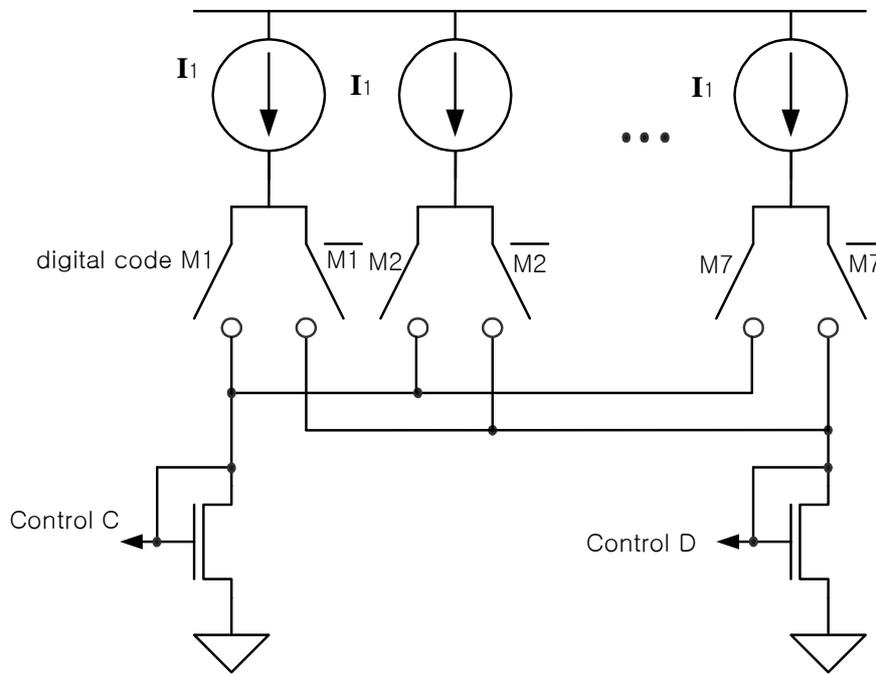


그림 4-6. Schematic of digitally controlled bias generator

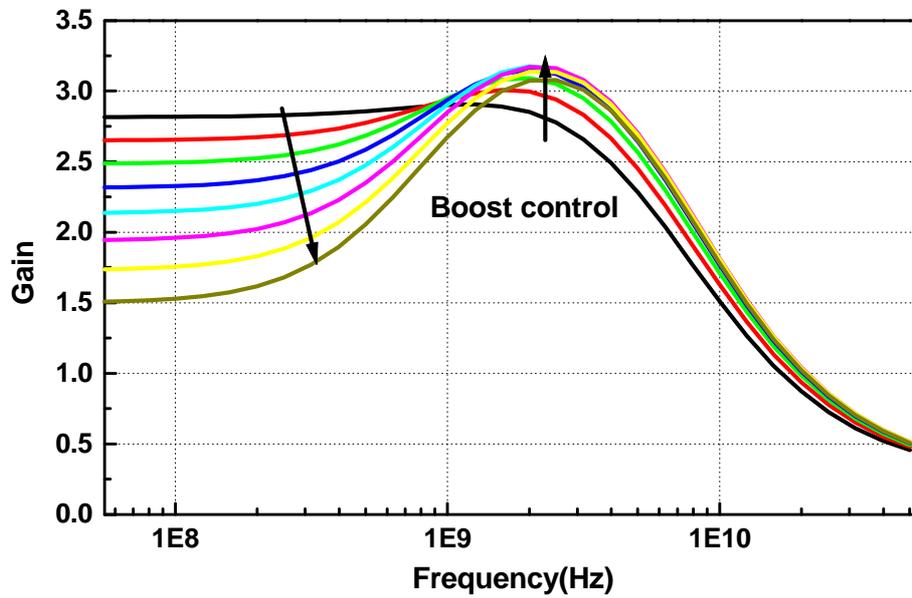


그림 4-7. Gain of DCFE

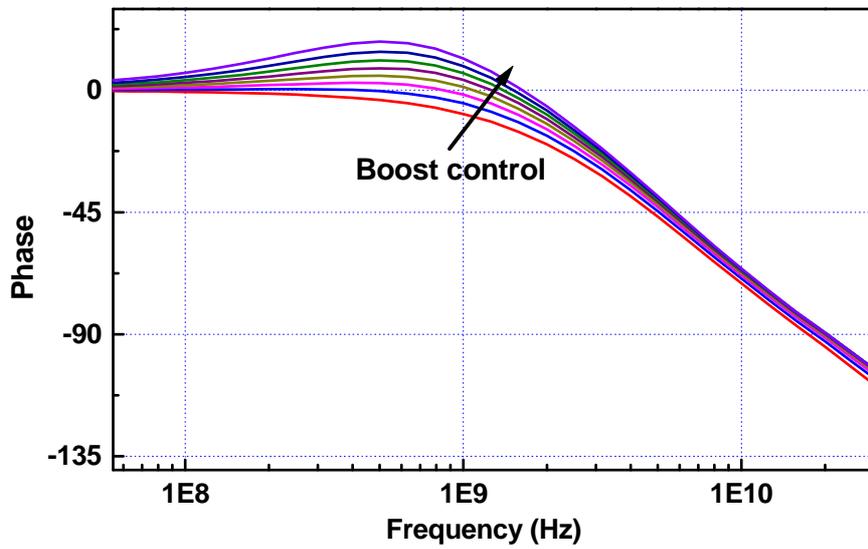


그림 4-8 Phase Response of DCFE

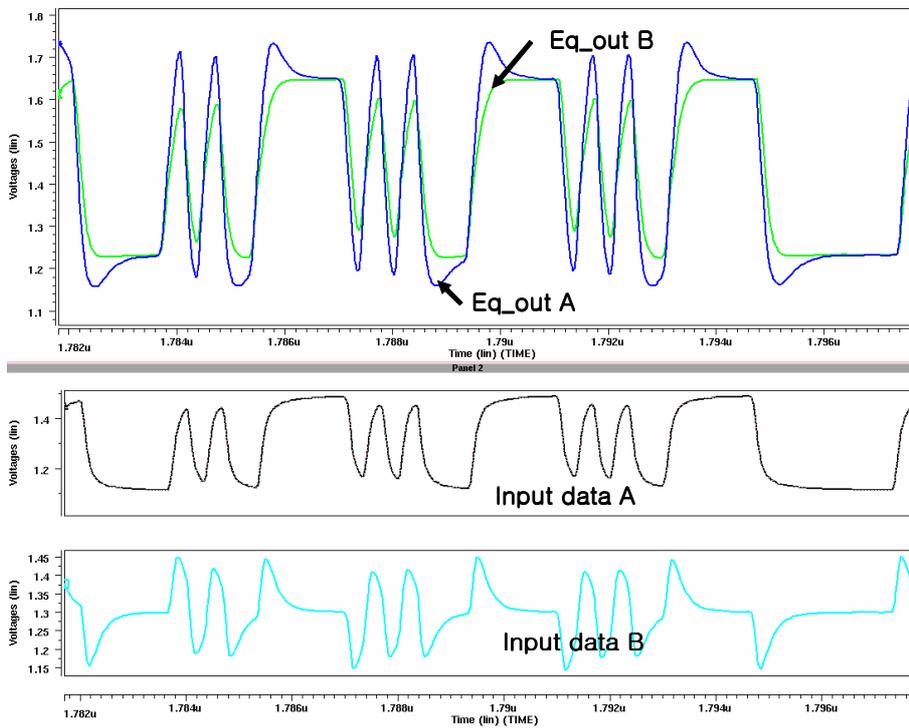


그림 4-9. Input and Output Waveform of DCFE

#### 4.2.2 Bottom Detector

그림 4-10은 Bottom Detector의 회로도를 나타내고 있다. 이 회로는 신호의 낮은 값을 측정하여 그 값을 출력하는 기능을 한다. 신호가 가장 낮은 값에 도달했을 때 OTA의 출력 값은 앰프의 음의 입력 값과 같게 된다[16]. 그림 4-11에서 그 시뮬레이션 결과를 보였다. 입력 신호가 점점 작은 값으로 변화함에 따라 출력이 그 값을 따라가고 있음을 알 수 있다.

채널에 의해 감쇄된 신호를 복원하기 위해 이퀄라이저는 선형적인 응답 특성을 가져야 하며, 출력을 내보내는 리미터는 확실한 출력관정을 할 수 있도록 높은 이득을 가져야 한다. 기존에 발표된 고속 FFE의 증폭이득을 조절하기 위한 LMS 알고리즘은 하나의 feedback 루프를 동작시키는 방식이었다[17]. 그러나, 이 방식은 FFE 출력이 리미터의 출력보다 작은 DC offset 가질 경우 FFE의 증폭이득이 필요이상으로 큰 값으로 수렴해서 FFE의 출력이 선형적인 응답을 가지지 못하게 된다. 이러한 점을 개선하기 위해서 제안된 것이 리미터의 입력과 출력을 비교할 때 두 개의 Low Pass Filter(LPF)와 두 개의 HPF를 이용하여 두 개의 LMS 알고리즘을 사용하는 것이다[18,19]. 그러나, 두 개의 LMS 알고리즘을 사용할 경우 두 계수간의 충돌을 방지하기 위해서 많은 분석이 필요하며, 이를 위해 수렴 시간이 길어진다는 단점을 가지게 된다.

4장에서 제안된 구조는 그림 4-2에서 볼 수 있듯이 두 개의 적응 방식을 사용하지만, 하나의 루프는 Bottom Detector에 의한 순방향 적응 구조를 가지도록 하여 위와 같은 단점을 보완하였다. 또, LMS 알고리즘을 사용하기 위한 HPF가

필요하지 않기 때문에 공정에서 나타날 수 있는 두 개의 HPF간의 정합문제가 없으며, 구조를 단순화 할 수 있는 장점이 있다.

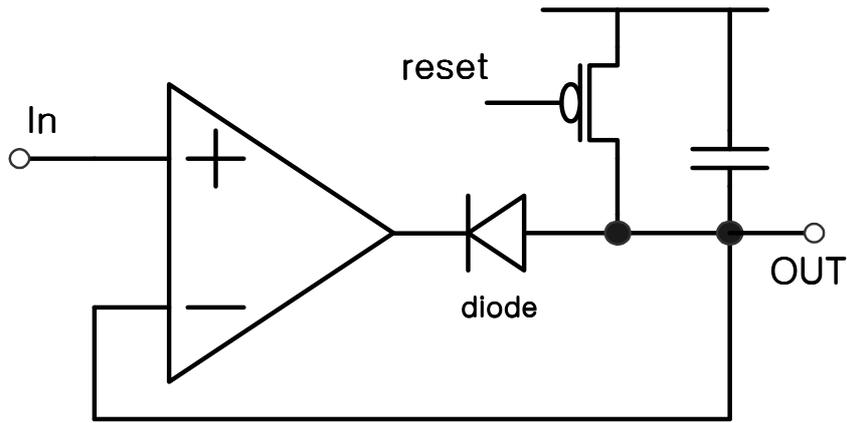


그림 4-10. Schematic of Bottom Detector

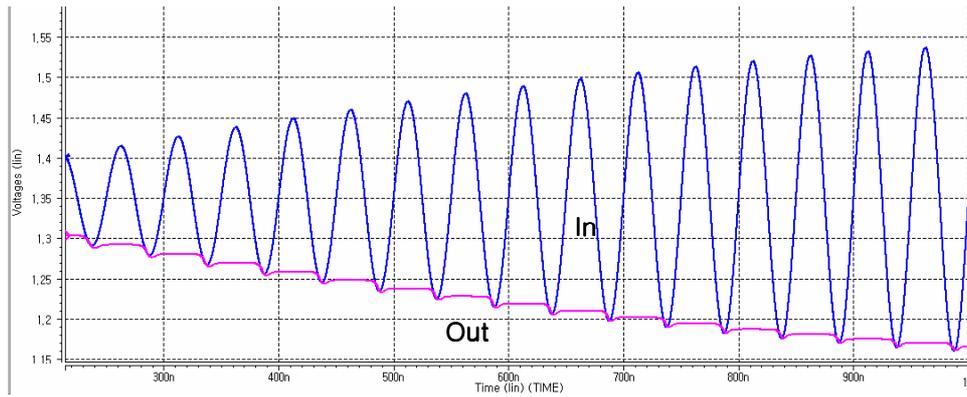


그림 4-11. Waveform of Bottom Detector

### 4.2.3 Swing Controllable Slicer

그림 4-12에 세 개의 앰프로 구성되어 있는 리미터의 회로도를 나타내었다. 리미터는 출력을 결정짓는 중요한 역할을 하게 되며, 고속 동작을 위해서 복잡한 구조를 가져서는 안 된다. 제안된 이퀄라이저의 적응 동작을 위해 그 출력 값을 조절할 수 있는 구조를 사용하였다[15]. 그림 4-13의 시뮬레이션 결과에서 알 수 있듯이 리미터는 전원에서 Swing 제어전압까지의 출력을 내보내고 있다.

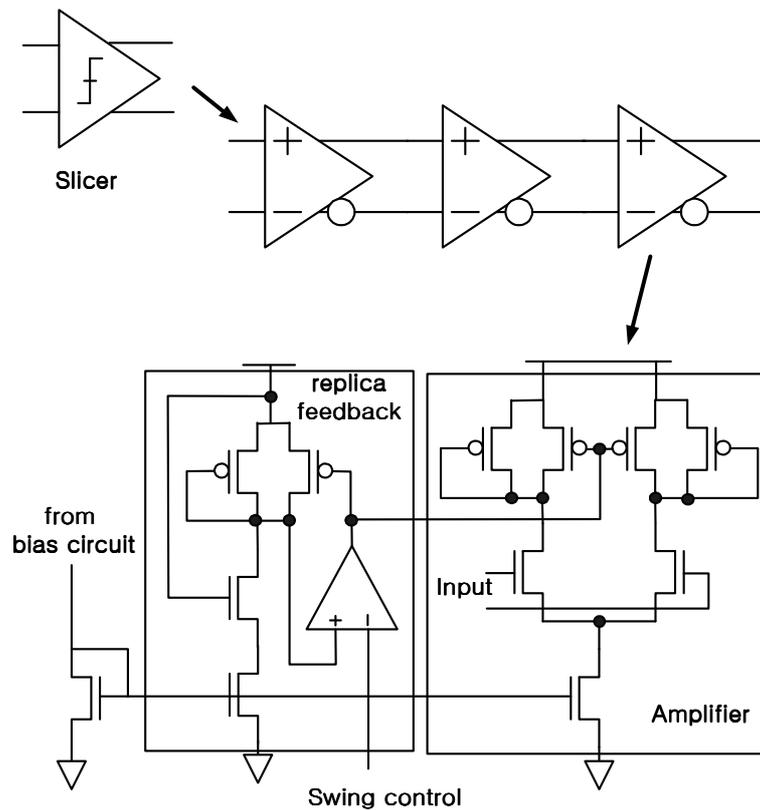


그림 4-12. Schematic of Slicer

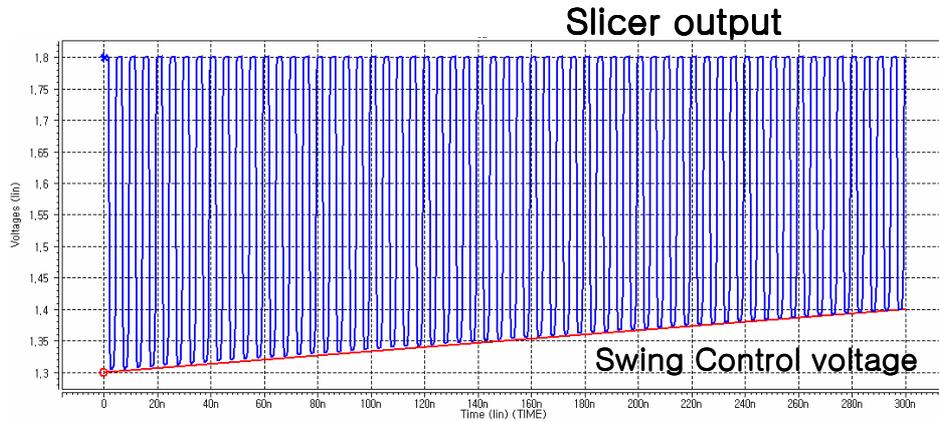


그림 4-13. Waveform of Slicer

#### 4.2.4 Control Block

기존의 방식의 문제점 중 하나는 수신된 데이터의 패턴에 따라서 적응 루프의 동작이 영향을 받는다는 것이다. 적응 루프의 특성인 적응 시간과 안정도를 확보하기 위해서는 이러한 한계를 넘을 수 있는 방식이 필요하다. 4장에서 설계된 구조는 이러한 점을 극복하기 위하여 디지털 제어방식을 선택하였다. 제안된 구조는 DC 오프셋을 Feed-Forward 방식으로 제어하므로 두 개의 LMS 알고리즘을 이용한 수렴 방식보다 빠른 적응 시간을 갖는다. 또, 적응 동작이 끝난 시점에서 증폭이득 계수를 고정하여 안정도를 확보할 수 있었다. 그림 4-14에 제어회로의 블록도를 나타냈으며, 그림 4-15에 제어 회로의 동작 순서도를 나타냈다. 초기 수신 신호에 따라 동작이 진행되다가 DCFE의 최적 이득 값을 찾았을 때 제어회로의 동작은 정지하게 되어 회로의 전력소모를 줄일 수 있으며, 동작이 끝난 이후에도 같은 증폭이득을 유지하기 위해서 증폭이득 계수를

레지스터에 저장하고 있다.

센스 앰프[20]는 300nsec 간격으로 리미터의 입출력 신호를 각각 제공한 결과를 비교하도록 되어 있다. 비교해야 할 두 신호는 VDD 전원에 연결되어 있는 부하를 쓰고 있는 회로의 출력이므로 신호의 낮은 값이 신호의 크기를 의미하게 되고, 이중 PMOS의 threshold 전압을 넘는 값만이 의미를 가진다. DCFFE의 출력 신호와 리미터의 출력 신호를 비교하기 위하여 그림 4-16의 구조를 갖는 제공회로를 설계하였다. 이 제공 회로는 두 입력 신호의 크기에 따라 NMOS로 이루어진 전류원의 전류량이 스스로 결정되도록 설계하였으며, 낮은 전원에도 안정적으로 동작할 수 있다. DCFFE의 출력이 리미터의 출력보다 큰 값을 갖게 되면 이것은 이퀄라이저의 증폭이득이 충분하다는 것을 의미하는 것이므로, 적응 동작을 끝내는 신호를 출력하게 되며, 작은 값을 가지면, DCFFE에 적용되는 이득을 한 단계씩 증가 시키게 된다. 이러한 방식의 장점은 전력소모를 줄일 수 있다는 것이며, 단점은 8가지 단계에서 나타나는 이득 값이 최적 값과 양자화 오차를 가지게 된다는 것이다. 적응 동작에 걸리는 시간은 300nsec에서 가장 큰 이득이 필요한 경우 7 cycle 즉, 2.1µsec이 걸리게 된다.

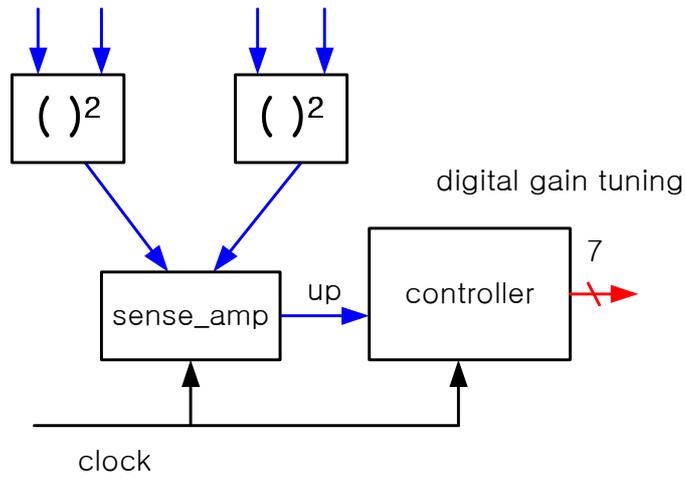


그림 4-14. Control Circuit Block Diagram

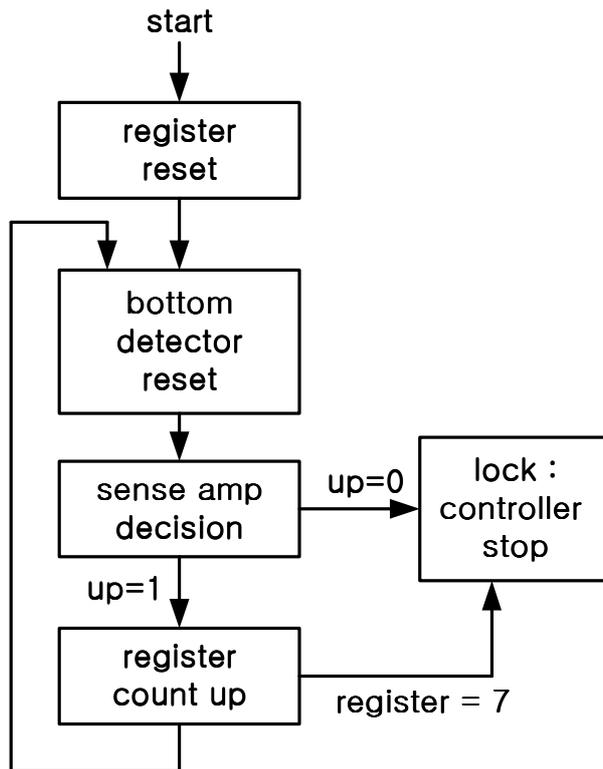


그림 4-15. Flow Chart of Controller

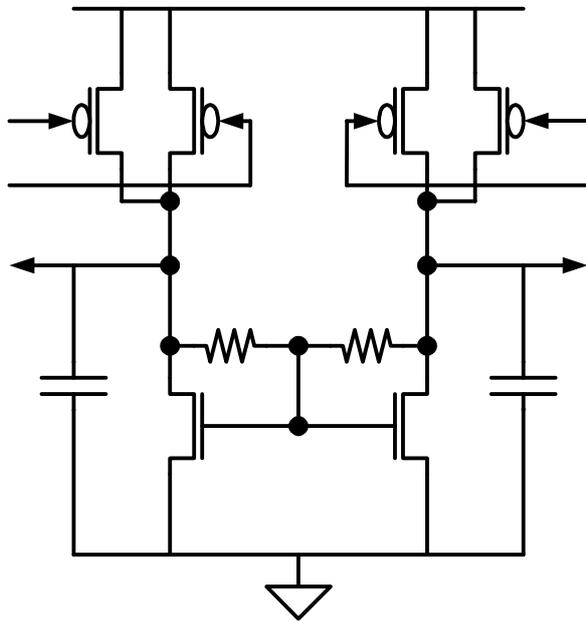


그림 4-16. Schematic of Square Circuit

### 4.3 Simulation Results

4장에서 제안된 이퀄라이저는  $0.18\mu\text{m}$  CMOS 공정을 이용하여 설계되었으며, 1.8V 단일 전원을 사용한다. 그림 4-17은 설계된 회로의 레이아웃 결과로  $0.2\text{mm}^2$ 의 면적을 가진다. 이 중 이퀄라이저 동작을 위한 블록의 면적은  $0.1\text{mm}^2$ 에 불과하며, 제어 블록을 위한 클록 생성기의 면적이 나머지를 차지하였으며, 소비전력은 20mW로 나타났다.

그림 4-18과 19은 3Gb/s  $2^7-1$  PRBS 신호를 전송한 시뮬레이션 결과이다. 각각 이퀄라이저의 입력과 출력을 나타낸 것으로 그림 4-18은 0.2m 길이의 PCB 패턴에서의 결과이며, 그림 19는 2m 길이의 PCB 패턴을 사용하였다. 시뮬레이션 결과 신호의 eye diagram이 개선되는 것을 알 수 있다. 2m에서의 결과에서 약간의 pattern dependent jitter가 발생한 것은 필요한 증폭 이득과 디지털 값으로 제어된 증폭 이득간의 양자화 오차에 의해 나타난 것으로 생각된다.

채널의 길이에 따라 제어신호의 수렴된 값을 그림 4-20에 표시하였다. 채널의 길이가 길어짐에 따라 이퀄라이저는 더 큰 증폭이득이 필요하며, 이퀄라이저의 제어신호 역시 같은 경향으로 동작하여 단조 증가된 형태로 수렴되었음을 알 수 있다. 또, 제어신호가 최적의 값으로 수렴하는지를 검증하기 위하여 1m 길이의 PCB 패턴을 통해 전송된 경우 이퀄라이저의 제어신호가 3으로 수렴하므로 제어신호가 각각 2, 3, 4인 경우를 시뮬레이션 하여 각각의 경우에 나타나는 출력을 관찰하였다. 그림 4-21에서 알 수 있듯이 이퀄라이저가 수렴되었던 제어신호가 3인 경우가 출력신호의 eye 특성이 가장 좋은 것을 알 수 있으며,

이로써 이퀄라이저가 최적의 값으로 수렴하고 있음을 확인할 수 있다.

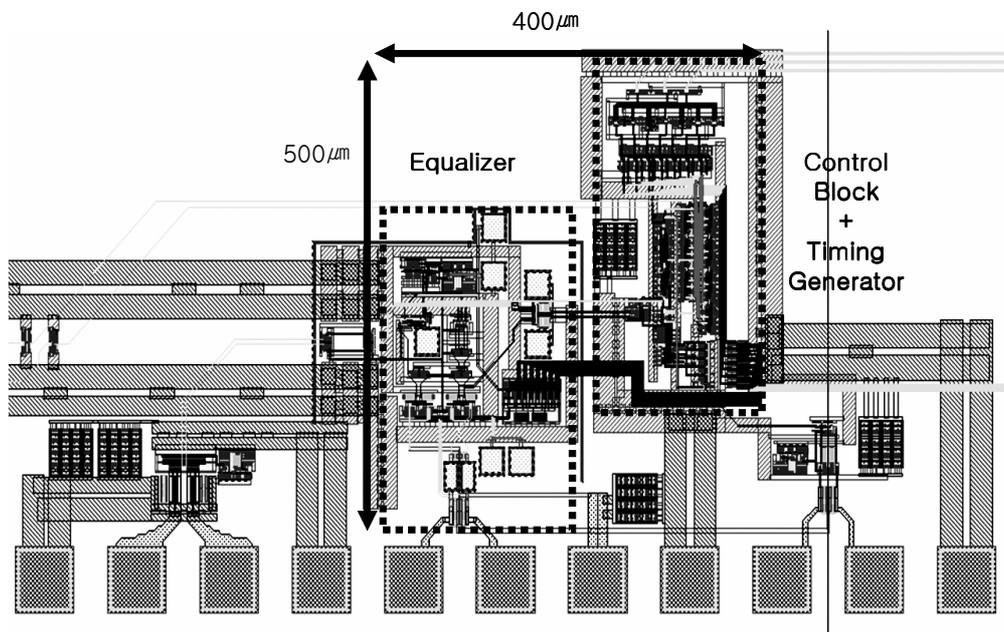


그림 4-17. Equalizer Layout

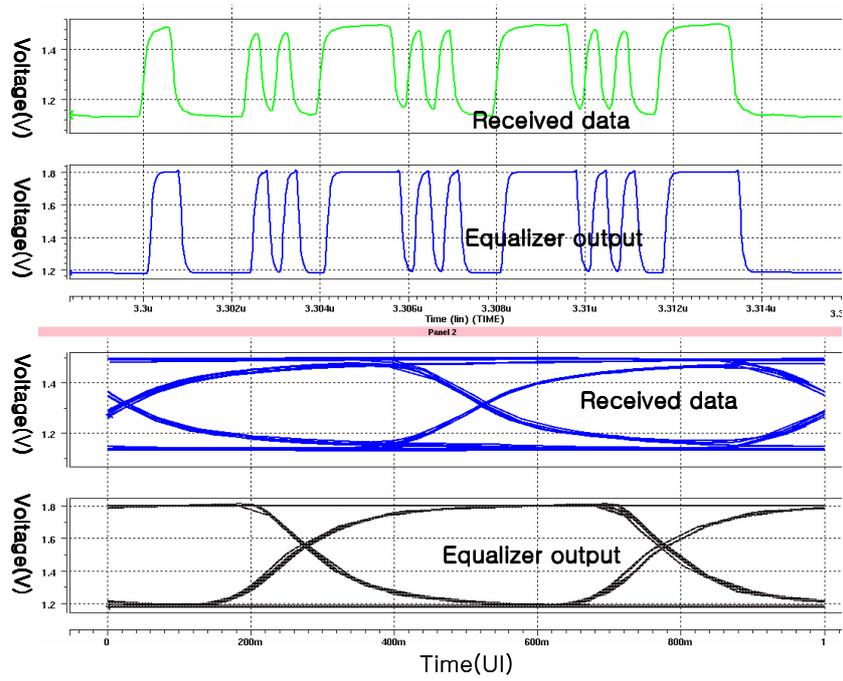


그림 4-18. Eye diagram of line output after 0.2m PCB trace and equalizer output

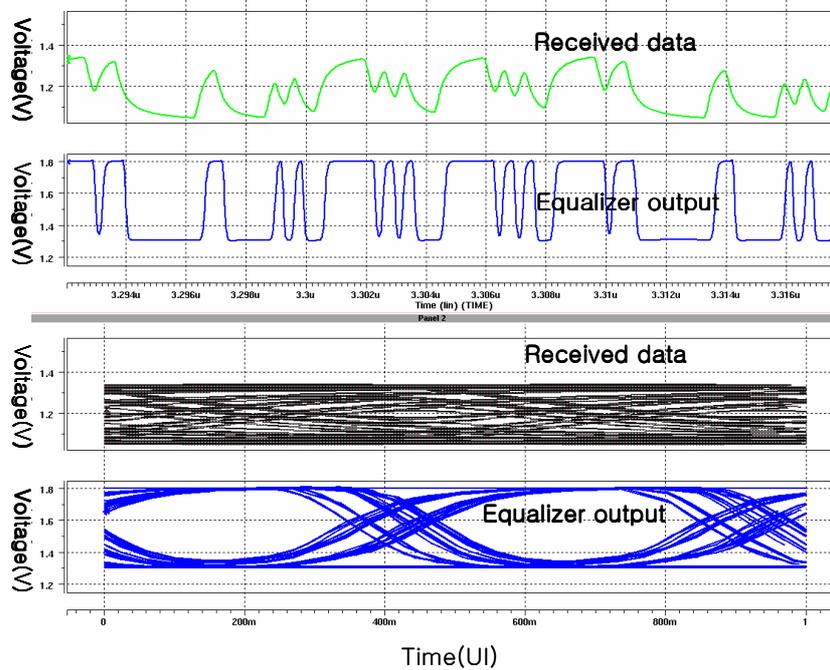


그림 4-19. Eye diagram of line output after 2m PCB trace and equalizer output

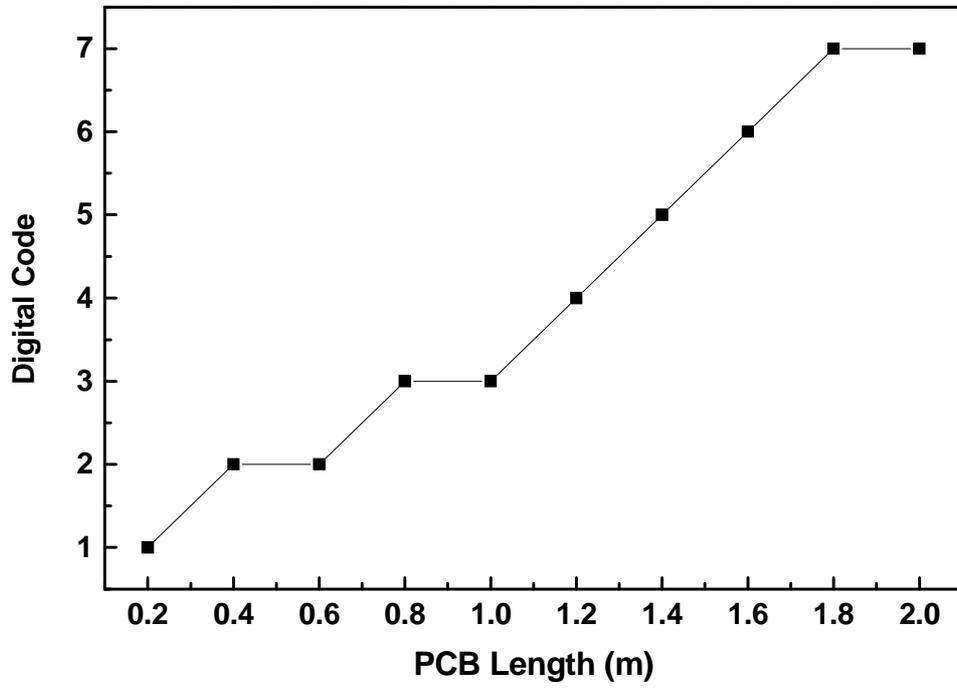
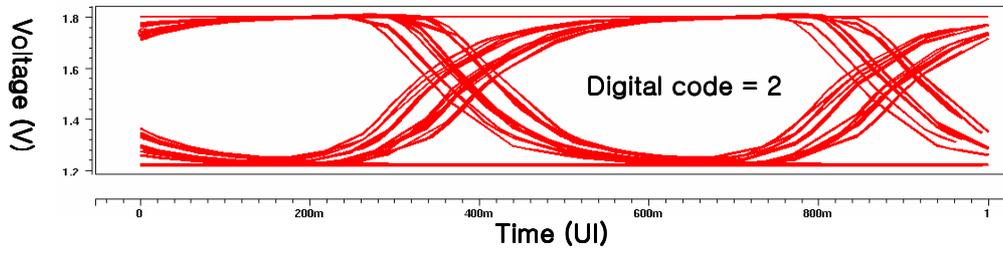
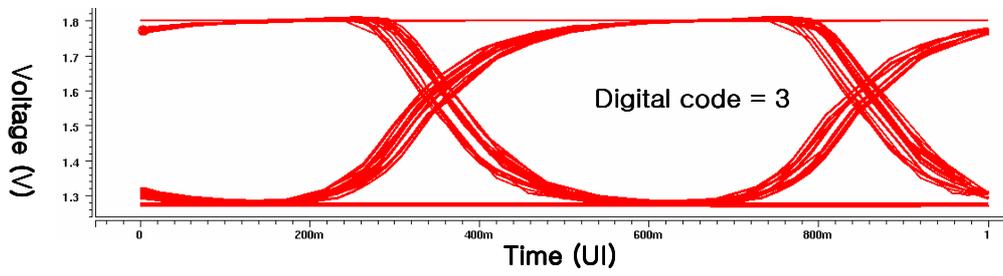


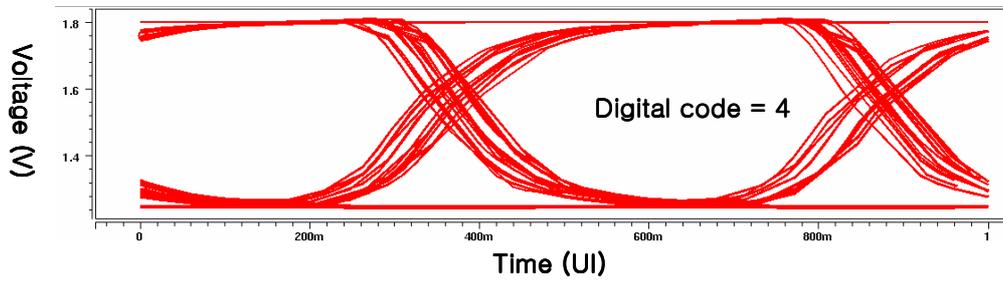
그림 4-20. PCB 길이에 따른 이퀄라이저의 수렴된 제어신호 값



(a)



(b)



(c)

그림 4-21. Eye diagrams of equalizer output after 1m PCB trace(@3Gb/s PRBS  $2^7-1$ )

(a) Digital code = 2, (b) Digital code = 3, (c) Digital code = 4

#### 4.4 기존 논문과 제안된 Equalizer 성능 비교

이 절에서는 3장과 4장에서 제안한 이퀄라이저 회로의 성능을 평가하기 위해 기존의 논문에서 발표된 Gb/s급 이퀄라이저 회로를 조사하여 성능을 비교하였다. DFE를 사용하는 논문의 경우 그 면적과 소비전력이 월등히 크므로 비교하지 않았으며, FFE만을 사용하고 적응적 동작을 수행하는 이퀄라이저와 비교하였다. Gb/s 대역의 고속동작을 위하여 BiCMOS, Si bipolar 등과 같이 속도에서 유리한 공정을 이용하여 설계되어 왔으나, 최근에는 CMOS 공정을 이용한 설계가 시도되고 있다. 각 회로의 성능 및 사양은 표 4-1에 나타나 있다.

표 4-1에서 볼 수 있듯이 제안된 이퀄라이저의 동작 주파수는 2-3Gb/s로 비교된 회로들에 비해 낮으며, 전송된 채널의 감쇄가 작다. 그러나, 상대적으로 동작 속도가 낮은 공정이 사용되었음을 감안하여야 한다. 또, 소모된 전력과 면적을 비교할 경우 비교된 회로에 비해서 월등히 작은 면적을 가지고 있으며, 소모 전력 또한 매우 작게 사용하고 있음을 알 수 있다. 제안된 구조를 이용하여 보다 높은 주파수로 동작하고 높은 이득을 갖도록 설계할 경우 더 많은 면적과 소모 전력을 갖게 되겠지만, 제안된 회로의 면적과 소모 전력의 수치가 비교된 결과 보다 월등히 우수한 성능을 보이고 있는 것을 알 수 있다.

표 4-1. 참고 문헌과의 성능 비교

논문	동작속도	Channel / Channel Loss	면적	전력/ 전원	Process Technology
Ref. [17]	10Gb/s	15ft (4.5m) RU256 Cable / >10dB	0.705mm <sup>2</sup>	155mW / 3.3V	150GHz HBTs BiCMOS
Ref. [18]	10Gb/s	30 " (0.76m) FR4 trace / 19dB	0.16mm <sup>2</sup>	250mW / 1.2V	0.13 $\mu$ m CMOS
Ref. [19]	3.5Gb/s	15m RG-58 Cable / 16dB	0.35mm <sup>2</sup>	80mW / 1.8V	0.18 $\mu$ m CMOS
<b>This Dissertation 2Gb/s Equalizer</b>	<b>2Gb/s</b>	<b>2m FR4 trace / 7.5dB</b>	<b>0.08mm<sup>2</sup></b>	<b>45mW / 2.5V</b>	<b>0.25<math>\mu</math>m CMOS</b>
<b>This Dissertation 3Gb/s Equalizer</b>	<b>3Gb/s</b>	<b>2m FR4 trace / 10dB</b>	<b>0.1mm<sup>2</sup></b>	<b>20mW / 1.8V</b>	<b>0.18<math>\mu</math>m CMOS</b>

## 4.5 Conclusion

4장에서는 3Gb/s 대역의 신호를 2m 길이의 FR4 PCB 패턴에 대해 복원하는 것을 목표로 하여 이퀄라이저를 설계하였다. 설계된 회로는 제작 중에 있으며, 시뮬레이션 결과만으로 그 성능을 검증하였다. LMS 알고리즘에 의한 feedback을 이용하여 DCFE의 증폭이득을 결정하는 방법을 사용하였으며, DCFE의 증폭이득은 8단계(0~7)로 거리에 따라 증가하며, 시뮬레이션 결과 PCB 패턴 0.2m의 경우 2단계, 2m의 경우 8단계의 증폭이득으로 수렴되었다. 디지털 제어방식의 경우 수렴된 이후 이퀄라이저의 동작이 매우 안정적이며, 전력 소모를 줄일 수 있는 장점이 있다. DC offset 제거를 위하여 Bottom Detector에 의한 feedforward 방식을 사용하여 좀더 정확한 이퀄라이저의 동작을 보장하였으며, 두 개의 feedback을 사용하는 방식에 비해 구조를 단순화하였다. 제안된 방식은 기존에 발표된 구조에 비해 DCFE의 증폭이득을 디지털화함으로써 수신 채널에 대한 정보를 저장할 수 있는 장점이 있다. 또, 4.4 절에서 비교된 결과를 통해 알 수 있듯이 면적과 소모전력이 매우 작은 장점이 있다.

## Chapter 5. 3Gb/s Adaptive Pre-emphasis

### 5.1 Introduction

고속 신호의 채널에 의한 영향을 Pre-emphasis 회로를 통해 개선할 수 있음을 2장에서 확인하였다. Pre-emphasis 회로는 전송 신호의 성능을 개선하기 위해서 단지 출력 버퍼에 몇 개의 회로를 추가함으로써 구현할 수 있는 가장 간단한 방법이다. 그러나, Pre-emphasis 회로의 단점은 채널의 특성에 알맞은 동작을 위해서 스스로 그 동작을 제어할 수 없고, 외부에서 제어해 주어야 한다는 것이다.

5장에서는 수신 단에서 나타나는 신호의 성능을 모니터링해서 Pre-emphasis 회로를 스스로 제어하는 방법을 제안하였으며 설계된 회로는 SPICE 시뮬레이션을 통해 검증하였다.

## 5.2 Adaptive Pre-emphasis Structure

고속 송수신 시스템이 그림 5-1과 같이 point-to-point 전송의 형태를 가질 경우 각 시스템에서 출력된 신호는 출력 버퍼와 채널을 거쳐 수신 단의 입력 버퍼로 전해지게 된다. 두 시스템 간의 채널 길이가  $L_1$ ,  $L_2$ 일 때 두 채널의 길이는 거의 같게 되며, 채널의 특성이 비슷할 것을 예상할 수 있다. 두 채널의 특성이 같다면 일반적인 NRZ 데이터가 송신 되었을 경우 수신 부에서 신호를 복원하기 위해 사용된 이퀄라이저의 증폭 이득은 채널의 특성을 반영한 결과이다. 이 결과를 Pre-emphasis 회로에 적절히 적용시킬 수 있다면 Pre-emphasis 회로는 채널의 특성에 알맞은 동작을 하게 된다[21,22].

Pre-emphasis 회로가 안정적으로 동작하기 위해서는 이퀄라이저의 동작에서 수렴된 결과를 Pre-emphasis 회로에 적용하였을 때 Pre-emphasis 회로는 이퀄라이저와 같은 이득을 가져야 한다. 또, 이퀄라이저의 증폭 이득이 채널의 길이와 특성에 따라 바뀌게 되면 Pre-emphasis 회로의 증폭 이득 역시 길이와 특성에 따라 적용되어야 한다.

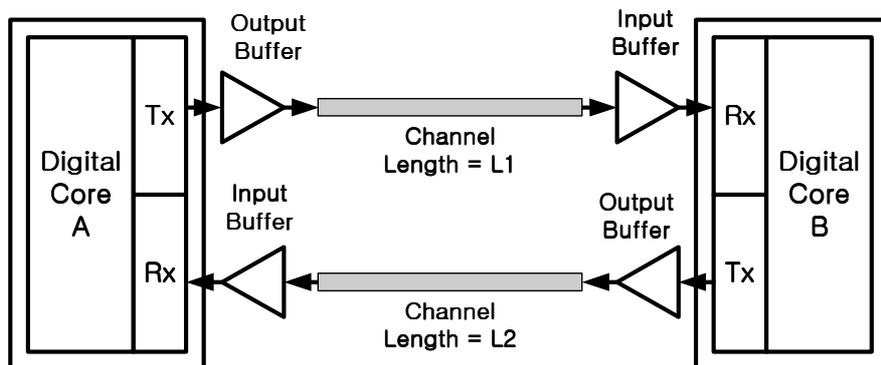


그림 5-1. 송수신 시스템

4장에서 설계된 이퀄라이저는 DCFE의 증폭이득을 조절하기 위해서 디지털 계수를 사용하였다. 그림 4-7과 같이 디지털 계수가 커짐에 의해 DCFE의 주파수 응답은 바뀌게 되고, 높은 주파수 성분에 대한 증폭이득은 더욱 커지도록 설계되었다. 만일 Pre-emphasis 회로를 각각의 디지털 값이 주어졌을 때 DCFE와 같은 증폭이득을 갖도록 구성할 경우 Pre-emphasis의 적응적 동작은 가능하게 된다. 즉, 채널의 길이 및 특성을 이퀄라이저의 동작을 통해 찾은 후 같은 특성을 갖는 채널을 통해 송신할 때 Pre-emphasis의 증폭 이득을 제어할 수 있게 된다. 적응적 동작을 하는 Pre-emphasis 회로의 구성은 그림 5-2와 같다. 다른 시스템과 채널 1을 통해 수신하고 채널 2를 통해 송신하게 될 경우, 두 채널은 비슷한 길이와 특성을 갖게 된다. 다른 시스템이 송신한 신호를 채널 1을 통해 수신하였을 때 이퀄라이저는 채널의 특성을 반영한 증폭이득 값을 제어블록이 출력하게 되고 이 값을 Pre-emphasis 회로가 받아서 채널 2에 알맞은 증폭 이득으로 신호를 송신하게 된다.

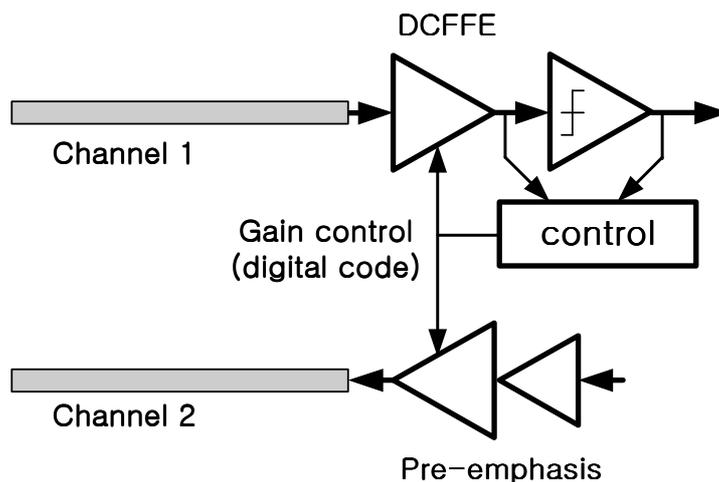


그림 5-2. Adaptive Pre-emphasis 회로 구성도

Pre-emphasis 회로는 그림 5-3과 같이 구성하였다. 송신하기 위한 데이터와 클럭이 있으며, 1bit 지연과 송신 신호의 retiming을 위한 D-F/F(D Flip Flop)이 두 개 포함되어 있다. Pre-emphasis 동작을 위해 그림 2-3에 표시된 구조의 출력 버퍼가 있으며, 출력 버퍼의 tail current를 조절하기 위해 그림 5-4와 같은 구조의 Digital-to-Analog Converter (DAC)가 사용되었다. 디지털 코드에 의해 제어되는 스위치를 이용하여 Pre-emphasis 회로의 tail current를 조절하게 되며, 제어신호에 의해 Pre-emphasis 회로의 증폭 이득 계수를 조절할 수 있게 된다.

이퀄라이저에서 채널의 특성에 따라 제어신호가 나오게 되며, 제어 신호를 Pre-emphasis에 적용시키므로 각 제어 신호에 따라 이퀄라이저의 전달 특성과 Pre-emphasis 회로의 전달 특성을 같게 만들어야 한다. 그러나, Pre-emphasis 회로는 1bit 지연을 갖는 디지털 회로이므로 전달 함수를 쉽게 정의할 수 없으므로 Pre-emphasis 회로의 증폭이득에 대한 정의를 사용하여 이퀄라이저의 증폭이득을 산출하였다. 그림 5-5와 같이 Pre-emphasis 회로에 의해 출력되는 신호에서  $V_{p-p}$ 와  $V_m$ 을 정의하고, 증폭이득을  $V_{p-p} / V_m$ 으로 정의할 때 제어 신호에 따른 증폭이득은 그림 5-6과 같이 나타나며, 1에서 2.6의 증폭 이득 값을 갖는다. 제어 신호에 따른 이퀄라이저와 Pre-emphasis 회로의 증폭이득은 약간의 오차가 존재하지만 거의 유사함을 알 수 있다. 또, 두 블록 모두 디지털 제어신호에 따라 블록의 tail current를 조절하여 증폭이득을 결정하는 구조이므로 온도 및 프로세스 변화에 상대적으로 민감하지 않다.

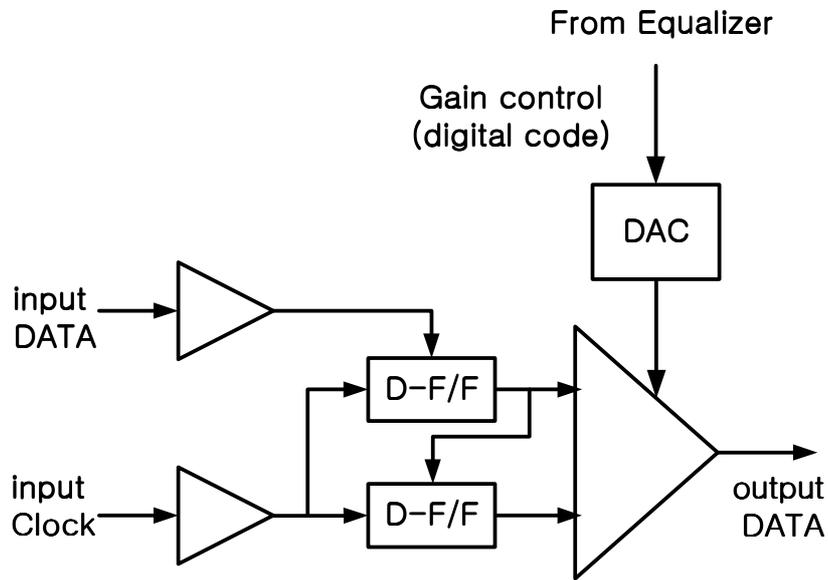


그림 5-3. Pre-emphasis Circuit

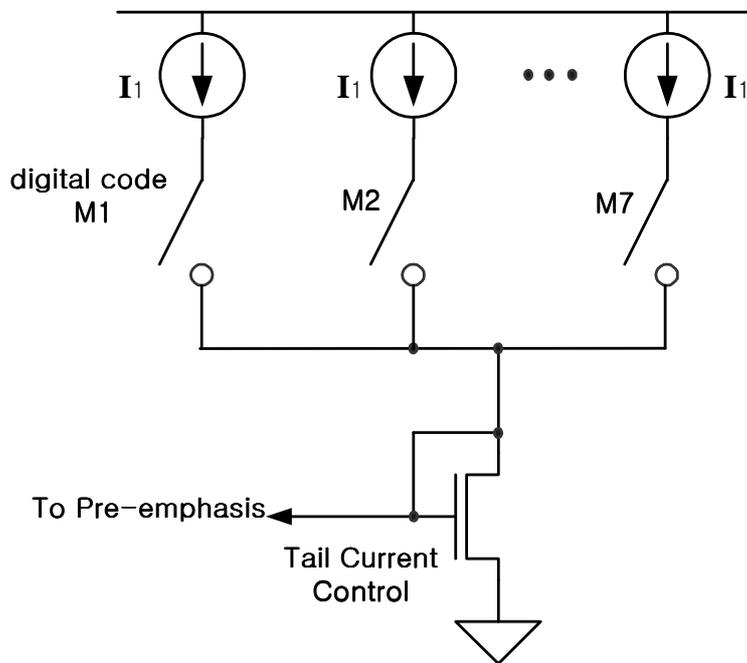


그림 5-4. Digital-to-Analog Converter

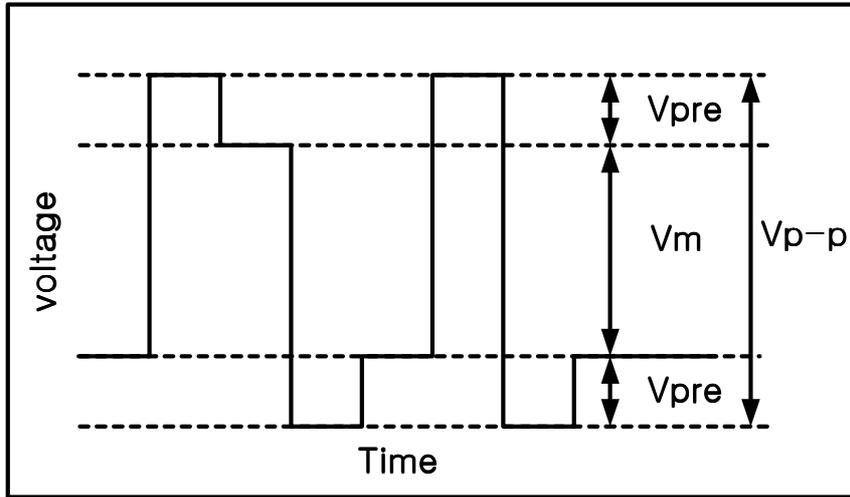


그림 5-5. Pre-emphasis 회로의 출력신호

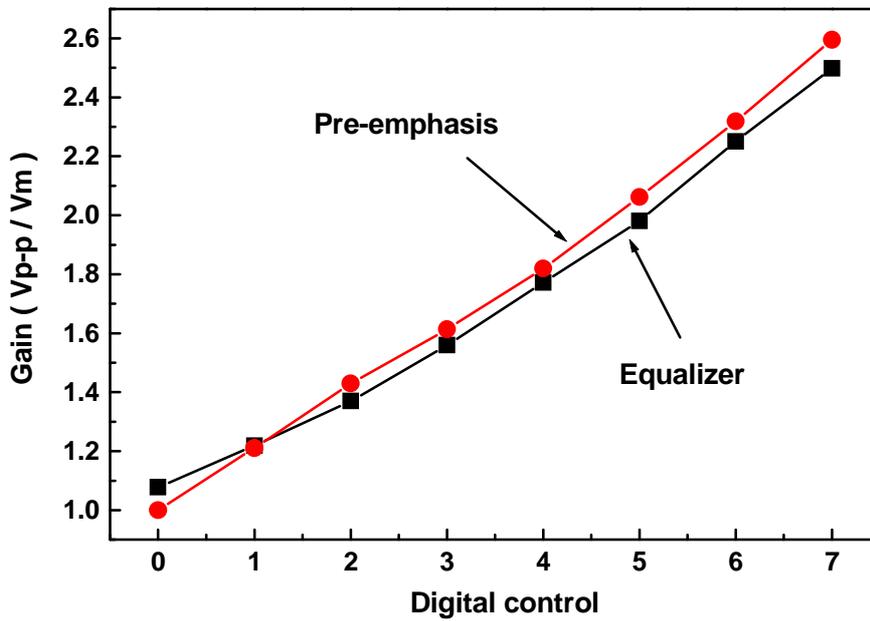


그림 5-6. Pre-emphasis 회로와 Equalizer의 증폭이득

### 5.3 Simulation Results

Pre-emphasis 회로의 적응적 동작과 그 성능을 검증하기 위해서 그림 5-7과 같은 구성으로 시뮬레이션을 수행하였다. 이퀄라이저가 일정한 길이의 채널을 지난 신호를 수신하였을 때 생성시키는 제어신호 값에 대한 시뮬레이션이 필요하며, 그 제어 신호 값을 이용하여 같은 형태의 채널을 통해 Pre-emphasis가 송신하였을 경우 수신 부에 나타난 신호가 어떤 형태를 가지게 되며 다른 값을 가졌을 때보다 수신 부에서 나타난 신호가 개선된 성능을 가지게 되는지를 검증해야 한다. 송수신부에 임피던스 정합을 위한  $50\Omega$  저항이 있게 되며, 채널로는 PAD, Package, PCB trace가 사용되었다. 이퀄라이저에 사용된 채널 1과 Pre-emphasis에 사용된 채널 2는 순서는 반대이지만 그 특성은 같다.

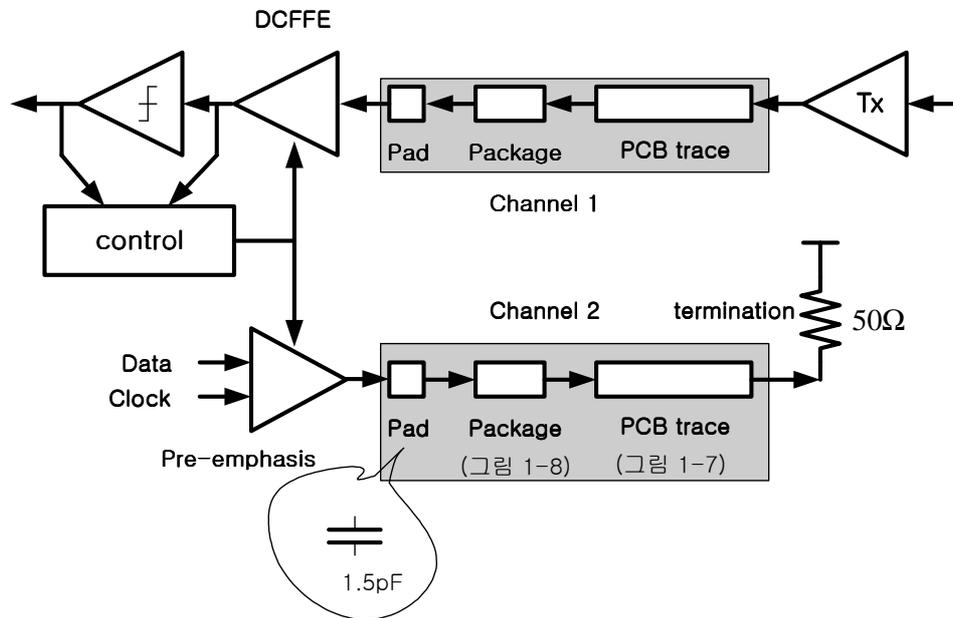


그림 5-7. Pre-emphasis simulation 구성

시뮬레이션 결과 그림 5-7과 같은 구조의 채널에 대해 PCB 패턴의 길이가 0.2 ~ 2m일 때 이퀄라이저에 의해 수렴된 디지털 제어 신호의 값은 그림 5-8과 같이 결정되었다. 이 값을 Pre-emphasis 회로에 적용하여 4가지 채널 길이에 대해 3Gb/s 신호를 전송한 결과를 그림 5-9,10,11,12에 나타내었다. 각각의 채널 길이에 대해 Pre-emphasis를 하지 않았을 경우와 Pre-emphasis 시킨 결과의 차이를 확인할 수 있으며, 이퀄라이저에 의해 채널 특성에 알맞은 제어신호가 발생하여 효과적으로 Pre-emphasis 회로의 동작을 제어한 것을 알 수 있다.

0.18 $\mu$ m CMOS 공정을 사용하여 설계되었으며, 그림 5-13에 레이아웃 결과를 보였다, 면적은 약 0.12mm<sup>2</sup>로 나타났으며, 소비전력은 출력 변조 계수가 커짐에 따라 더 큰 전류를 사용하게 되며, 제어신호에 따라 58mW ~ 78mW의 전력을 소모하였다.

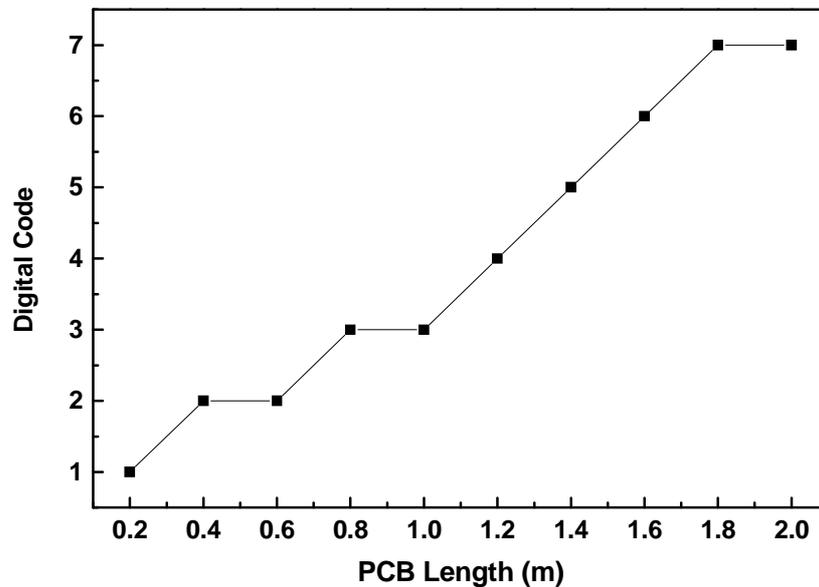


그림 5-8. PCB 길이에 따른 이퀄라이저의 수렴된 제어신호 값

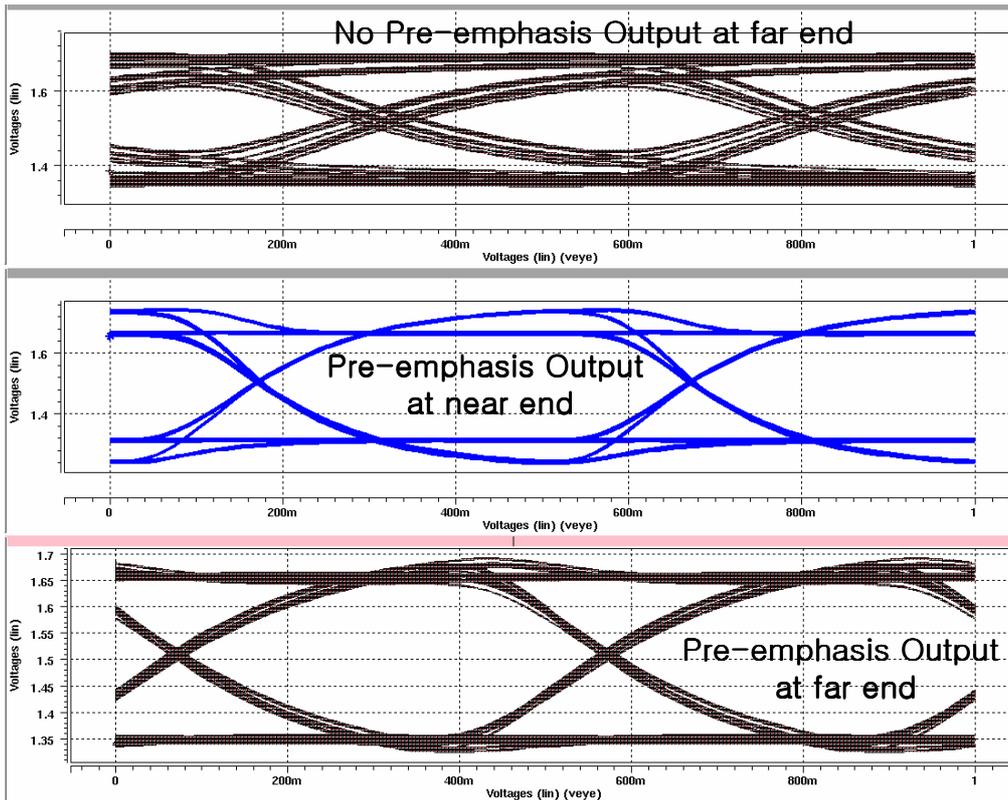


그림 5-9. Eye Diagram of Pre-emphasis output (3Gb/s PRBS  $2^7-1$ @0.5m PCB trace)  
 : 위에서부터 pre-emphasis 하지 않았을 경우에 패턴을 지난 후의 파형, Pre-emphasis(제어신호 = 2)했을 경우 패턴을 지나지 않았을 때의 파형과 지난 후의 출력 파형

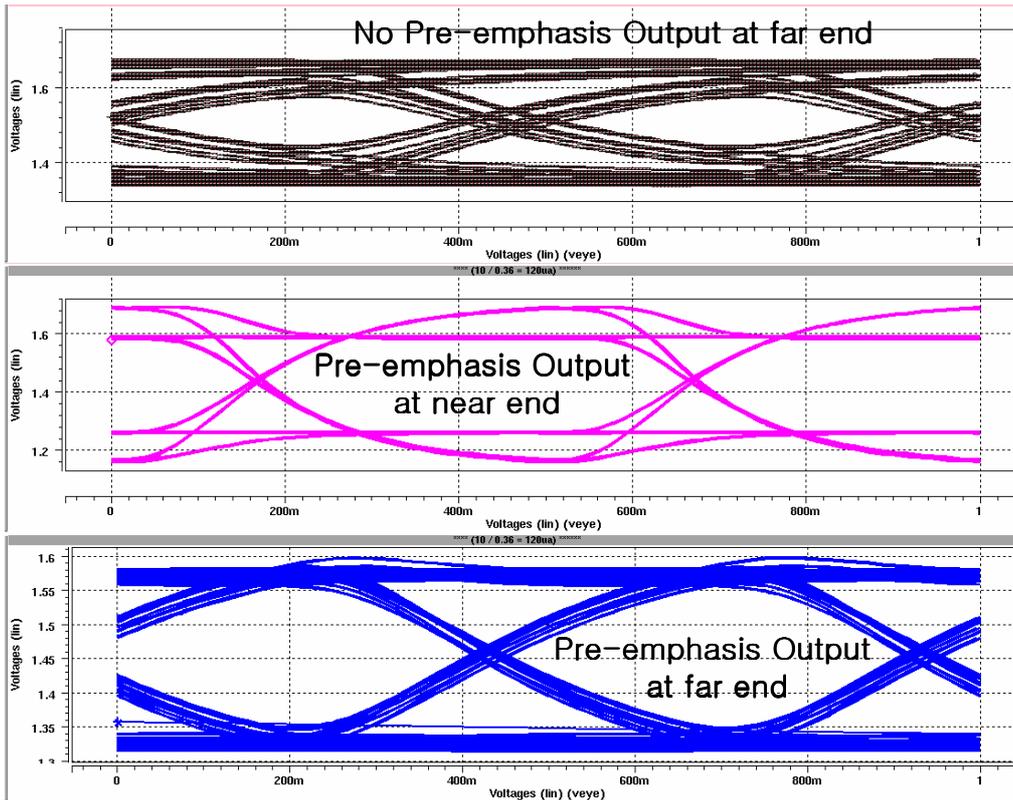


그림 5-10. Eye Diagram of Pre-emphasis output (3Gb/s PRBS 2<sup>7</sup>-1@1m PCB trace)  
 : 위에서부터 pre-emphasis 하지 않았을 경우에 패턴을 지난 후의 파형, Pre-emphasis(제어신호 = 3)했을 경우 패턴을 지나지 않았을 때의 파형과 지난 후의 출력 파형

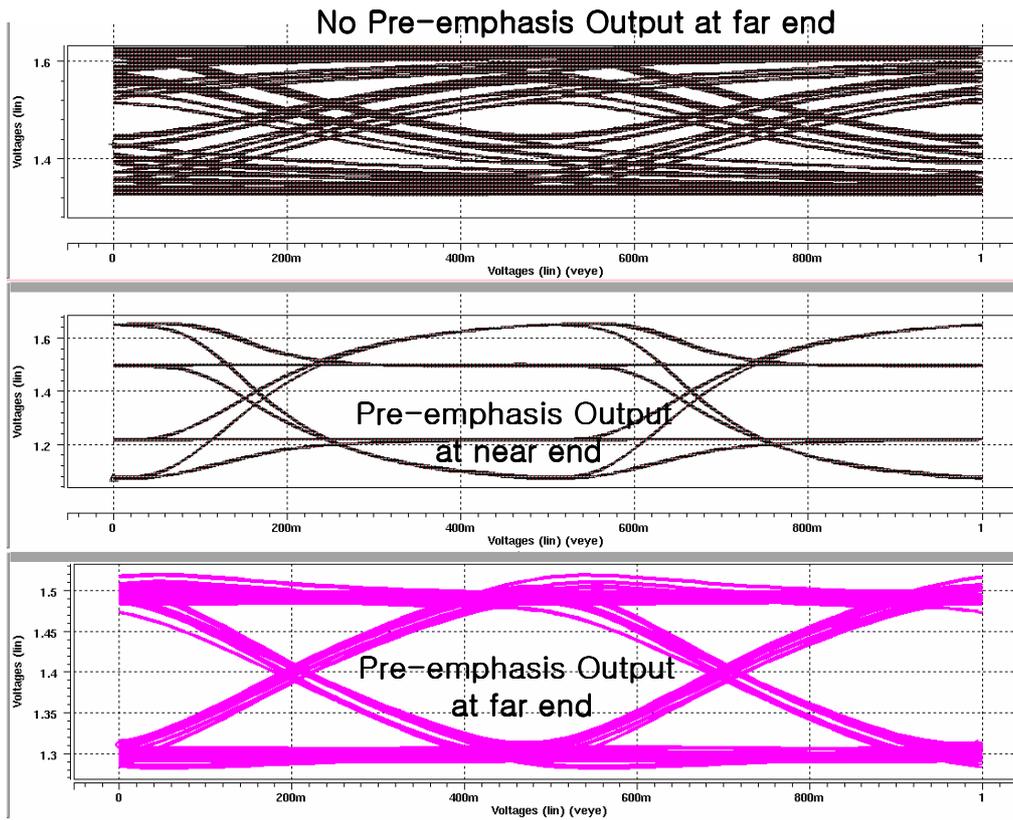


그림 5-11. Eye Diagram of Pre-emphasis output(3Gb/s PRBS  $2^7-1$  @1.4m PCB trace)  
 : 위에서부터 pre-emphasis 하지 않았을 경우에 패턴을 지난 후의 파형, Pre-emphasis(제어신호 = 5)했을 경우 패턴을 지나지 않았을 때의 파형과 지난 후의 출력 파형

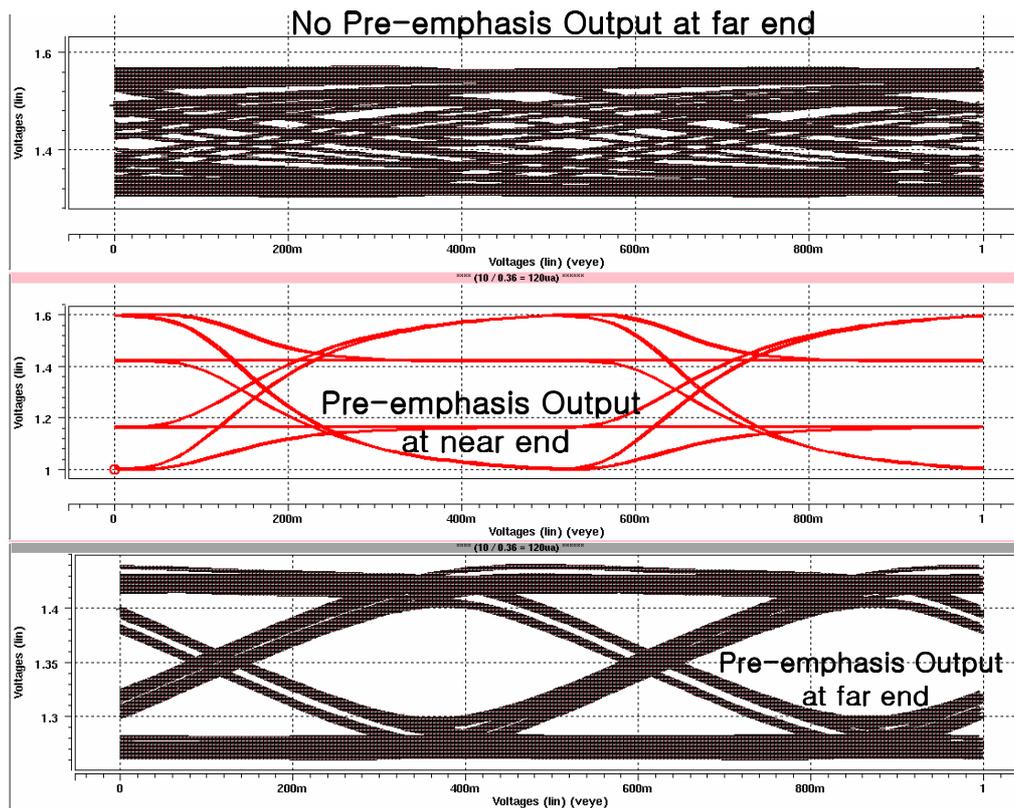


그림 5-12. Eye Diagram of Pre-emphasis output (3Gb/s PRBS  $2^7-1$ @2m PCB trace)  
 : 위에서부터 pre-emphasis 하지 않았을 경우에 패턴을 지난 후의 파형, Pre-emphasis(제어신호 = 7)했을 경우 패턴을 지나지 않았을 때의 파형과 지난 후의 출력 파형

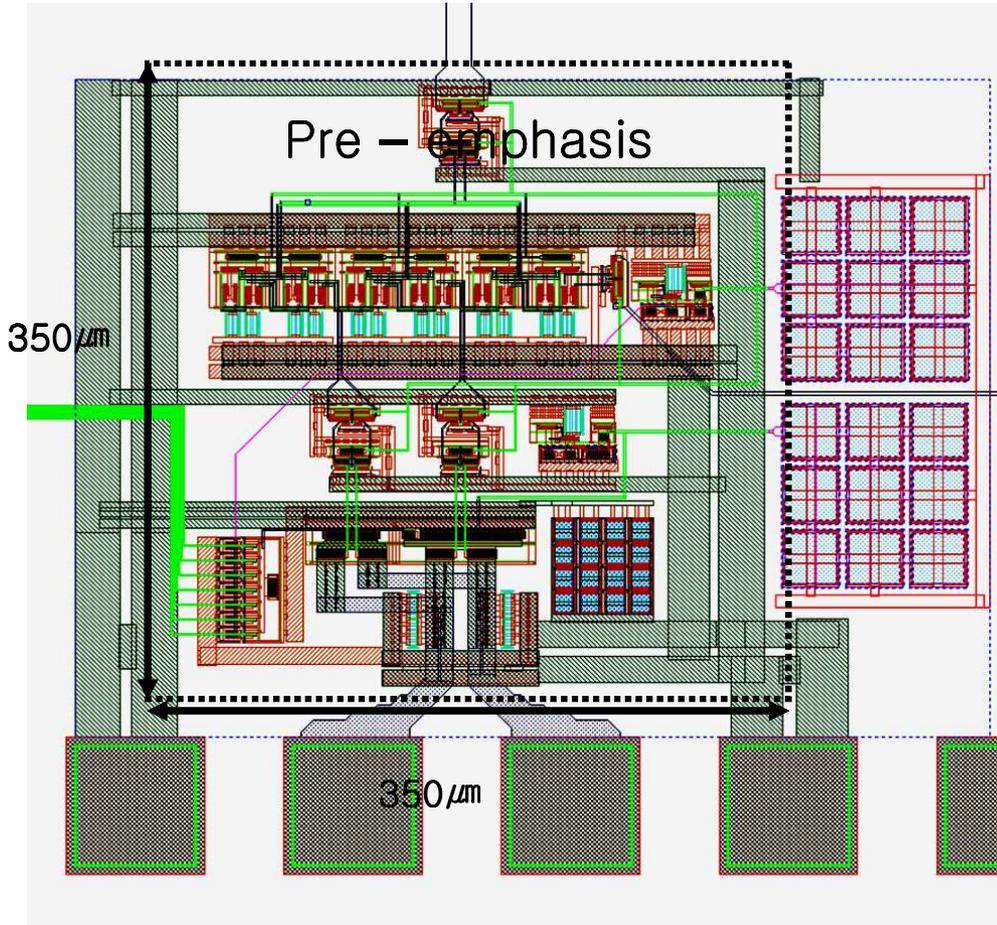


그림 5-13. Pre-emphasis Circuit Layout

## 5.4 Conclusion

5장에서는 채널의 특성에 따라 적응적 동작을 할 수 있는 독창적 구조의 **Pre-emphasis** 회로를 제안하였다. 제안된 구조는 4장에서 설명된 이퀄라이저와 같은 전달 특성을 가지는 **Pre-emphasis** 회로를 이용하는 것으로써 **Point-to-point** 통신 방식을 사용하는 시스템의 송수신 채널 특성이 유사할 것을 가정하여 수신 신호의 복원과정에서 사용되는 이퀄라이저의 증폭이득을 **Pre-emphasis** 회로에 사용하여 **Pre-emphasis** 회로의 적응적 동작이 가능케 하였다. 이러한 방식은 다채널 송수신 시스템의 경우 두 송수신부를 연결하는 각각의 채널 특성이 유사할 것을 예상할 수 있으므로, 한 개의 수신 이퀄라이저로부터 다수의 송신 **Pre-emphasis** 동작을 가능케 한다[21].

제안된 회로는  $0.18\mu\text{m}$  CMOS 공정을 사용하여 설계되었으며, SPICE 시뮬레이션을 통해서 그 성능을 검증하였다. 3Gb/s 대역의 신호를 송수신할 수 있으며, 2m 길이의 PCB 패턴까지 신호의 eye 개선이 가능하였다.

## Chapter 6. Summary

Gb/s 대역의 고속 데이터를 전송할 경우 유선 채널에서 발생하는 ISI를 줄이기 위한 방법으로 송신 단의 **Pre-emphasis** 회로와 수신 단의 이퀄라이저가 있다. 본 논문에서는 2Gb/s와 3Gb/s 대역에서 동작하는 **Pre-emphasis** 회로와 이퀄라이저 회로에 대해서 설명하였다.

채널로 사용되는 케이블과 PCB 패턴, 패키지에 대한 특성을 분석한 후 이퀄라이저 동작 검증에 위한 시뮬레이션에 적용하였으며, 고속 데이터 전송을 위해 이퀄라이저가 어떤 동작을 해야 하는지 알 수 있었다. 2Gb/s 대역의 **Pre-emphasis** 회로의 제어와 출력 신호의 관계에 대해 분석하고 수신 부에서 나타날 신호를 예측하는 방법에 대해 설명하였으며, 설계된 회로의 측정된 결과와의 비교를 통해서 분석 방법 및 결과가 일치함을 보였다.

2Gb/s 대역에서 동작하는 새로운 구조의 이퀄라이저를 제안하였으며, 여러 가지 길이의 PCB 패턴에서 전송한 측정 결과를 통해서 이퀄라이저의 동작을 검증하였다. 이퀄라이저의 구조를 단순화하기 위해서 **Replica feedback**을 이용한 리미터 회로를 사용하였으며, 이러한 방법으로 HPF를 사용하지 않고 두 신호의 천이 속도를 측정할 수 있었다. 제안된 회로는 작은 면적과 소모 전력을 가지는 장점이 있다.

또, 3Gb/s 대역에서 동작하는 새로운 구조의 이퀄라이저를 제안하고, 시뮬레이션 결과를 통해 그 동작을 검증하였다. LMS 알고리즘에 의한 feedback을 이용

하여 DCFE의 증폭이득을 결정하는 방법을 사용하였으며, 디지털 제어 방식을 사용하여 수렴된 이후 이퀄라이저의 동작이 매우 안정적이며, 전력 소모를 줄일 수 있는 장점이 있다. Feedforward 방식의 DC offset 제거로 좀더 정확한 이퀄라이저의 동작을 보장하였으며, 큰 면적을 차지하는 HPF와 LPF 없이 동작할 수 있도록 하여 면적에서 장점을 가진다. DCFE의 증폭이득을 디지털화함으로써 수신 채널에 대한 정보를 저장할 수 있는 장점이 있다.

Pre-emphasis 회로의 단점으로 생각되는 외부 제어를 적응 동작으로 바꾸기 위해서 새로운 방식을 제안했다. 이퀄라이저를 디지털 방식으로 제어하여 증폭 이득을 추출함으로써 같은 전달 특성을 갖는 Pre-emphasis 회로를 동작시킴으로써 같은 특성의 채널에서 송수신하는 두 시스템에서 사용할 수 있도록 하였다. 이러한 방식은 다채널 송수신 시스템의 경우 두 송수신부를 연결하는 각각의 채널 특성이 유사할 것을 예상할 수 있으므로, 한 개의 이퀄라이저로 부터 다수의 송신 Pre-emphasis 동작을 가능케 한다.

각각의 블록은 2Gb/s, 3Gb/s 신호를 2m 길이의 PCB 패턴을 통한 전송을 목표로 하여 설계되었으며, 측정결과 및 시뮬레이션을 통해 검증하였다.

## References

- [1] W. J. Dally and J. Poulton, "Transmitter equalization for 4-Gbps signaling," IEEE Micro, vol. 17, pp. 48-56, Jan.-Feb. 1997.
- [2] Yoshiharu Kudoh, Muneo Fukaishi and Masayuki Mizuno, "A 0.13  $\mu\text{m}$  CMOS 5-Gb/s 10-meter 28AWG Cable Transceiver with No-Feedback-Loop Continuous-Time Post-Equalizer," IEEE J. Solid-State Circuits, vol. 38, pp. 741-746, May. 2003.
- [3] M. Bruensteiner, George C. papen, John Poulton, Stephen Tell, Robert Palmer, Kirk Giboney, David Dolfi and Scott Corzine, "3.3-V CMOS Pre-Equalization VCSEL Transmitter for Gigabit Multimode Fiber Links," IEEE Photonics Technology Letters, vol. 11, pp. 1301-1303, Oct. 1999.
- [4] William J. Dally and John W. Poulton, Digital systems Engineering, Cambridge, 1998, pp. 52
- [5] <http://www.meteorscatter.net/cable.htm>
- [6] Avanti!, "Star-HSPICE Manual, Release 1999.4", 1999
- [7] <http://www.logiccell.com/~jean/LVDS/>
- [8] G. P. Hartman, Kenneth W. Martin and Angus McLaren, "Continuous Time Adaptive Analog Coaxial Cable Equalizer in 0.5  $\mu\text{m}$  CMOS," Proc. Int. Symp on Circuits and Systems, pp. 97-100, May 1999.
- [9] Tai-Cheng Lee and Behzad Razavi, " A 125-MHz CMOS Mixed-Signal Equalizer for Gigabit Ethernet on Copper Wire," IEEE Custom Integrated Circuits Conference, 2001, pp. 131-134.
- [10] Kamran Azadet, Meng-Lin Yu, Patrik Larsson and David Inglis, "A Gigabit Transceiver Chip Set for UTP CAT-6 Cables in Digital CMOS Technology," IEEE International Solid-State Circuits Conference, 2000, pp. 300-307.

- [11] N. Patrick Kelly, Danial L. Ray and David W. Vogel, "A Mixed-Signal DFE/FFE Receiver for 100Base-Tx Applications," IEEE International Solid-State Circuits Conference, 2000, pp. 310-311.
- [12] Pezhman Amini and Omid Shoaie, "A Low-Power Gigabit Ethernet Analog Equalizer," IEEE International symposium on Circuits and Systems, 2001, vol. 1, pp. 176-179
- [13] Joseph N. Babanezhad, "A 3.3V Analog Adaptive Line-Equalizer for Fast Ethernet Data Communication," IEEE Custom Integrated Circuits Conference, 1998, pp. 343-346.
- [14] Mohammad H. Shakiba, "A 2.5Gb/s Adaptive Cable Equalizer," IEEE International Solid-State Circuits Conference, 1999, pp. 396-397.
- [15] J. Maneatis, "Low-jitter process-independent DLL and PLL based on self-biased techniques," IEEE J. Solid-State Circuits, vol.31, pp.1723-1732, Nov. 1996
- [16] M. W. Kruiskamp and D. M. W. Leenaerts, "A CMOS Peak Detect Sample and Hold Circuit," IEEE Transactions on Nuclear Science, vol. 41, No.1, pp. 294-298, Feb. 1994.
- [17] Guangyu Zhang, Pruthvi Chaudhari and Michael M. Green, "A BiCMOS 10Gb/s Adaptive Cable Equalizer," ISSCC Dig. Tech. Paper, pp. 482-483, Feb., 2004
- [18] Srikanth Gondi, Jri Lee, Daishi Takeuchi and Behzad Razavi, "A 10Gb/s CMOS Adaptive Equalizer for Backplane Applications," ISSCC Dig. Tech. Paper, pp. 328-329, Feb., 2005.
- [19] Jong-Sang Choi, Moon-Sang Hwang, Deog-Kyoon Jeong, "A 0.18  $\mu\text{m}$  CMOS 3.5-Gb/s Continuous-Time Adaptive Cable Equalizer Using Enhanced Low-Frequency Gain Control Method," IEEE J. Solid-State Circuits, vol.39, pp.419-425, March. 2004

- [20] Jan M. Rabaey, Anantha Chandrakasan and Borivoje Nikolic., "*Designing Sequential Logic Circuit.*" chap. 7 in Digital Integrated Circuits, Second Ed., Prentice Hall, 2002.
- [21] 정태식, 이재욱, 최우영, 이범철, 김봉태, 이종현. "수신측의 전송특성에 따라 적응화된 등화 및 프리엠퍼시스를 수행하는 데이터 송수신 장치 방법," 국내 특허 출원 번호: 2003-82348, 출원일 2003. 11. 19
- [22] Hoon Lee, Kwisung Yoo and Gunhee Han, "Analog Adaptive shaping and Line Equalizer For 400Mb/s data rate on 50m STP Cable," 대한전자공학회 하계종합학술대회 논문집 26 권, 2003, pp. 887-890.

## Abstract

# High Speed Equalizers for Backplane Serial Links

Jae-Wook Lee  
Dept. of Electrical and Electric Eng.  
The Graduate School  
Yonsei University

This dissertation describes high speed CMOS adaptive equalizers and pre-emphasis circuits for compensation signal impairments arising from the transmission media such as frequency-dependent loss.

A 2Gb/s conventional pre-emphasis circuit structure is described, and its optimal operating control method and its limitations are also described. From analysis results, transmitted signal waveform prediction is possible.

And a novel 2Gb/s equalizer is proposed and analyzed. With replica feedback limiting amplifier, equalizer has simple structure. Successful equalization is demonstrated for signal transmitted over 2m long PCB trace.

Another novel 3Gb/s equalizer is presented and verified with simulation results. With digitally boosting gain control method, stable equalizer operation is guaranteed and low power dissipation is accomplished.

Finally, a novel 3Gb/s adaptive pre-emphasis is proposed and verified with simulation results. In point-to-point communication systems, two transceivers have two channels for transmitting signal. Both channels have similar characteristics because channel lengths are exactly same. The pre-emphasis circuit obtains channel characteristics by digitally controlled equalizer and transmits signal with boosting gain which decided by equalizer. With this process, adaptive operation is acquired.

---

**KEYWORDS:** Equalizer, Pre-emphasis, Transmitter, Receiver, Transceiver,  
Frequency dependent loss