

2014 SoC 학술대회

논문 모집

2014년 대한전자공학회 SoC 설계 연구회에서는 논문 발표회 및 특별 강좌 프로그램을 아래와 같이 개최하오니 산학연 관련 논문을 많이 투고하여 주시기 바랍니다.

◆ **일시** : 2014년 5월 17일(토) 10:00~17:30 (학술발표)
2014년 5월 16일(금) 18:30~21:00 (전야제)

◆ **장소** : 한양대학교 ITBT관 911호

◆ **발표분야** : SoC 설계 전 분야

A. Analog & RFIC

1. Analog and Mixed-signal Circuits
2. RF ICs
3. High Speed Signal Interface Circuits

B. Digital

1. Microprocessors, DSP Architectures
2. Multimedia (Audio/Video) SoC
3. Communication SoC

C. Design Methodology

1. SoC Design Methodology
2. SoC Testing and Verification
3. Signal Integrity and Interconnect Modeling

D. Embedded Systems & Power IC

1. Memory Circuits and Display ICs
2. Embedded Systems and Software
3. PMIC and Low Power Design Techniques
4. Emerging Technologies

◆ **논문 제출 방법**

① 논문 접수 마감 : 2014년 4월 4일 4월 18일(금)

※ 논문 제출 방법은 학술대회 홈페이지 (<http://soc2014.org>) Paper Submission에서 확인 바랍니다.

② 심사 결과 통보 : 2014년 4월 11일 (금)

※ 이메일 통보 및 홈페이지 참조

※ 본 학술대회에서 선정된 우수 논문은 시상 및 대한전자공학회 논문집 SD편과 JSTS에 추천됩니다.

☎ 담당자 :

한양대학교 융합전자공학부 김동규 교수 (DQKIM@hanyang.ac.kr)

최원섭 (02-2220-4926 / wsc@hanyang.ac.kr)

 **대한전자공학회**
IEIE The Institute of Electronics and Information Engineers

 **한양대학교**

 **ETRI** 한국전자통신연구원
SW-SoC융합R&BD센터

 **KETI** 전자부품연구원
Korea Electronics Technology Institute

 Hanyang University **BK21플러스**

| 주 최 | 대한전자공학회 SoC 설계 연구회
| 주 관 | 한양대학교, 전자통신연구원 SW-SoC 융합R&BD센터,
전자부품연구원, 한양대학교 BK21 사업단

Session A3 : Analog

세션번호	발표시간	발표장소	좌장
A3	15:30 – 17:00	501호	

▪ No.1

USB 2.0 high-speed PHY interface를 위한 전송선의 Verilog modeling

성기환, 임지훈, 김병섭, 심재윤, 박홍준
(포항공과대학교)

▪ No.2

65-nm 표준 CMOS 공정을 사용한 25-Gb/s 광 통신용 송신기 회로 설계

임진수, 김성근, 최우영
(연세대학교)

▪ No.3

CMOS 이미지 센서 인터페이스 용 Gb/s SerDes

홍재형, 김병섭, 박홍준, 심재윤
(포항공과대학교)

▪ No.4

수신 단 TIA 터미네이션 기법의 단일 신호선 듀오바이너리 송수신 단 회로

이수민, 이일민, 김병섭, 심재윤, 박홍준
(포항공과대학교)

▪ No.5

초고속 Time-interleaved A/D 변환기용 듀티 보정회로를 갖춘 Phase Locked Loop의 설계

박도우, 송민규
(동국대학교)

65-nm 표준 CMOS 공정을 사용한 25-Gb/s 광 통신용 송신기 회로 설계

임진수¹, 김성근¹, 최우영¹

¹연세대학교 전기전자공학부

전화: (02)2123-7709, E-mail: peterjinsoorhim@gmail.com

A 25-Gb/s Optical Transmitter Circuit Realized with 65-nm standard CMOS Technology

Jinsoo Rhim¹, Sung-Guen Kim¹, Woo-Young Choi¹,

¹School of Electrical and Electronic Engineering, Yonsei University

134 Shinchon-dong, Seodaemun-gu, Seoul, Korea 120-749

요 약

본 논문은 실리콘 기반 광 통신을 위한 25-Gb/s 송신기 설계에 관한 논문이다. 고속 신호를 생성하고 검증하기 위해 on-chip PRBS 생성기를 병렬 방식으로 구현하여 8개의 3.125-Gb/s PRBS-7 / PRBS-31 패턴을 생성하였고, 8:1 serializer를 사용하여 이를 25-Gb/s 데이터로 직렬화하였다. 광 변조기의 충분한 extinction ratio를 위해 필요한 $2-V_{p2p}$ 전압을 생성하는 modulator driver 회로는 3-V 전원을 사용하였다. 설계된 송신기 회로는 표준 65-nm CMOS 공정을 사용하여 제작되었고, 측정을 통해 동작을 검증하였다.

Abstract

This paper presents a 25-Gb/s transmitter circuit for Si photonics applications. In order to generate and verify high-speed data, an on-chip PRBS generator is integrated. It has 8 x 3.125-Gb/s PRBS-7 / PRBS-31 output, which are serialized into 25-Gb/s data using 8:1 serializer. The modulator driver uses 3-V supply voltage in order to provide $2-V_{p2p}$ signals required for the sufficient extinction ratio of the Si optical modulator. A proto-type chip is fabricated with 65-nm standard CMOS technology and verified with measurement.

Keywords : 25-Gb/s transmitter, Si photonics, 65-nm standard CMOS technology

I. 서 론

최근 들어 멀티미디어 기기들이 발달하고 이를 사용하는 사용자들이 급격하게 증가함에 따라 고속 대용량 데이터 전송에 대한 요구가 가파르게 증가하고 있다 [1]. 기존의 전기적 전송 방식은 손실이 주파수에 비례하므로 데이터 전송 속도를 제약하는 요소가 된다. 이를 해결하기 위해 광 전송 방식을 활용하여 속도의 한계를 극복하고자 하는 노력이 다양하게 진행되어 왔다. 광 전송 환경은 전기적 전송 방식보다 손실이 매우 작

고, Wavelength Division Multiplexing (WDM) 등의 전송 방식을 통해 더 많은 데이터를 전송할 수 있어 향후 고속 대용량 데이터 전송에 적합하다.

최근 들어 Silicon-On-Wafre (SOI) 공정을 활용하여 광소자와 회로를 같은 공정으로 구현할 수 있게 됨에 따라 회로와 광소자를 함께 구현하고 집적하는 연구가 가속화되고 있다 [2]. 본 논문에서는 25-Gb/s 광 통신용 송신기 회로를 설계하였고, 65-nm 표준 CMOS 공정을 사용하여 이를 구현했으며 측정을 통해 동작을 검증하였다.

II. 본 론

본 논문에서 설계한 25-Gb/s 광 통신용 송신기 회로는 그림 1과 같이 Pseudo-Random Binary Sequence (PRBS) 생성기, 8:1 Serializer, 그리고 modulator driver로 구성되어 있다. 고속 입출력 신호가 열화되어 확인이 어려워 PRBS 생성기를 내장하는 온 칩 테스트 방식을 채택하였다. 광 통신에서 사용되는 변조기는 회로의 전원 전압보다 높은 전압으로 구동해야 하므로 별도의 전원을 사용하는 modulator driver 회로가 포함되어 있다.

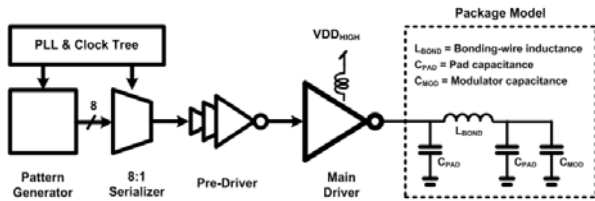


그림 1. 설계된 25-Gb/s 광 통신용 송신기 구조

III. 측정 결과

설계한 25-Gb/s 광 통신용 송신기는 65-nm 표준 CMOS 공정을 이용하여 제작되었다. 설계된 칩의 레이아웃과 제작된 칩의 사진은 그림 2에서 보이고 있고 제작된 칩의 성능은 표 1에서 요약하였다. 고속의 데이터를 생성하는 회로이므로 bare-chip probing을 통해 손실을 최소화하였고 오실로스코프와 BER tester를 활용하여 동작을 검증하였다. 그림 3은 생성된 25-Gb/s PRBS-7 / PRBS-31 데이터의 eye-diagram을 나타낸다.

IV. 결 론

본 논문에서는 25-Gb/s 광 통신용 송신기 회로를 설계하고 65-nm 표준 CMOS 공정을 사용하여 이를 구현, 검증하였다. 제작된 칩은 bare-chip probing을 통해 측정하였으며, 오실로스코프와 BER tester를 활용하여 파형을 관찰하고 PRBS 패턴이 정확하게 생성되는 것을 확인하였다.

Acknowledgement

This work was supported by the National Research Foundation of Korea (NRF) grant

funded by the Korea government (MEST) [2012R1A2A1A-01009233]. The authors are thankful to IDEC for EDA software support.

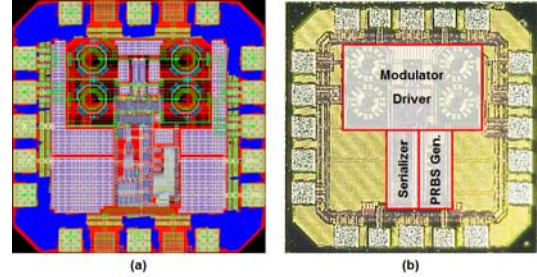


그림 2. 25-Gb/s 광 통신용 송신 회로의 (a) 레이아웃 (b) 제작된 칩 사진

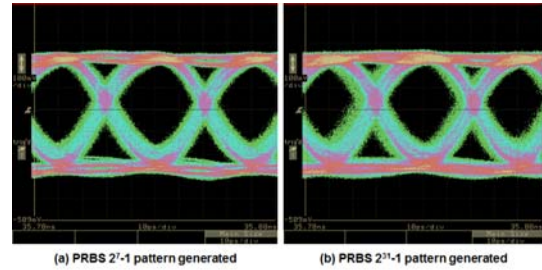


그림 3. 생성된 25-Gb/s 데이터 eye-diagram (a) PRBS-7 (b) PRBS-31

표 1. 성능 요약

Table 1. Performance summary

Data-rate [Gb/s]	25
Supply [V]	3 (modulator driver) 1 (PRBS gen. + 8:1 Ser.)
Output Swing [V]	2
Power [mW]	135 (modulator driver) 60 (PRBS gen. + 8:1 Ser.)
Area [mm ²]	0.49

참 고 문 헌

- [1] T. Y. Liow, et al, "Silicon Modulators and Germanium Photodetectors on SOI: Monolithic Integration, Compatibility and Performance Optimization," IEEE J. Sel. Topics Quantum Electron., vol.16, no.1, pp.307-315, Jan. 2010.
- [2] J. F. Buckwalter, et al, "A Monolithic 25-Gb/s transceiver with Photonic Ring Modulators and Ge Detectors in a 130-nm CMOS SOI Process," IEEE J. Solid-State Circuits, vol.47, no.6, pp.1309-1322, Jun. 2012.