3Gbps급 0.25㎛ CMOS LVDS I/O Interface의 설계

이 천 오, 정 태 식*, 최 우 영
연세대학교 전기 전자공학과
*한국전자통신연구원 IP스위칭팀
Tel: (02) 2123-2874 / bluewat@tera.yonsei.ac.kr

0.25㎛ CMOS LVDS I/O Interface for 3Gbps Operation

Cheon-Oh Lee, *Tae-Sik Cheung, Woo-Young Choi
Dept. of Electrical and Electronic Engineering, Yonsei University
*ETRI, IP Switching Team

Abstract

0.25㎛ CMOS LVDS(Low Voltage Differential Signaling) I/O interface circuits are designed. Designed interface circuits can handle data rates up to 3Gbps with power consumption of 120mW.

1. 서론

Chip 성능이 향상되어 감에 따라 I/O의 bandwidth가 전체적인 Chip 성능의 중요한 부분이 되고 있다. 고속 I/O는 외부 noise나 전원 noise에 민감하지 않도록 current mode differential signaling 사용, 내부 종단 저항, edge rate control등이 필요하다.

LVDS I/O의 경우 output buffer쪽에서는 일정하게 전류의 흐름을 유지하면서 전류방향만 바뀌도록 구성되고, input buffer쪽에서는 100 의 종단저항에 걸리는 전압 차이를 감지하여 증폭하는 구조로 되어 있다.[1] 본 논문에서 output buffer 구성은 [2]에 제시된 구조인 저항을 이용한 common-mode feedback 회로를 두 개의 NMOS로 대치하여 간소화했고 input buffer는 negative feedback을 이용한 새로운 형태 조합으로 구성되었다. Feedback이 있는 경우와 없는 경우 시뮬레이션 상으로 약 66% (1.8Gbps -> 3Gbps)의 성능차이를 확인 할 수 있었다.

2. LVDS I/O buffer

일반적으로 LVDS output buffer는 일정한 common-mode 전압(1.2V)과 output 전류(4mA)를 유지하는 기능을 요구한다[1]. Output buffer는 크게 main-driver와 pre-driver로 구성되어 있다. Main-driver는 [2]에 제시된 형태의 output buffer에서 common-mode feedback 회로 부분이 개선된 구조이다 (그림 1 (b)). Common-mode feedback 저항 대신 두 개의 NMOS pair로 구성되어 있다. 또한 [3]에서 제안된 구조와 비교해 볼 때 외부저항이 필요하지 않다. Pre-driver는 불필요한 swing폭을 줄여 pre-driver 자체 크기를 줄이고 속도를 향상시키기 위해 사용하였으며 구조는 그림 1의 (c)와 같다[4]. Pre-driver bias 회로로는 replica bias를 사용하였다.

LVDS input buffer는 큰 common-mode 전압(0.1V ~ 2.4V)에 대해서 동작이 되어야 한다. 이것을 만족하기 위해서 level shifter를 이용한 구조[5], 신호의 attenuation을 이용하여 common-mode를 축소시키는 구조[3], 그리고 구조적으로 rail-to-rail common-mode가 가능한 구조[6] 등이 사용되고 있다. 본 논문에서는 input buffer의 gain-bandwidth를 늘리기 위해 Bazes's amplifier[6](그림 2 (a))에 high gain amplifier(그림 2 (b))를 negative feedback으로 연결한 구조를 사용했다. 후단의 differential amplifier는 single inverter에 비해 PVT의 변화에 따른 threshold 전압의 변화가 적은 특성을 지닌다.

3. Simulation

Simulation 구성은 그림 3과 같다. Simulation은 layout으로부터 parameter를 추출하여 post-simulation을

수행하였다(TSMC CMOS 0.25um parameter 사용). 전송 채널인 transmission line은 FR-4 기판상의 100Ω differential stripline 형태로 구성되었다(그림 5). 이의 simulation을 위해 HSPICE lossy transmission line인 W-model을 이용하였다. Package model로는 BGA(Ball Grid Array) type을 사용하였으며 등가 model로는 그림 4와 같다. 그림 6은 공정 parameter의 TT corner(Typical NMOS Typical PMOS)에서 3Gbps의 differential input sequence "011000001010011 11101010001111100 0"을 넣었을 경우 I/O buffer 각각에 대한 feedback이 있을 경우와 없을 경우의 출력 파형이다(2nsec에서 시작). (a)는 output buffer의 입력 파형으로서 input sequence 파형을 나타낸다. (b)는 negative feedback이 없는 경우의 input buffer를 simulation 한 것으로서 3Gbps의 신호가 제대로 복원이 되지 않고 있다. (c)는 negative feedback이 있는 경우로서 올바른 신호 pattern이 나타나고 있다. 소비되는 power의 차이는 미미하다.

I/O 각각에 대한 layout은 그림 7,8과 같다.

4. 결 론

본 논문에서는 LVDS I/O interface 회로에 대해 살펴보았고 I/O bandwidth의 제한요소인 input buffer를 negative feedback을 통해 swing폭을 줄이는 기법으로 post-simulation 결과 66%정도의 성능향상을 얻을 수 있었다. 소비되는 power는 I/O buffer 각각 80mW, 40mW 내외의 값을 갖는다.

참고 문헌

[1] IEEE Standard for Low-Voltage Differential Signaling (LVDS) for Scalable Coherent Interface (SCI), 1596.3 SCI-LVDS Standard, IEEE Std. 1596.3-1996, 1996.

[2] Andrea Boni, *et al.* "LVDS I/O interface for Gb/s-per-Pin Operation in 0.35um CMOS" IEEE J. Solid-State Circuits, Vol 36, pp706-711, April 2001.

[3] T. Gabara, *et al.* "LVDS I/O Buffers with a Controlled Reference Circuit" in Proc. ASIC Conf., Sept 1997, pp. 311-315.

[4] William J. Dally, John W. Poulton, "Digital Systems Engineering" , Cambridge, 1998.

[5] B. Young, "An SOI CMOS LVDS Driver and Receiver Pair", Symposium on VLSI Circuits, 2001. Digest of Technical Papers, 2001.

[6] M. Bazes, *et al.* "Two Novel Fully Complementary Self-biased CMOS Differential Amplifiers", IEEE J. Solid-State Circuits, vol. 26, pp165-168. Feb, 1991.

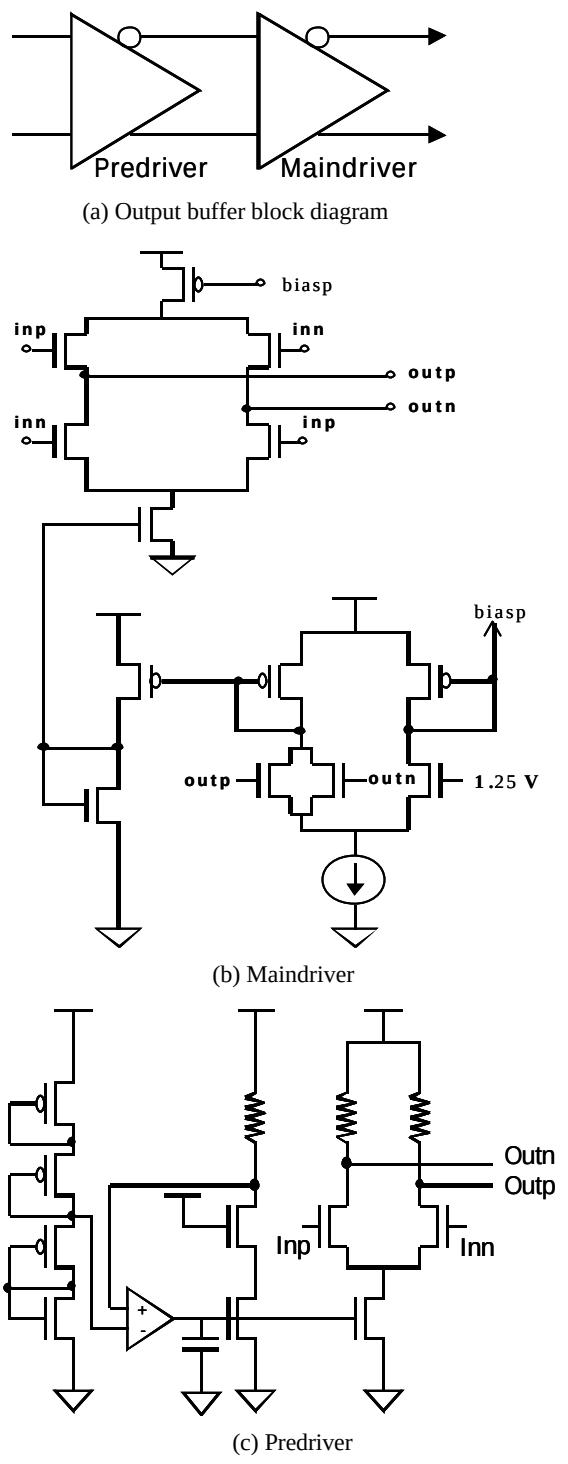
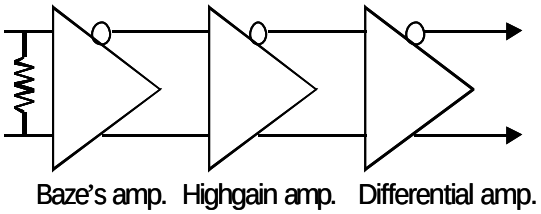
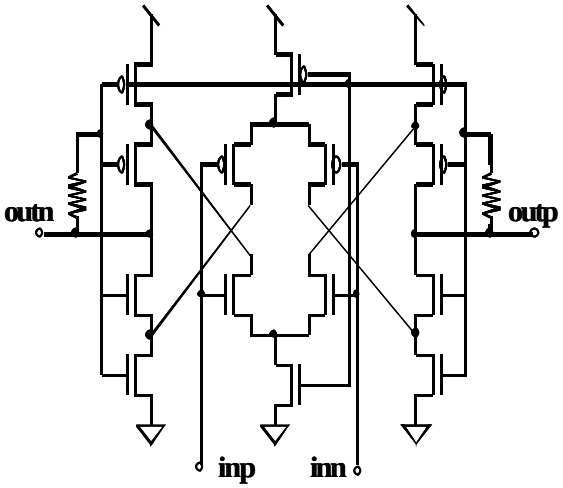


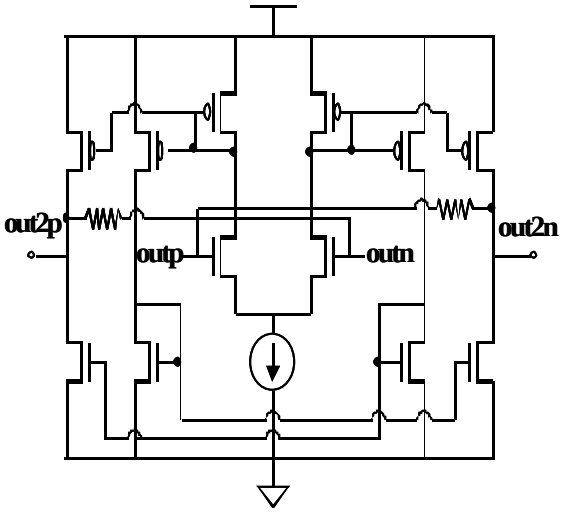
그림 1 Output buffer



(a) Input buffer block diagram



(b) Baze's amp.



(c) High gain amp.

그림 2 Input buffer

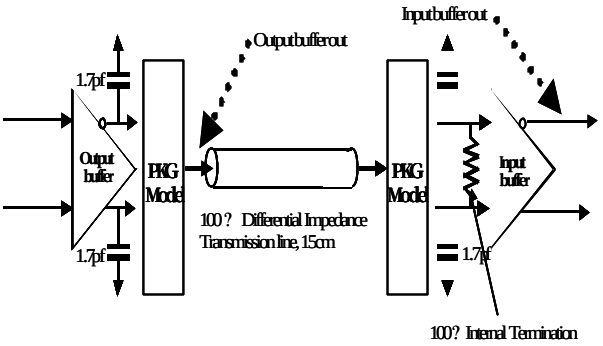


그림 3 시뮬레이션 구성

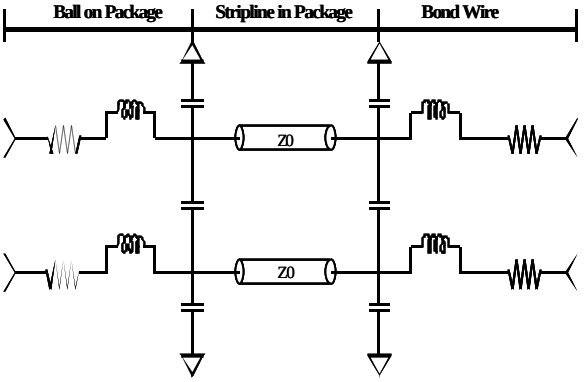
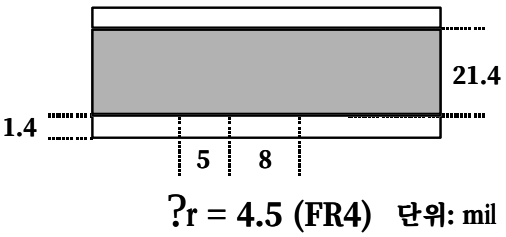
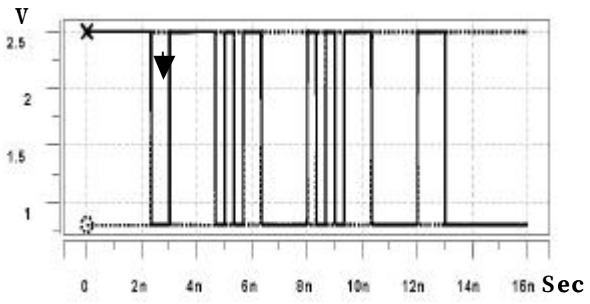


그림 4 Package model

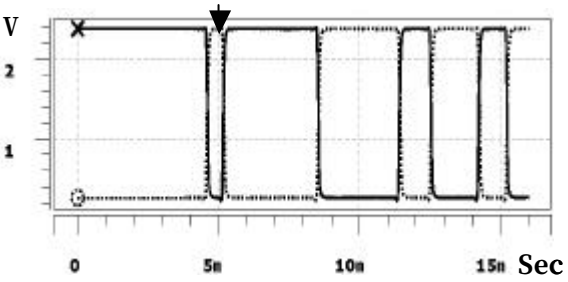


?r = 4.5 (FR4) 단위: mil

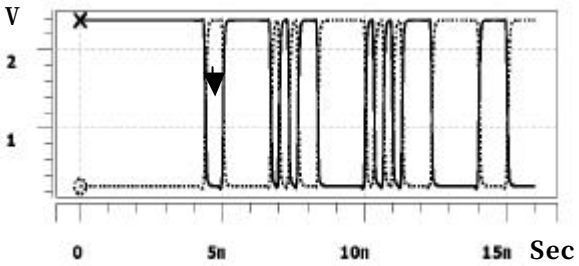
그림 5 Transmission line (100Ω)



(a) Output buffer 입력 파형



(b) Input buffer 출력 파형(feedback이 없는 경우)



(c) Input buffer 출력 파형(feedback이 있는 경우)

그림 6 Simulation 결과 @3Gbps

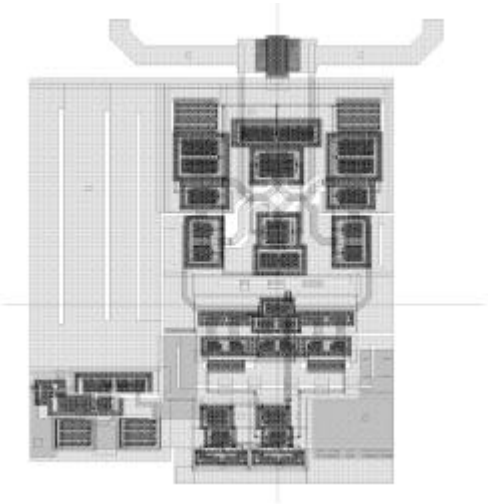


그림 7 Input buffer layout

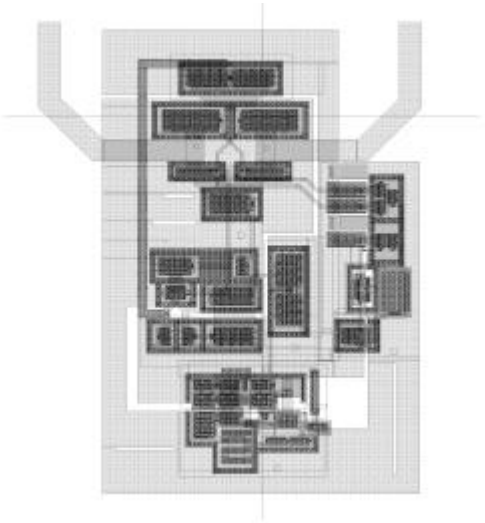


그림 8 Output buffer layout