200Mbps 급 Burst Mode Clock and Data Recovery 회로 구현

이재욱*, 류현석(a), 최우영

연세대학교 전기전자공학과 초고속정보전송연구실

(a) 삼성종합기술원 i Network Lab.

Abstract

A burst mode clock and data recovery circuit is realized that can operate in 200Mbps range. The circuit is capable of extracting clock signals from NRZ type burst-mode data packets and recover input data without missing any data. It also has a retiming block that reduces jitter noises. The circuit is fabricated in 3.3V, TSMC 0.35μm CMOS technology and measurements are done that confirm the operation of the circuit.

1. 서론

효율적이고 경제적인 정보 전송망을 구축하기 위하여 burst mode data 복원에 관한 연구가 많은 관심의 대상이 되고 있다. 특히 ATM-PON 과 같이 패킷 초기에 빠른 비트 동기를 요구하는 시스템에서 burst mode 수신기는 전체 시스템 성능을 결정짓는 주요 요소이다 [1-2]. Clock and Data Recovery(CDR) circuit 은 그림 1 과 같이 크게 클럭을 복원하는 회로와 데이터를 retiming 하는 회로로 구성된다. 본 논문에서는 burst mode 신호를 복원하기 위한 CDR 회로를 MOSIS TSMC 0.35μm CMOS 공정을 사용하여 구현하였으며 회로의 동작 여부를 측정을 통해서 검증하였다.

2. Clock and Data Recovery Circuit

본 논문에서 구현된 CDR 회로는 그림 2 과 같이 구성되어 있다. 크게 안정적인 클럭을 제공하기 위한 PLL 블록과 전송된 데이터에 의해 발진이 제어되는 클럭을 발생시키는 블록, 그리고 빠른 동기과정에 생기는 jitter 잡음을 제거하기 위한 S2P(serial to parallel) 버퍼 블록으로 구성되어 있다 [3].

그림 2에서 LOOP 1은 PLL (Phase Locked Loop)으로서 inverter chain을 이용한 VCO (Voltage Controlled Oscillator)와 PFD (Phase frequency Detecter), filter로 구성되어 외부 클럭에 동기된 원하는 주파수의 클럭을 만들어 내게 된다. LOOP 1은 LOOP 2가 원하는 주파수에 동작하도록 제어전압을 제공하는 역할을 하며, 그림 3에서 볼 수 있듯이 시스템 초기화 시간 (약 1.8μsec) 이후부터 안정적인 동작을 하게 된다. LOOP 2에서는 전송된 데이터에 의해 VCO-a와 VCO-b의 두 개의 클럭 발생회로가 순차적으로 발진을 하게 되어 Clock A, Clock B를 발생시키고 이를 합성하여 데이터의 위상에 동기된 클럭이 발생된다[3]. 2^7-1 PRBS(Pseudo Random Binary Sequences; 2^7-1)를 회로적으로 구현하여 생성시킨 데이터와 이의 복원 과정이 그림 4에 나타나 있다. 그림에서 볼 수 있듯이, PLL이 동기되어 안정된 후 200Mbps 의 데이터를 복원할 수 있으며, 입력데이터에 의해서 바로 동기된 클럭이 생성되는 구조이므로 동기되는 과정에서 손실되는 데이터가 발생되지 않는 효율적인 동작을 할 수 있다.

위와 같은 과정에 의해서 복원된 클럭과 데이터는 전송된 신호의 jitter 잡음을 그대로 가지고 있게 되는 단점을 가지고 있지만, 이는 S2P 버퍼를 통해 이를 제거할 수 있다[4]. 이를 위해 본 논문에서는 8 개의 25Mbps 출력 채널을 갖는 S2P 버퍼를 구현하였다.

3. 측정 결과

본 CDR 회로는 MOSIS TSMC 0.35μm CMOS 공정으로 제작되었으며, package 는 48pin PTQFP 를 이용하였다. 그림 5 에 전체 회로의 layout 을 나타내었으며 면적은 2.5mm × 2.5mm 이다. 칩의 특성을 표 1 에 요약하였다.

표 1. Summary of CDR circuits

Frequency	160MHz - 240MHz
Power supply	3.3V single
Power consumption(including I/O)	350mW @ 200MHz
Technology	1P - 4M 0.35μm CMOS

제작된 chip 은 Anritsu MP1632A PPG 를 통해 생성한 신호를 칩의 입력으로 하여 Tek. 11801C sampling Osc. 으로 eye diagram 을 측정하였으며(그림 6), Anritsu MP1632A ED 로 BER 을 측정하였다. 2^{23}-1 PRBS input 신호에 대해 에러없이 data 복원이 가능하였다.

4. 결론

본 논문에서는 burst mode 데이터의 복원을 위해 빠른 동기 특성을 갖는 0.35μm CMOS CDR 회로를 구현하였다. 구현된 회로는 전송 데이터에 의해서 발진이 제어되는 VCO 를 이용하여 빠른 위상동기 특성을 가지는 클럭을 복원하는 구조로서, burst mode 에서 데이터의 손실없는 복원이 가능하다. 또한, 전송된 데이터의 jitter 잡음을 제거하기 위한 S2P 버퍼를 가지고 있으며, 이 버퍼의 동작 특성은 추가적인 측정을 통하여 검증할 예정이다.

참고문헌

[1] T. Kajiwara, E. Maekawa, *et al*., “An optical receiver design for ATM-PON access system”, 1996 Global Telecommunications Conference, Vol. 3, pp. 1613 –1617.

[2] S.H. Ide, *et al*., “+3.3V PON Receiver IC with a High-Speed ATC Circuit”, 1997 EDMO, pp.141 –146.

[3] Y. Ota, *et al*., “High-Speed, Burst-Mode, Packet-Capable Optical Receiver and Instantaneous Clock recovery for Optical bus Operation”, Journal of Lightwave Technology, Vol.12, No.2, pp. 325 –331, 1994.

[4] A.E. Dunlop *et al*. “150/30Mb/s CMOS Non-Oversampled Clock and Data Recovery Circuits with Instantaneous Locking and Jitter Rejection”, 1995 Solid-State Circuits Conference, pp. 44 –45.

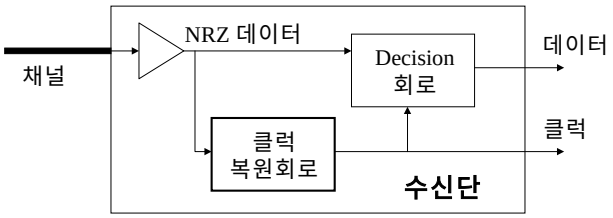

그림 1. Configuration of Clock and Data Recovery circuits

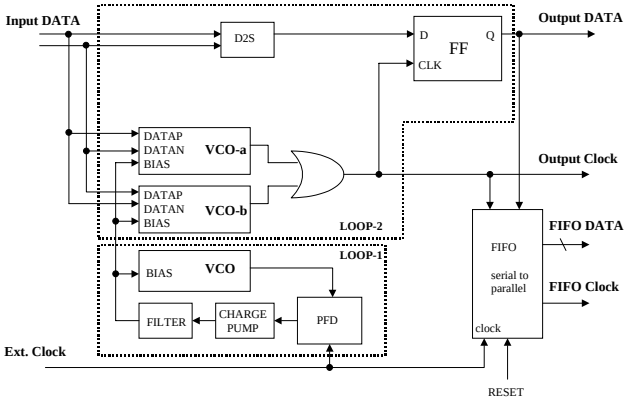

그림 2. Clock and Data Recovery circuits

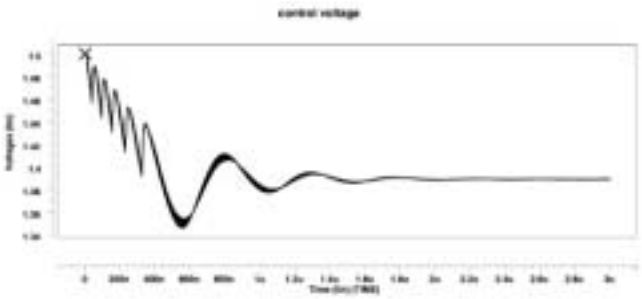

그림 3. PLL 의 동작(VCO 제어전압)

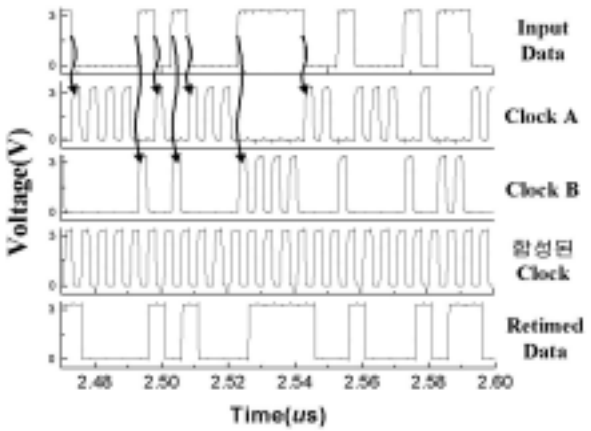

그림 4. Clock and Data Recovery 과정

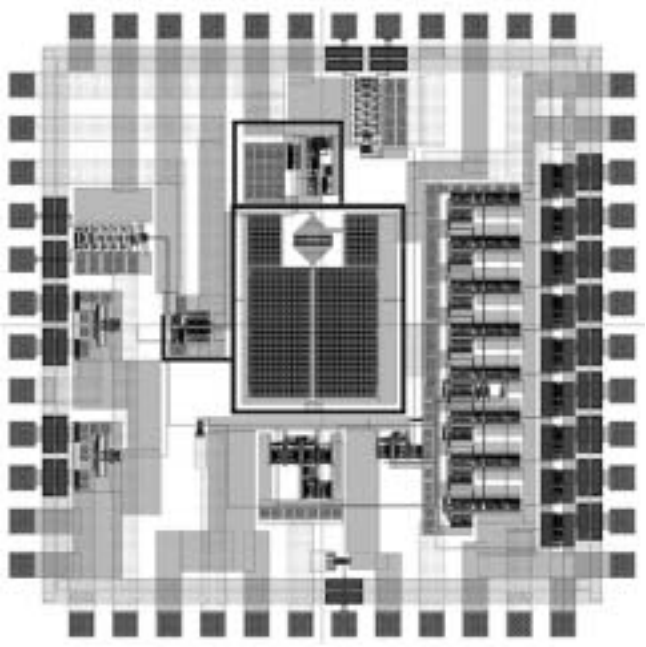

그림 5. Layout

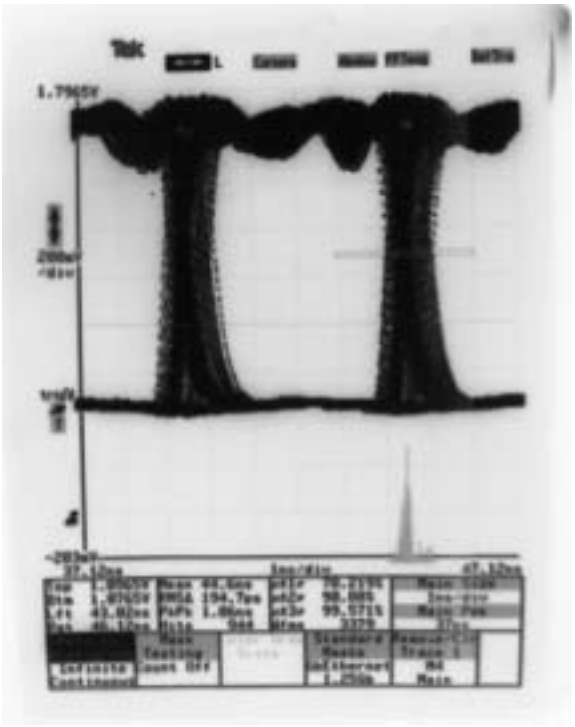

그림 6. Eye diagram